

# Laboratorio N°.1: COMPARACIÓN DE TECNOLOGÍA CMOS y TTL

Universidad Nacional de Colombia - Sede Bogotá - Facultad de Ingeniería  
Departamento de Ingeniería Eléctrica y Electrónica - Electrónica Digital I

José Luis Bastidas Rosas, Miguel Angel Ortiz Mejia , Eduardo Fajardo López

**Resumen**—En esta práctica se analizan y comparan las características técnicas y de rendimiento de dispositivos digitales fabricados en las tecnologías TTL (Transistor-Transistor Logic) y CMOS (Complementary Metal-Oxide-Semiconductor). A través de mediciones experimentales, se estudian las diferencias clave entre ambas tecnologías, utilizando un inversor TTL 74LS04 y un inversor CMOS CD4069. Los parámetros evaluados incluyen tiempos de propagación, consumo de energía y niveles de tensión, proporcionando una visión clara de sus ventajas y limitaciones en aplicaciones prácticas.

**Abstract**—This practice analyzes and compares the technical and performance characteristics of digital devices manufactured using TTL (Transistor-Transistor Logic) and CMOS (Complementary Metal-Oxide-Semiconductor) technologies. Through experimental measurements, key differences between both technologies are studied using a TTL inverter 74LS04 and a CMOS inverter CD4069. The evaluated parameters include propagation times, power consumption, and voltage levels, providing a clear insight into their advantages and limitations in practical applications

**Palabras claves**—TTL, CMOS, 74LS04, CD4069, tiempo de propagación, consumo de energía, niveles de tensión, dispositivos digitales.

**Keywords**— TTL, CMOS, 74LS04, CD4069, propagation times, power consumption, voltage levels, digital devices

## I. INTRODUCCIÓN

La electrónica digital es un campo de la ingeniería que se ocupa del procesamiento de señales eléctricas representadas mediante niveles discretos de tensión y corriente. En este contexto, las tecnologías TTL (Transistor-Transistor Logic) y CMOS (Complementary Metal-Oxide-Semiconductor) son fundamentales, ya que representan dos enfoques diferentes en la fabricación de circuitos digitales. Estas tecnologías se diferencian en su diseño, consumo de potencia, velocidad de operación y otras características técnicas, que las hacen más o menos adecuadas según la aplicación.

## II. MARCO TEÓRICO

Las compuertas lógicas son elementos básicos de la electrónica digital, ya que permiten la realización de operaciones lógicas fundamentales mediante señales eléctricas representadas como niveles discretos de voltaje. Estas compuertas están diseñadas en distintas tecnologías, siendo las más comunes TTL (Transistor-Transistor Logic) y CMOS (Complementary Metal-Oxide-Semiconductor), cada una con características particulares que las hacen adecuadas para diferentes aplicaciones. A continuación, se presentan los aspectos teóricos fundamentales que describen el comportamiento y las propiedades de las compuertas lógicas:

### II-A. Niveles de tensión lógicos

Son valores discretos de tensión utilizados en sistemas digitales para representar los estados lógicos alto (High) y bajo (Low), correspondientes a los bits 1 y 0 respectivamente

**II-A1. Voltage Output High:** Se denota  $V_{OH}$  y es el nivel mínimo garantizado de salida en estado lógico alto

**II-A2. Voltage Output Low:** Se denota  $V_{OL}$  y es el nivel máximo garantizado de salida en estado lógico bajo.

**II-A3. Voltage Input High:** Se denota  $V_{IH}$  y es el nivel mínimo necesario en la entrada para ser reconocido como un estado lógico alto.

**II-A4. Voltage Input Low:** Se denota  $V_{IL}$  y es el nivel máximo permitido en la entrada para ser considerado un estado lógico bajo.

En la Figura 1 y en la Figura 2, se muestran los valores de tensión lógicos para tecnologías TTL y CMOS respectivamente.

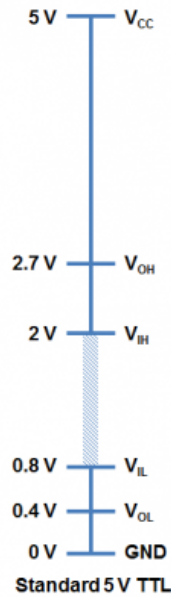


Figura 1: Niveles de tensión lógicos, tecnología TTL (Sparkfun)

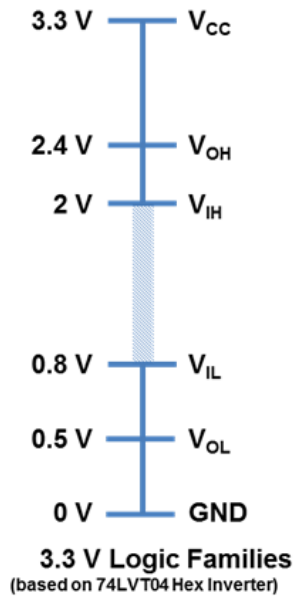


Figura 2: Niveles de tensión lógicos, tecnología CMOS (Sparkfun)

## II-B. Tiempos de respuesta

Los tiempos de respuesta definen la velocidad a la que las compuertas lógicas pueden conmutar entre estados lógicos. Estos incluyen:

**II-B1. Tiempo de retardo o de propagación:** Es el intervalo de tiempo entre el momento en que la señal de entrada alcanza un nivel de referencia específico (normalmente el 50 % de su cambio de nivel) y el momento en que la

señal de salida también alcanza ese nivel de referencia correspondiente (50 % de su cambio de nivel). Se denota  $t_p$

$$t_p = \frac{t_{PHL} + t_{PLH}}{2} \quad (1)$$

Donde:

$t_{PHL}$  es el tiempo de propagación de alto a bajo

$t_{PLH}$  es el tiempo de propagación de bajo a alto

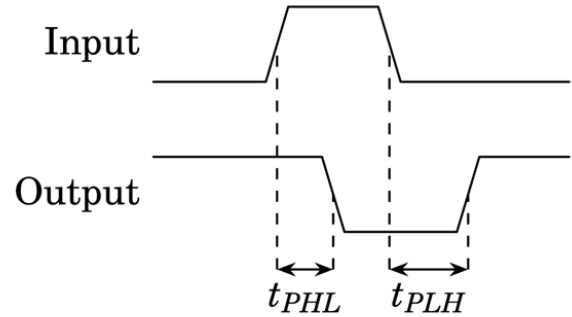


Figura 3: Representación gráfica de los tiempos de propagación altos ( $t_{PHL}$ ) y bajos ( $t_{PLH}$ ) en una señal lógica.

**II-B2. Tiempo de Subida:** Se denota  $t_r$  y es el tiempo que la salida tarda en pasar de un 10 % a un 90 % de su nivel alto.

**II-B3. Tiempo de bajada:** Se denota  $t_f$  y es el tiempo que la salida tarda en pasar de un 90 % a un 10 % de su nivel bajo.

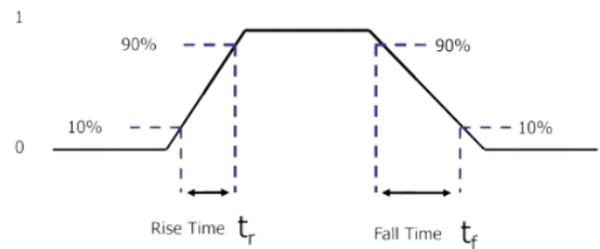


Figura 4: Representación gráfica de los tiempos de subida ( $t_{PHL}$ ) y bajada ( $t_{PLH}$ ) en una señal lógica.

## II-C. Capacidad de entrada salida

**II-C1. Fan-in:** se define como el número máximo de señales de entrada que un circuito puede manejar sin sobrecargarse. Esto significa que si el fan in específico de un dispositivo es 2, significa que sólo puede manejar dos señales de entrada simultáneas.

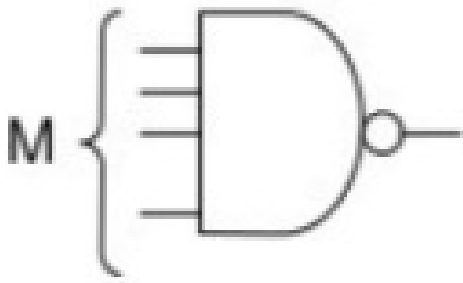


Figura 5: Representación gráfica del Fan out

*II-C2. Fan out:* se define como la cantidad máxima de dispositivos a los que un circuito determinado puede enviar una señal. Por ejemplo, si el fan out específico de un circuito es 4, significa que puede enviar una señal a hasta cuatro dispositivos diferentes al mismo tiempo.

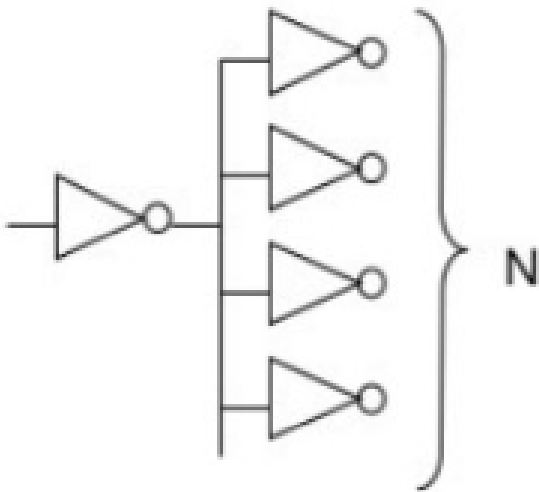


Figura 6: Representación gráfica del Fan out

### III. DESARROLLO DE LA PRÁCTICA

La compuerta lógica inversora es un circuito lógico que realiza la operación de negación, invirtiendo el valor lógico de su entrada. Una vez comprendidas las características generales, se procederá a analizar algunos valores específicos clave de las compuertas inversoras 74LS04 y CD4069.

#### III-A. Compuerta inversora TTL 74LS04

##### ESPECIFICACIONES DEL SN74LS04

**Nota:** Algunos parámetros pueden variar según el fabricante.

- **Tensión de alimentación recomendada:** 4,75 V a 5,25 V
- **Rango de temperatura:** 0 °C a 70 °C
- **Tensión de entrada:**
  - Máxima para “0” lógico: 0.8 V
  - Mínima para “1” lógico: 2.5 V
- **Tensión de salida:**
  - Máxima para “0” lógico: 0.5 V (para  $V_{CC}$  mínimo)
  - Mínima para “1” lógico: 2.7 V (para  $V_{CC}$  mínimo)
- **Tiempo de propagación ( $t_{PLH}$  y  $t_{PHL}$ ):**
  - $t_{PLH}$  (Turn-Off Delay, Input to Output): 9 a 15 ns
  - $t_{PHL}$  (Turn-On Delay, Input to Output): 10 a 15 ns
- **Tecnología:** TTL Low-power Schottky (LS)
- **Fabricantes:** Texas Instruments, Motorola, ON Semiconductor, entre otros.

#### III-B. Compuerta inversora CMOS CD4069

- **Tensión de alimentación recomendada:** 3 V a 18 V
- **Rango de temperatura:** -55 °C a 125 °C
- **Tensión de entrada:**
  - Máxima para “0” lógico: 2 V
  - Mínima para “1” lógico: 8 V
- **Tensión de salida:**
  - Máxima para “0” lógico: 0.05 V (para  $V_{CC}$  10 V)
  - Mínima para “1” lógico: 9.75 V (para  $V_{CC}$  10 V)
- **Tiempo de propagación ( $t_{PLH}$  y  $t_{PHL}$ ):**
  - $t_{PLH}$  (Turn-Off Delay, Input to Output): 30 a 60 ns
  - $t_{PHL}$  (Turn-On Delay, Input to Output): 30 a 60 ns
- **Tiempo de transición ( $t_r$  y  $t_f$ ):**
  - $t_r$  (Time rise): 50 a 100 ns
  - $t_f$  (Time fall): 50 a 100 ns
- **Tecnología:** CMOS
- **Fabricantes:** Texas Instruments, Motorola, ON Semiconductor, entre otros.

#### III-C. Instrumentos y Equipos Utilizados

Es necesario conocer los instrumentos utilizados en la práctica para tener un conocimiento de factores externos que pudieron haber afectado la práctica debido al uso de estos, así como para poder replicar la práctica en caso de que sea necesario.

- Generador de señales.
- Osciloscopio de doble traza.
- 2 multímetros.
- Dos sondas.
- Fuente dual.
- Compuerta inversora TTL 74LS04.
- Compuerta inversora CMOS CD4069.
- USB

## IV. RESULTADOS Y ANÁLISIS

### IV-A. Simulación compuerta inversora TTL 74LS04.

Estas primeras simulaciones buscan encontrar los diferentes tiempos de respuesta.

En la Figura 7, se presenta el circuito empleado para efectuar la medición de los diferentes tiempos de respuesta.

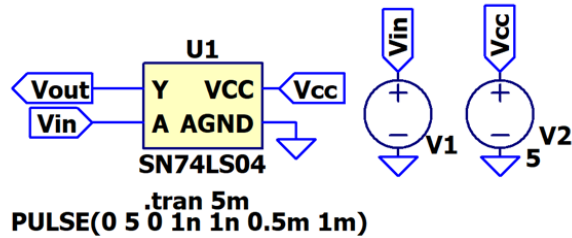


Figura 7: Circuito para medición de los diferentes tiempos de respuesta.

A partir del circuito anterior se empiezan a medir los tiempos según la salida como se muestra a continuación :

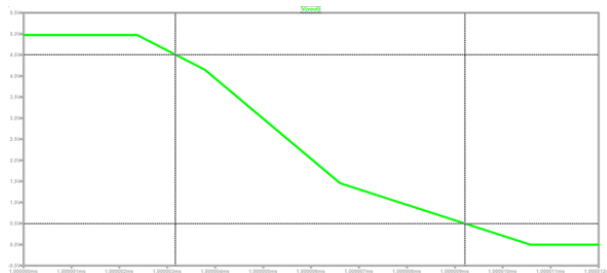


Figura 8: Gráfica para medir el tiempo de bajada denotado  $t_f$

Para medir el tiempo de bajada, se utilizó la herramienta de cursores que ofrece el software LTspice, siguiendo también las consideraciones descritas en el marco teórico. Para ello, se implementaron dos cursores, lo que permitió obtener un tiempo de bajada de aproximadamente 6.0428336 ns. De manera similar, se empleó este procedimiento para medir el tiempo de subida.

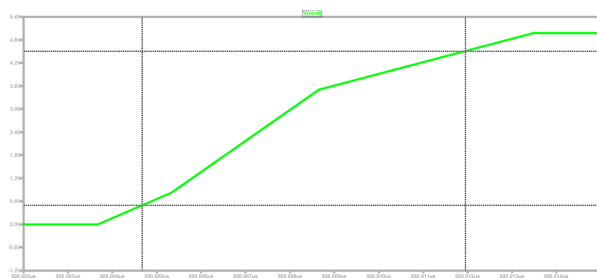


Figura 9: Gráfica para medir el tiempo de subida denotado  $t_r$

Se obtuvo un resultado de 7.2828603 ns. De forma similar se procede a medir el tiempo de retardo recordando la definición dada en el marco teórico.

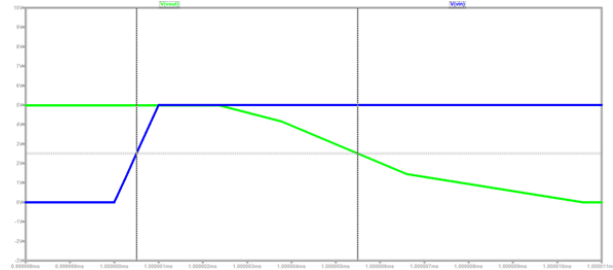


Figura 10: Tiempo asociado al 50 % de la tensión de entrada y salida cuando la tensión de entrada sube

El cursor se posicionó aproximadamente en la mitad del valor máximo de la señal de entrada para determinar el tiempo correspondiente, obteniendo un valor de 1.0000005 ms. Posteriormente, se posicionó el cursor en la señal de salida, obteniendo un tiempo de 1.0000055 ms. Con base en estos valores, el tiempo  $t_{PHL}$  se calcula como 4.9890351 ns.

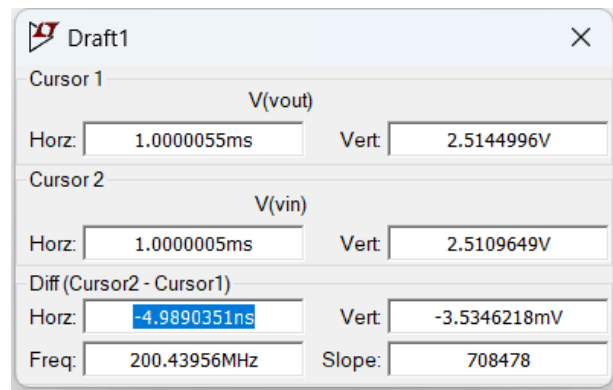


Figura 11: Datos proporcionados por el software asociados a la Figura 8.

Ahora para el tiempo  $t_{PLH}$  se procede de manera similar

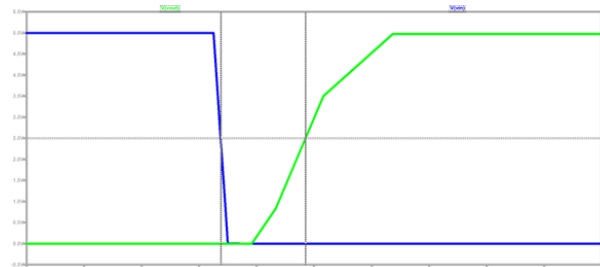


Figura 12: Tiempo asociado al 50 % de la tensión de entrada cuando baja

Se procede de manera similar y para este apartado en la entrada se obtuvo un tiempo de 1.5000015 ms y para la

salida 1.5000074 ms, por lo tanto  $t_{PLH}$  es 5.9059471 ns

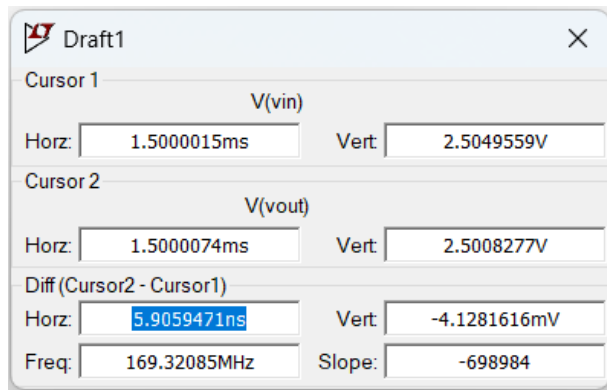


Figura 13: Datos proporcionados por el software asociados a la Figura 8

Ahora podemos ver la relación entrada salida pero en este caso la entrada es una señal triangular de 1 kHz.

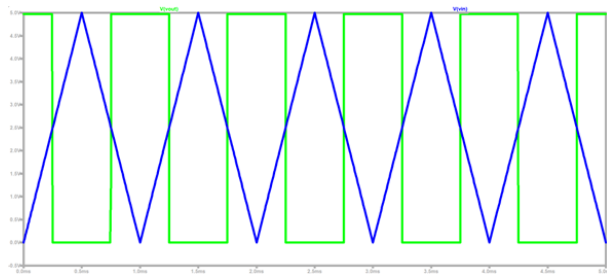


Figura 14: Gráfica entrada-salida en el tiempo para compuerta inversora TTL 74LS04

Ahora se gráfica la salida en función de la entrada.

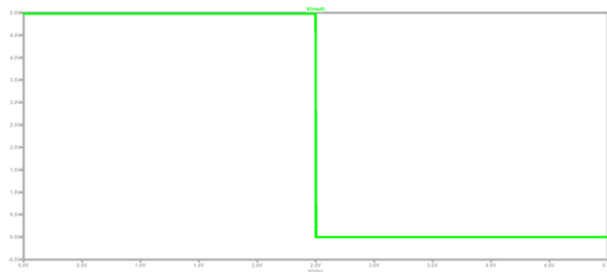


Figura 15: Gráfica entrada-salida en el tiempo para compuerta inversora TTL 74LS04

#### IV-B. Resultados mediciones experimentales compuerta inversora TTL 74LS04 .

Los datos del osciloscopio se exportaron mediante una conexión USB, lo que permitió obtener y analizar los siguientes resultados relacionados con los tiempos de respuesta.

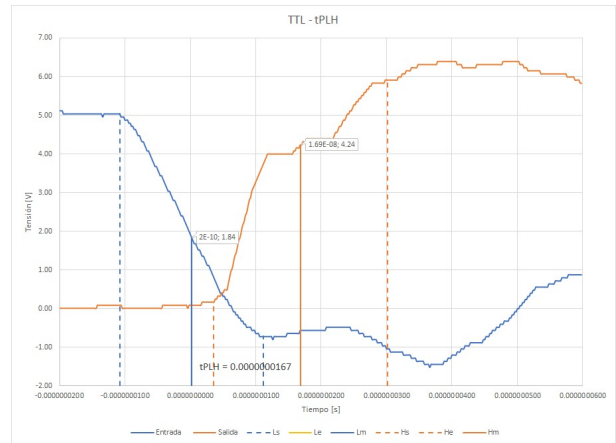


Figura 16: Tiempo asociado al 50 % de la tensión de entrada cuando baja

La Figura representa los tiempos de transición, específicamente el  $t_r$  , cuyo valor aproximado es de ns.

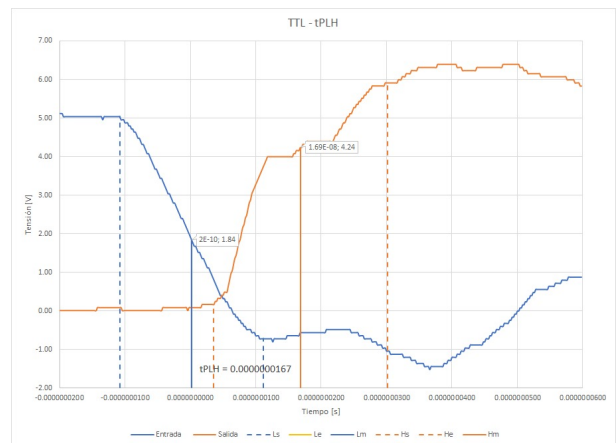


Figura 17: Tiempo asociado al 50 % de la tensión de entrada cuando baja

La gráfica representa los tiempos de propagación, específicamente el  $t_{PLH}$  , cuyo valor aproximado es de 16,7 ns.

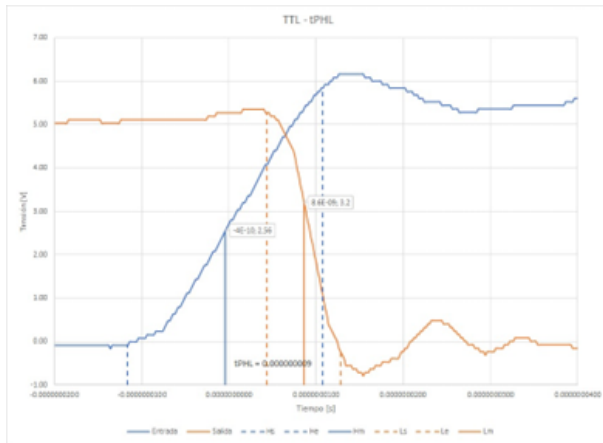


Figura 18: Tiempo asociado al 50 % de la tensión de entrada cuando sube

La gráfica representa los tiempos de propagación, específicamente el  $t_{PLH}$ , cuyo valor aproximado es de 9 ns.

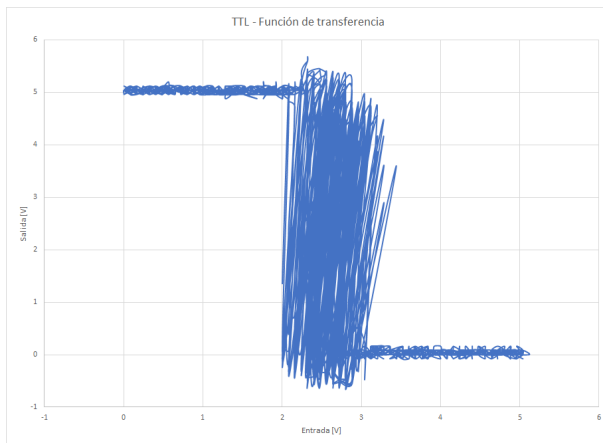


Figura 19: Función de transferencia para inversora TTL 74LS04

#### IV-C. Simulación compuerta inversora CMOS CD4069.

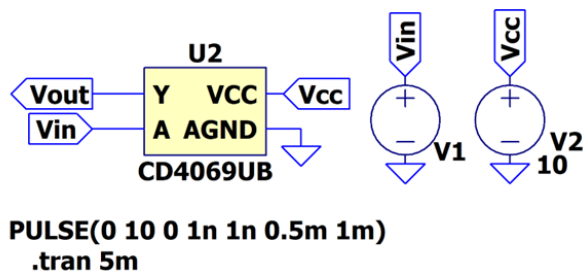


Figura 20: Circuito para medición de los diferentes tiempos de respuesta.

A partir del circuito anterior se empiezan a medir los tiempos según la salida como se muestra a continuación :

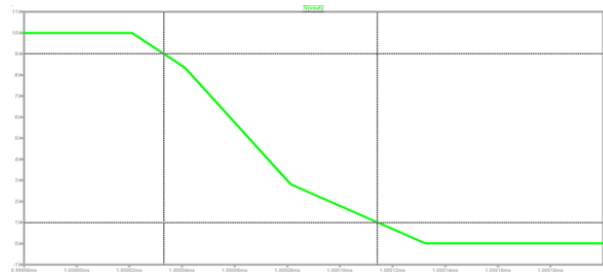


Figura 21: Gráfica aumentada para medir el tiempo de bajada denotado  $t_f$

Como se había hecho previamente, se posicionaron los dos cursores en los puntos de interés definidos y se obtuvo un resultado de 81.090513 ns. Después se procedió de manera similar para el tiempo de subida:

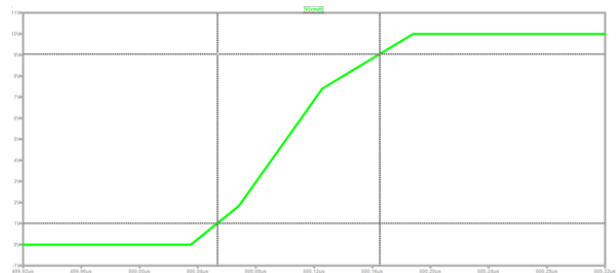


Figura 22: Gráfica para medir el tiempo de subida denotado  $t_r$

Se obtuvo un resultado de 111.55724 ns, ahora continuamos con los tiempos de retardo:

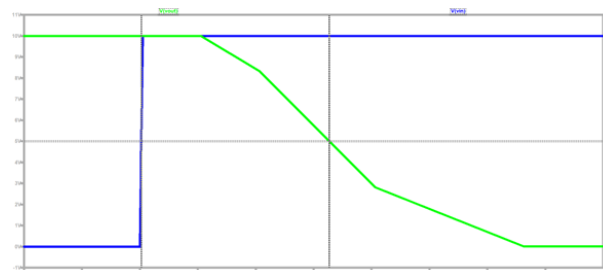


Figura 23: Tiempo asociado al 50 % de la tensión de entrada cuando sube

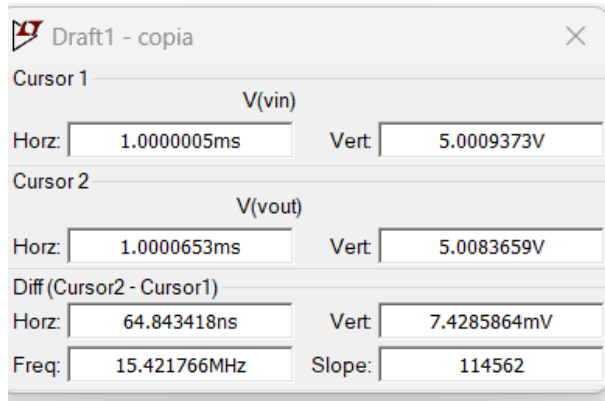


Figura 24: Datos proporcionados por el software asociados a la Figura 16.

Como se puede apreciar en la Figura 17 el  $t_{PHL}$  asociado es 64.8341 ns

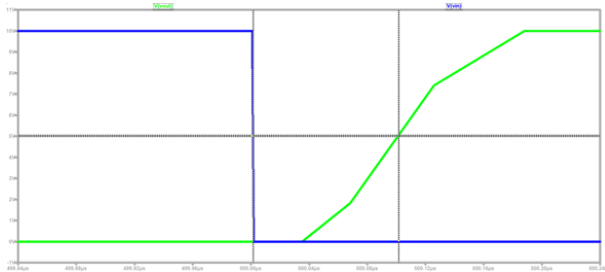


Figura 25: Tiempo asociado al 50 % de la tensión de entrada cuando baja

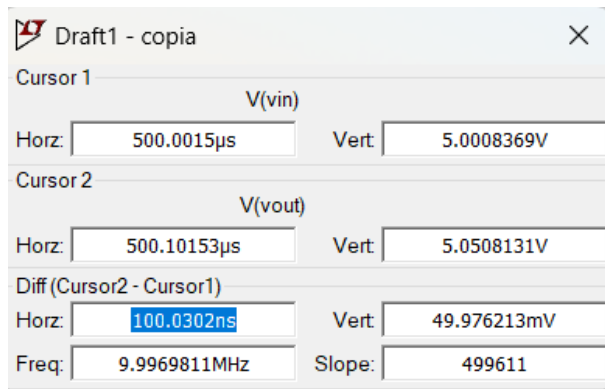


Figura 26: Datos proporcionados por el software asociados a la Figura 18.

Por otra parte al analizar la Figura 19 se puede apreciar que el  $t_{PLH}$  es 100.0302 ns.

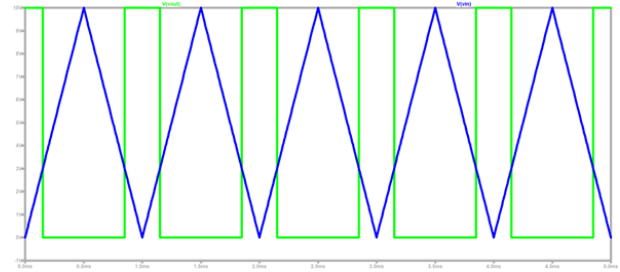


Figura 27: Tiempo asociado al 50 % de la tensión de entrada cuando baja

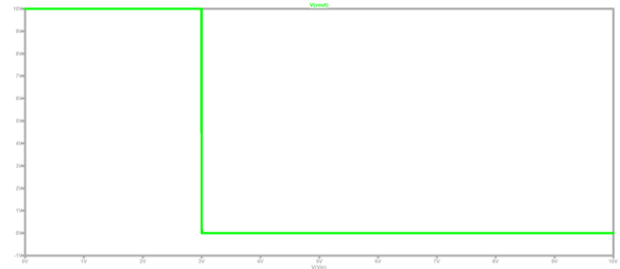


Figura 28: Tiempo asociado al 50 % de la tensión de entrada cuando baja

#### IV-D. Resultados mediciones experimentales compuerta inversora CMOS CD4069 .

Al realizar el procedimiento experimental, creemos que ocurrió algún tipo de error durante la importación de los datos, ya que esperábamos obtener resultados en el rango de microsegundos:

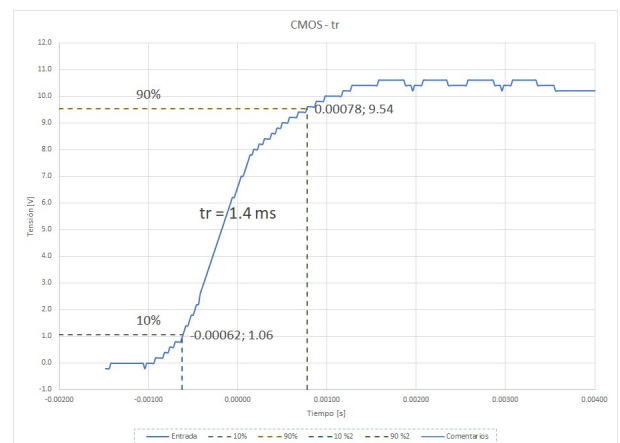


Figura 29: Tiempo de subida denotado  $t_r$

Como se puede apreciar el  $t_r$  es igual a 1,4 ms y para  $t_f$  ;

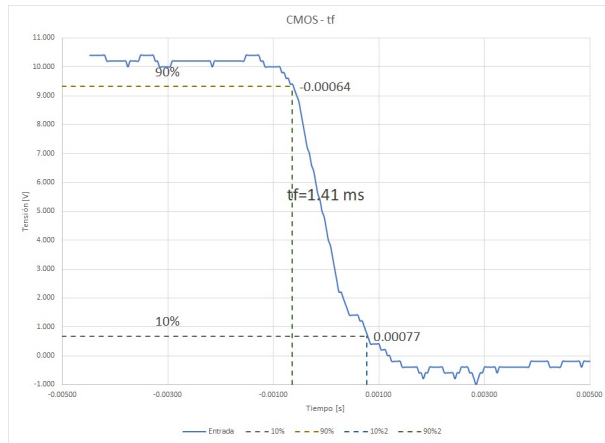


Figura 30: Tiempo de bajada denotado  $t_f$

Como se puede apreciar el  $t_f$  es igual a 1,41 ms

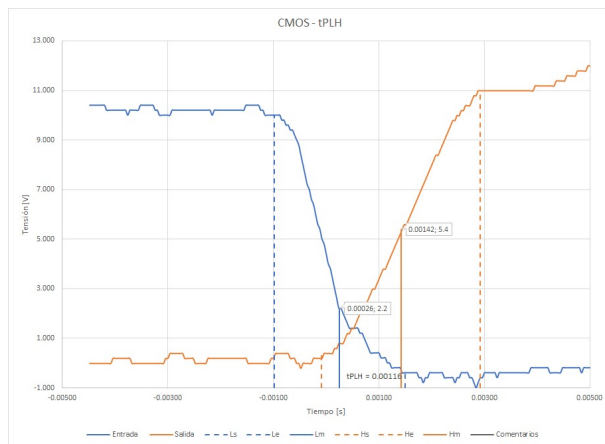


Figura 31: Tiempo asociado al 50 % de la tensión de entrada cuando baja

La gráfica representa los tiempos de propagación, específicamente el  $t_{PLH}$ , cuyo valor aproximado es de 1.12 ms.

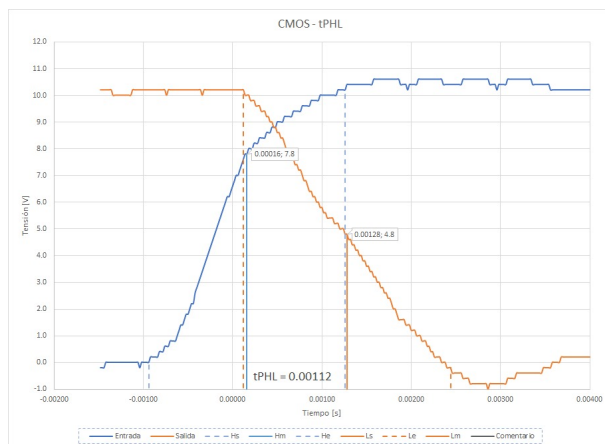


Figura 32: Tiempo asociado al 50 % de la tensión de entrada cuando baja

La gráfica representa los tiempos de propagación, específicamente el  $t_{PLH}$ , cuyo valor aproximado es de 1.16 ms.

También se analizó la función de transferencia con las mismas características que en la simulación, y se obtuvo el resultado mostrado en la Figura 28.

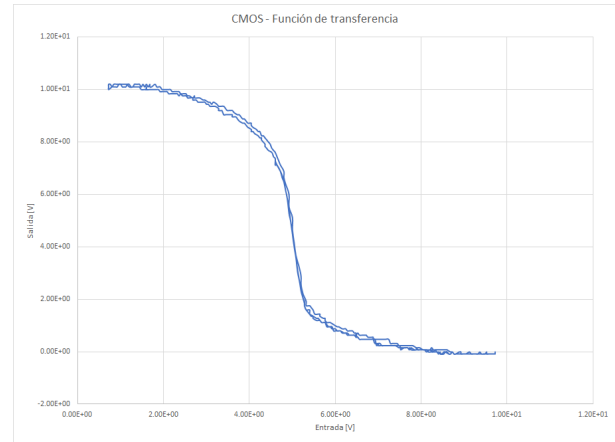


Figura 33: Función de transferencia inversora CMOS CD4069

#### IV-E. Anillo oscilador

El oscilador en anillo es un número impar de inversores se conectan en serie con retroalimentación positiva y la salida oscila entre dos niveles de tensión, ya sea 1 o cero, para medir la velocidad del proceso. En lugar de inversores, podemos definirlo también con puertas NOT. Estos osciladores tienen un número 'n' impar de inversores. Por ejemplo, la Figura 29 representa un oscilador con 3 inversores, el cual se denomina oscilador en anillo de tres etapas.

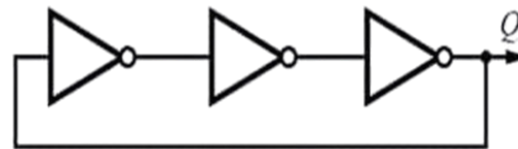


Figura 34: Ejemplo de un oscilador de anillo de tres etapas

En la Figura 30, se presenta la gráfica del oscilador de anillo de tres etapas simulado.



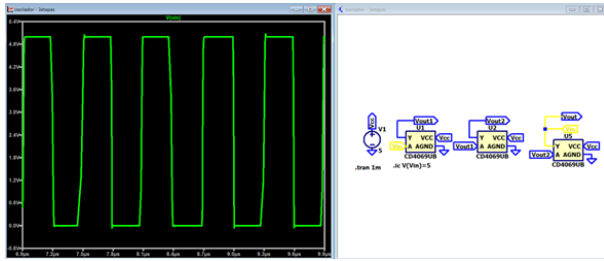


Figura 35: Gráfica oscilador de anillo de tres etapas

Basados en la simulación realizada, el periodo del oscilador de tres anillos es de 580.17335 ns, lo que quiere corresponde a una frecuencia aproximada de 1.7236228 MHz.

En la Figura 31, se presenta el resultado de la simulación del anillo de 5 etapas.

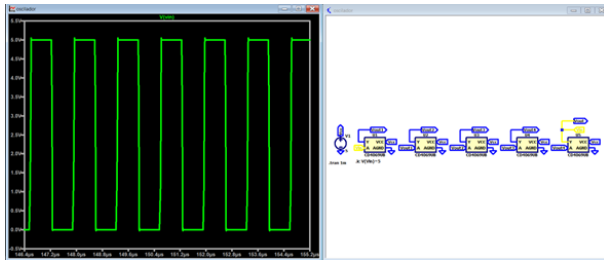


Figura 36: Gráfica oscilador de anillo de 5 etapas

El periodo resultado de la simulación del oscilador de anillo de 5 etapas es de 1.3395117 μs lo que representa una frecuencia aproximada de 746.54072 kHz.

Finalmente, en la Figura 32, se presenta la gráfica del oscilador de anillo de 21 etapas.

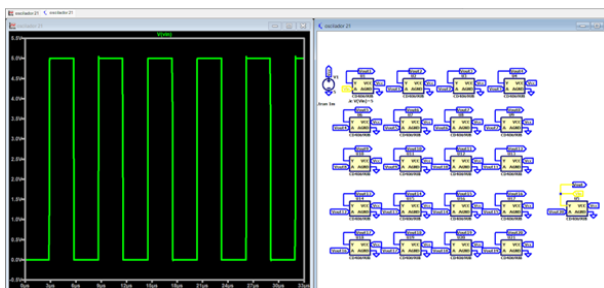


Figura 37: Gráfica oscilador de anillo de 21 etapas

El periodo obtenido, teniendo como referencia la simulación realizada en LtSPICE y mostrada en la Figura 32 es de 5.7965368 μs, lo que representa una frecuencia aproximada de 172.5168 kHz.

Una vez obtenidos los datos de las tres simulaciones (anillo de 3 etapas, de 5 etapas y de 21 etapas), se procede a comparar el resultado de cada una de ellas, notando que a medida que aumenta la cantidad de etapas el periodo aumenta pasando de 580.17 ns (3 etapas) a 5.796 μs (21

etapas). Ahora bien ha de existir una forma de saber la frecuencia aproximada según el número de etapas y el tipo de compuerta y es la siguiente:

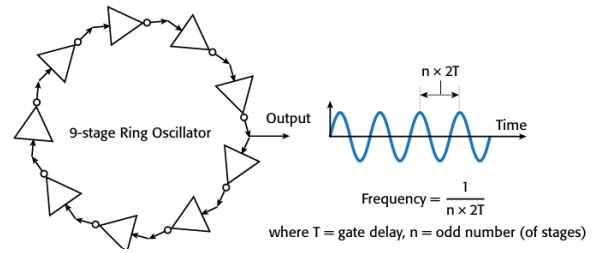


Figura 38: Relación tiempo de retardo con frecuencia y número de etapas(Tektronix.)

Como se explicó en el marco teórico, el tiempo de retardo  $t_P$  se define como el promedio entre los tiempos de subida ( $t_{PLH}$ ) y de bajada ( $t_{PHL}$ ). En este caso, se asume que ambos tiempos son similares, y por ello se multiplica por 2 en la fórmula para simplificar el cálculo.

A nivel de simulación, hemos determinado los valores de  $t_{PLH}$  y  $t_{PHL}$ , lo que nos permite calcular un tiempo de retardo promedio aproximado y, con ello, estimar la frecuencia de oscilación del anillo. Por ejemplo, para un anillo de tres etapas ( $n = 3$ ), se han obtenido los siguientes valores para la compuerta usado :

$$t_{PLH} = 100,0302 \text{ ns}, \quad t_{PHL} = 64,8341 \text{ ns}.$$

El tiempo de retardo promedio es:

$$t_P \approx \frac{t_{PLH} + t_{PHL}}{2} = \frac{100,0302 + 64,8341}{2} \approx 82,43215 \text{ ns}.$$

Con estos datos, y aplicando la fórmula mencionada (Figura 36), se calcula la frecuencia aproximada del anillo:

$$f = \frac{1}{n \cdot 2t_P} = \frac{1}{3 \cdot 2 \cdot 82,43215 \text{ ns}} \approx 2,02 \text{ MHz}.$$

Este resultado está bastante cerca del valor obtenido en la simulación, que reporta una frecuencia de 1,7236228 MHz, mostrando una buena concordancia entre la estimación teórica y los resultados simulados.

#### IV-F. Mediciones experimentales Anillo oscilador

Se analizaron los anillos de tres y cinco etapas utilizando la estrategia previamente implementada. Los datos fueron importados desde el osciloscopio a través de una conexión USB y posteriormente analizados en Excel, aprovechando la facilidad y flexibilidad que esta herramienta ofrece para el procesamiento y visualización de datos

En la Figura 33, se muestra el resultado de la implementación realizada para el anillo de 3 etapas.

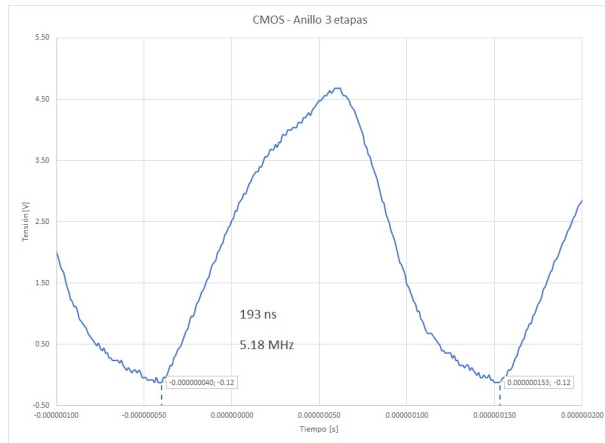


Figura 39: Gráfica oscilador de anillo de 3 etapas

Como se puede apreciar en la Figura 33 el oscilador de 3 etapas presenta una frecuencia de 5.18 MHz, equivalente a un periodo aproximado de 193 ns. Dichos datos mantiene ordenes de magnitud similares a los obtenidos en la etapa de simulación.

Posteriormente, se procedió a implementar el anillo de 5 etapas, cuyo resultado gráfico se muestra en la Figura 34.

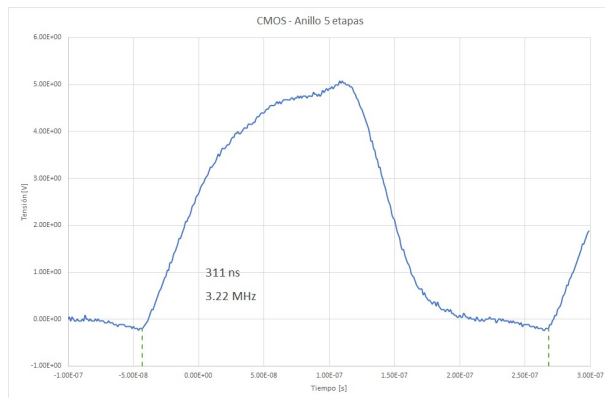


Figura 40: Gráfica oscilador de anillo de 5 etapas

Al validar la información mostrada en la Figura 34 se obtiene un periodo de 311 ns, equivalente a una frecuencia de 3.22 MHz.

Al igual que en la etapa de simulación, en la etapa de implementación se corroboró que a medida que aumenta la cantidad de etapas en cada anillo, aumenta el periodo, pasando de 193 ns en el anillo de 3 etapas a 311 ns en el anillo de 5 etapas.

#### IV-G. Preguntas sugeridas

- ¿Por qué las compuertas CMOS, como la CD4069, tienen un consumo de potencia menor en comparación con las compuertas TTL?

- ¿Qué factores en la estructura interna de las compuertas TTL, como la 74LS04, permiten que sean más rápidas en sus tiempos de conmutación?
- ¿Qué limitaciones pueden presentarse al integrar compuertas CMOS y TTL en un mismo circuito debido a sus diferentes niveles lógicos de voltaje?

## V. CONCLUSIONES

- Las compuertas TTL, como el 74LS04, tienen tiempos de conmutación más cortos, lo que las posiciona como una opción preferida en aplicaciones donde la velocidad es crucial.
- El rango de voltaje de operación diferenció significativamente a ambas tecnologías. Mientras que las CMOS operan en un rango amplio (de 3V a 15V), lo que ofrece flexibilidad en el diseño, las TTL están limitadas a un rango estrecho cercano a 5V, lo que puede restringir su uso en sistemas con requisitos de alimentación variables.

## REFERENCIAS

1. SparkFun Electronics. (n.d.). *Logic levels*. SparkFun Electronics. Recuperado el 25 de noviembre de 2024, de <https://learn.sparkfun.com/tutorials/logic-levels/all>.
2. LibreTexts. (s. f.). *Niveles de voltaje de señal lógica*. En *Circuitos eléctricos IV - Circuitos digitales* (Kuphaldt). Recuperado de [https://espanol.libretexts.org/Vocacional/Tecnologia\\_Electronica/Libro%3A\\_Circuitos\\_Electricos\\_IV\\_-\\_Circuitos\\_Digitales\\_\(Kuphaldt\)/03%3A\\_Puertas\\_Lgicas/3.10%3A\\_Niveles\\_de\\_Voltaje\\_de\\_Seal\\_Lgica](https://espanol.libretexts.org/Vocacional/Tecnologia_Electronica/Libro%3A_Circuitos_Electricos_IV_-_Circuitos_Digitales_(Kuphaldt)/03%3A_Puertas_Lgicas/3.10%3A_Niveles_de_Voltaje_de_Seal_Lgica).
3. Texas Instruments. (2016). *CD4069UB CMOS Hex Inverter datasheet*. Recuperado de <https://www.ti.com/lit/ds/symlink/cd4069ub.pdf>.
4. Texas Instruments. (2016). *SN74LS04: Hex Inverter datasheet*. Recuperado de <https://www.ti.com/lit/ds/symlink/sn74ls04.pdf>.
5. Tektronix. (n.d.). *Ring oscillator design and analysis* [White paper]. Recuperado de <https://download.tek.com/document/RingOscillatorWP.pdf>