

实验内容

1、实验目的

- 掌握用Verilog语言描述时序逻辑电路
- 掌握仿真文件的编写，理解时序电路的仿真

2、实验内容

2.1 D触发器

完成具有异步复位、同步使能的D触发器，自行下板测试验证，信号说明如下：

- clk：时钟信号，接FPGA芯片的Y18管脚，即板载100MHz时钟源
- clr：异步复位信号，高电平有效，接按键开关S1，按下输入为1，只需按一次，不用一直按
- en：同步使能，高电平有效，接拨码开关SW23，往上拨为1
- d：输入数据，接拨码开关SW0
- q：输出数据，接最右侧的GLD0

参考的模块接口定义如下：

```
module dff (  
    input      clk,  
    input      clr,  
    input      en ,  
    input      d  ,  
    output reg q  
);  
  
endmodule
```

2.2 寄存器文件

把D触发器扩展为8位，将数量扩展到8个，实现8个8位寄存器组成的寄存器文件。

- clk：时钟信号，连接Y18管脚，时钟频率100MHz
- clr：异步复位信号，高电平有效，复位时8个寄存器都清零，接按键开关S1
- en：同步使能，此处也叫写使能，高电平时才能进行数据写操作，接拨码开关SW23
- d[7:0]：输入数据，接拨码开关输入SW7-SW0
- wsel[2:0]：写选择信号，选择将输入写入哪个寄存器，接拨码开关SW22-SW20
- rsel[2:0]：读选择信号，选择读取哪个寄存器输出，接拨码开关SW10-SW8。读操作是异步逻辑，读选择编号改变输出跟着变，无需与时钟边沿同步。
- q[7:0]：输出数据，连接到GLD7-GLD0显示

参考的模块接口定义如下：

```
module reg8file (  
    input  wire clk,  
    input  wire clr,  
    input  wire en,  
    input  wire [7:0] d,  
    input  wire [2:0] wsel,  
    input  wire [2:0] rsel,  
    output reg  [7:0] q  
);  
  
endmodule
```

3、实验步骤

(1) D触发器

实验仅提供了仿真代码，RTL代码和约束代码需自行编写：

- 创建工程，工程名为dff；
- 编写添加设计文件dff.v；
- 添加仿真文件；
- 编写并添加约束文件，综合实现、生成比特流；
- 将生成的比特流下载到开发板自行验证功能。

(2) 寄存器文件


RTL代码、仿真代码和约束代码都需自行编写：

- 创建工程，工程名为reg8file；
- 编写并添加设计文件reg8file.v；
- 编写并添加仿真文件testbench.v，运行仿真；
- 编写并添加约束文件，综合实现，生成比特流；
- 将生成的比特流下载到开发板验证；

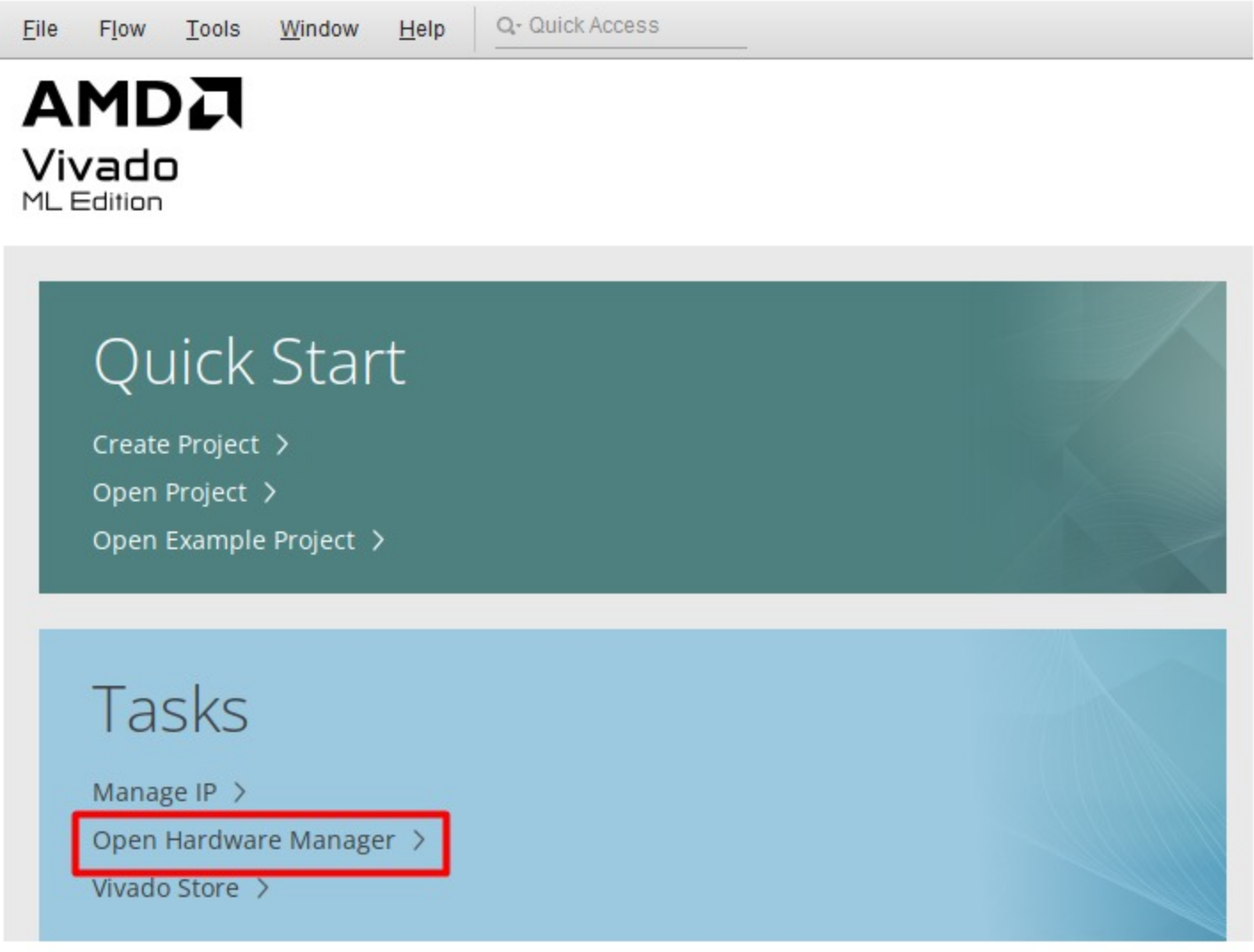
4、课上检查

寄存器文件开发板验证通过：

- 检查时提前将bit文件烧录到开发板，并自行做一遍基础的功能测试，再举手示意等老师检查。
- 具体操作步骤可参考实验原理部分。
- **检查截止时间：第9周周五(2025.10.31)，截止时间之后检查会扣除一定的分数**

 **注意**

当次实验课没做完，请于下次课找本班老师检查。
备份好比特流文件，下次可直接在Vivado首页点击“Open Hardware Manager”连接开发板烧录，无需再重新生成。



5、课后提交

实验2应提交下面这些文件，打包成zip格式提交：

```
├── dff  
│   ├── dff.v  
│   └── xx.xdc  
├── reg8file  
│   ├── reg8file.v  
│   ├── xx.xdc  
│   └── testbench.v  
└── 学号_姓名.pdf
```

实验报告内容请参照以下要求，工具不限，最后导出pdf提交。

实验2：寄存器
姓名： 学号： 班级：

一、寄存器文件仿真分析

1.1 仿真波形截图

- 能正确清晰体现实验所要求的功能
- 实验室电脑win+shift+s截图后默认是复制，可以直接粘贴到文档或者聊天窗口

1.2 波形分析

- 需体现初始复位、寄存器写入、读取以及异步清零的情况
- 写入要求写不同的数据到2个不同的寄存器，再从写入的2个寄存器读取

二、电路图

2.1 D触发器的RTL Analysis和Synthesis schematic截图

2.2 寄存器文件的RTL Analysis和Synthesis schematic截图

- 寄存器文件Synthesis schematic图较复杂，只需整体截一张图，不用放大截多张

三、作业

请参照以下表格中的内容要求，对比“课后作业”中所给电路阻塞和非阻塞赋值的区别。所用截图要清晰，可以不用表格排版。

lab2	ex1_block	ex1_nonblock	结论
RTL 分析图			相同还是不同, 如不同是哪里不同
综合后电路图			相同还是不同, 如不同是哪里不同
仿真波形截图			相同还是不同, 如不同是哪里不同

注意事项：

- 时序电路的仿真分析可参考：[D触发器仿真分析示例](#)。
- 如果仿真出来的波形时钟clk，rst等输入信号出现了x,z的情况，可以尝试Relaunch重新运行仿真。
- 课后作业内容请点击：[课后作业](#)查看