

实验内容

1、实验目的

- 掌握自顶向下(Top-Down)的结构化设计方法；
- 运用Verilog完成多个模块的数字系统设计，锻炼对具有一定复杂度和规模的问题的分析与求解能力。

2、实验内容

先使用三段式状态机描述法实现UART的接收，并结合前面实现的模块，以9600的波特率，实现如下的收发功能：

- 接收：从电脑端串口软件发送数据，FPGA解析收到的数据送到数码管上显示。
 - 只测试ASCII字符0-F，之外的可以任意显示或者不显示。
 - 数码管显示用的编码方式不限，只要做到收发两端数据一致，比如字符A，若用STR模式发送数码管显示A，也可以显示A对应的十六进制41，或者自定义编码。
 - 显示最近接收到的6个字符，不足6个高位不显示，对应数码管完全关闭而不是显示0。
 - 数码管剩余2位显示累计接收到的字符个数，超过2位数只显示低2位。
- 发送：
 - 按S3，发送“个人学号”，比如“20240101”。
 - 按键需要消抖，按一次发送一次。
- 按键开关S1作为异步复位信号。
- 未明确要求的细节可根据自己的理解自行实现。

2.1 附加题

在必做内容的基础上，以下2项选择一项实现，该项所要求的功能必须都实现，不能只实现部分。必做内容的收发仍需实现，附加内容可新建工程单独实现，也可通过拨码开关设置工作模式等与必做内容写到一起。附加题的分数仅累加到实验成绩，不累加到理论成绩。

- (1) 字符串匹配：串口软件发送一串字符串，根据不同的匹配回复不同的内容。
 - 若字符串中匹配到 `start` 回复“1”，匹配到 `stop` 回复“2”，匹配到 `hitsz` 回复“3”，未匹配到回复0，支持连续测试（不用复位进行下一次测试）。
 - 判断是否是字符串 `start`、`stop`、`hitsz` 需用状态机，不能直接移位后判等。
- (2) 简易计算器：
 - 操作数和操作符由4*4矩阵键盘输入，操作数为2位以内十进制正整数，操作符为ABCD分别代表加减乘除，计算启动信号为 *或#，即计算器的=功能。
 - 输入实时从串口发出，计算结束后将结果从串口发送。
 - 需要支持2位内的十进制数的加减乘除，比如从键盘输入 `12A3*` 表示12+3，串口软件显示 `12A3*15`；输入 `3A12*` 表示3+12，串口软件显示 `3A12*15`，结果也可以用0015等表示，只要数据正确。
 - 需支持连续处理，不能每次计算之后按复位才能处理下一组数据。
 - 可直接使用Verilog的算数运算符，边界情况可以不考虑。
 - 若矩阵键盘部分按键失灵，若不影响主要功能失灵按键涉及到的功能可以不测试，或者换开发板、或用其他按键与按键开关代替。
 - 若大部分按键失灵将开发板给到老师。
 - 矩阵键盘识别的原理和代码请参考[矩阵键盘](#)

3、实验步骤

- 理解UART接收时序和处理过程；
- 设计状态机，按指定的模块接口成UART接收的核心功能，通过仿真测试；
- 采用自顶向下的设计方法，拆解模块，画出硬件框图；
- 根据框图实现各个子模块，在顶层模块例化并连接各个子模块，进行必要的仿真；
- 上板测试。

4、课上检查

UART发送：

- 上板验证通过、uart_recv模块仿真Tcl Console显示测试通过、代码，请提前准备好一起检查
- 无固定步骤要求，只要正确实现所要求的功能即可
- 上板发送的信息与个人实际信息不符扣检查分10%
- 数码管显示与串口软件发送不一致且不能正确解释扣检查分10%
- **检查截止时间：第12周周五，截止时间之后检查会扣除一定的分数，会在13周安排一次补验收，具体时间地点由任课老师另行通知**

附加题

- 上板验证通过、代码检查，可以与必做题分开检查
- 附加题只有一次检查机会，可能随机提问，若问题没回答出来不算通过
- 截止时间之后附加题检查扣10%的附加题检查分

5、课后提交

- 代码文件、实验报告
- 实验报告请按[2025数逻实验报告模板](#)要求写，可以用markdown。请提前看下实验报告要求，注意记录实验过程中碰到的问题；
- 顶层模块不写功能逻辑，只做例化！！！！
- 请遵循实验要求的[Verilog代码规范](#)编码