

710193M Arquitectura de computadores II

Paralelismo en instrucciones y procesadores superescalares

carlos.andres.delgado@correounivalle.edu.co

Carlos Andrés Delgado S.

Facultad de Ingeniería. Universidad del Valle

Marzo de 2016

1 Segmentación de instrucciones

2 Paralelismo

710193M
Arquitectura
de
computadores
II

Carlos Andrés
Delgado S.

Segmentación
de
instrucciones

Paralelismo

1 Segmentación de instrucciones

2 Paralelismo

710193M

Arquitectura
de
computadores
II

Carlos Andrés
Delgado S.

Segmentación
de
instrucciones

Paralelismo

¿Que es segmentación?

1. Similar a cadena de producción en fábrica
2. Consiste en partir una instrucción en etapas
3. Este proceso es conocido como segmentación de cause o **pipeline**

710193M

Arquitectura
de
computadores
II

Carlos Andrés
Delgado S.

Segmentación
de
instrucciones

Paralelismo

Conceptos

Una instrucción puede ser partida en dos etapas

1. Ciclo de captación
2. Ciclo de ejecución

Estos pueden ser partidos en varias etapas, todo el flujo de etapas de la instrucción es llamado **cause de la instrucción**.

710193M

Arquitectura
de
computadores
II

Carlos Andrés
Delgado S.

Segmentación
de
instrucciones

Paralelismo

Conceptos

A su vez un ciclo de captación puede ser partido en varias etapas:

1. Captar instrucción (FI)
2. Decodificar instrucción (DI)
3. Calcular operandos (CO): Cálculo de direcciones efectivas
4. Captar operandos

710193M

Arquitectura
de
computadores
II

Carlos Andrés
Delgado S.

Segmentación
de
instrucciones

Paralelismo

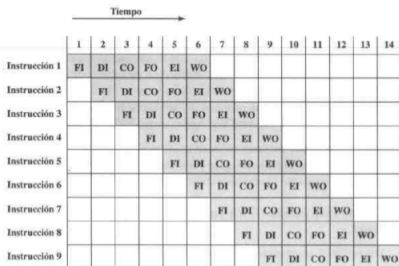
Conceptos

A su vez un ciclo de ejecución puede ser partido en varias etapas:

1. Ejecutar instrucción (EI)
2. Escribir operando (WO)

Conceptos

Debido a que cada etapa sólo requiere algunos elementos del procesador, se puede ejecutar "simultáneamente" más de una instrucción tal y como se muestra en la siguiente figura:



Conceptos

Sin embargo, existen problemas cuando se presentan saltos (llamado a subrutina). Como se puede observar en la siguiente figura, donde existe un salto en la instrucción 3 a la instrucción 15:

	Tiempo →							← Penalización debida al salto						
	1	2	3	4	5	6	7	8	9	10	11	12	13	14
Instrucción 1	FI	DI	CO	FO	EI	WO								
Instrucción 2		FI	DI	CO	FO	EI	WO							
Instrucción 3			FI	DI	CO	FO	EI	WO						
Instrucción 4				FI	DI	CO	FO							
Instrucción 5					FI	DI	CO							
Instrucción 6						FI	DI							
Instrucción 7							FI							
Instrucción 15								FI	DI	CO	FO	EI	WO	
Instrucción 16									FI	DI	CO	FO	EI	WO

710193M

Arquitectura
de
computadores
II

Carlos Andrés
Delgado S.

Segmentación
de
instrucciones

Paralelismo

Conceptos

Para enfrentar los problemas relacionados con los saltos, se diseñan estrategias para asegurar el flujo estable de las instrucciones, entre las cuales se encuentran:

1. Flujos múltiples
2. Precaptar el salto
3. Buffer de bucles
4. Predicción de saltos
5. Salto retardado

710193M

Arquitectura
de
computadores
II

Carlos Andrés
Delgado S.

Segmentación
de
instrucciones

Paralelismo

Flujos múltiples

En esta estrategia se intenta resolver el problema de que cuando hay un salto, se debe escoger alguna de las dos instrucciones y se puede hacer una elección equivocada, una solución es duplicar el proceso y hacer que se ejecuten las dos instrucciones en todos los caminos posibles. El problema que se presenta retardos por el proceso adicional que se realiza.

710193M

Arquitectura
de
computadores
II

Carlos Andrés
Delgado S.

Segmentación
de
instrucciones

Paralelismo

Precaptar el salto

Cuando se identifica un salto, se precapta la instrucción destino del salto y la siguiente despues del salto, se almacena esta ultima y se ejecuta en el momento en que se ha finalizado el salto.

Buffer de bucles

Se almacenan las n instrucciones captadas anteriormente.

710193M

Arquitectura
de
computadores
II

Carlos Andrés
Delgado S.

Segmentación
de
instrucciones

Paralelismo

Predicción de saltos

Es intentar predecir si un salto se va a producir

1. Predecir que nunca se salta
2. Predecir que siempre se salta
3. Predecir según código de operación
4. Conmutador saltar/no saltar
5. Tabla de historia de saltos

710193M

Arquitectura
de
computadores
II

Carlos Andrés
Delgado S.

Segmentación
de
instrucciones

Paralelismo

Salto retardado

Se reordenan las instrucciones de tal forma, los saltos se presenten después del momento deseado.

710193M
Arquitectura
de
computadores
II

Carlos Andrés
Delgado S.

Segmentación
de
instrucciones

Paralelismo

1 Segmentación de instrucciones

2 Paralelismo

710193M

Arquitectura
de
computadores
II

Carlos Andrés
Delgado S.

Segmentación
de
instrucciones

Paralelismo

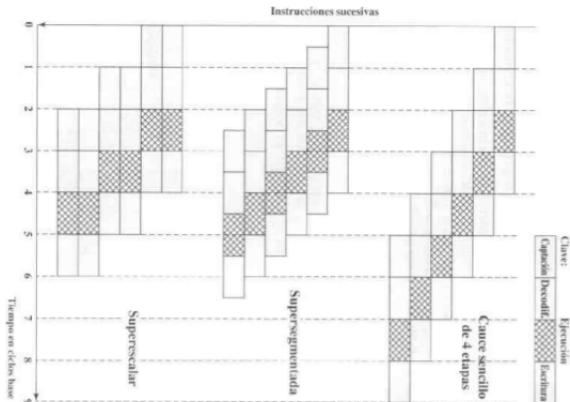
Superescalar vs supersegmentado

Un procesador superescalar utiliza múltiples causas de instrucciones

Un procesador supersegmentado, aprovecha que algunas etapas de las instrucciones requieren poco tiempo de realización, por lo que dobla la velocidad de procesamiento

Superescalar vs supersegmentado

En la siguiente figura se puede observar la diferencia entre superescalar y supersegmentado:



Limitaciones superescalar

Dependencia de datos

Conflicto recursos

Dependencia en salidas

710193M

Arquitectura
de
computadores
II

Carlos Andrés
Delgado S.

Segmentación
de
instrucciones

Paralelismo

Consideraciones de diseño

Existe paralelismo cuando las instrucciones son independientes

El paralelismo en la máquina es una medida de capacidad del procesador de sacar partido de las instrucciones

710193M

Arquitectura
de
computadores
II

Carlos Andrés
Delgado S.

Segmentación
de
instrucciones

Paralelismo

Políticas de emisión de instrucciones

Para realizar el diseño de políticas de emisión de instrucciones se tienen en cuenta las siguientes ordenaciones:

- Orden en que se captan las instrucciones

- Orden en que se ejecutan las instrucciones

- El orden en que las instrucciones actualizan registros y la memoria

Políticas de emisión de instrucciones

En base a lo anterior se crean las siguientes políticas de instrucciones

Emisión en orden y finalización en orden: Se ejecutan las instrucciones en el orden exacto de llegada

Emisión en orden y finalización desordenada: Se toma en cuenta la dependencia entre salidas, por ejemplo que un recurso sea requerido por una instrucción y otra lo solicite, esta debe esperar a que el recurso esté disponible

Emisión desordenada y finalización desordenada: Con la emisión en orden sólo se codifica hasta que exista un punto de conflicto, en este caso se siguen codificando instrucciones y ejecutando.

710193M

Arquitectura
de
computadores
II

Carlos Andrés
Delgado S.

Segmentación
de
instrucciones

Paralelismo

Renombramiento de registros

Debido a la emisión y finalización desordenada de instrucciones. Debido a que pueden existir conflictos una estrategia de solución es la duplicación de recursos, la técnica es conocida como **renombramiento de registros**. Consiste en que se asigna dinámicamente los registros a las instrucciones en diversos momentos de tiempo, con esto se evita problemas en el uso de estos recursos.

Predicción de saltos

Debido a la segmentación de las instrucciones, existen problemas en el cause de las instrucciones debido a los saltos, en procesador superescalares la estrategia utilizada es **salto retardado**

710193M

Arquitectura
de
computadores
II

Carlos Andrés
Delgado S.

Segmentación
de
instrucciones

Paralelismo

Ejecución superescalar

Primero se debe analizar la dependencia entre instrucciones para enviarlas a una ventana de ejecución. Cuando se ingresan a esta ventana estas dependencias no son secuenciales (no se ejecutan en el orden de llegada), y son ejecutadas de acuerdo a la política de ejecución que se utilice.

710193M
Arquitectura
de
computadores
II

Carlos Andrés
Delgado S.

Segmentación
de
instrucciones

Paralelismo

¿Preguntas?

Siguiente tema:
Unidad de control