

## Trabalho Prático #2

*Professor: Omar Paranaíba Vilela Neto*

Antes de começar seu trabalho, leia todas as instruções abaixo.

### 1. Instruções gerais

- O objetivo desse trabalho é te familiarizar com a Linguagem de Descrição de Hardware Verilog. Será disponibilizado no moodle um arquivo .ipynb com uma implementação do RISCv 5 estágios em Verilog. Sua tarefa neste trabalho será **alterar o caminho de dados** fornecidos a **fim de incluir mais operações e módulos**. É necessário executar esse arquivo no [Google Colab](#), sendo esta a plataforma que será utilizada para avaliar as submissões dos trabalhos.
- O trabalho pode ser feito em grupos compostos por **até 3 alunos**.
- Entregas após o prazo serão aceitas, porém haverá uma penalização. Quanto maior o atraso maior a penalização.
- Você deve entregar um único **arquivo zip**, contendo um arquivo **.ipynb** com a implementação do caminho de dados com as funções pedidas a seguir, em Verilog e um **relatório (descrito a seguir)**. Note que todas as funções devem estar no mesmo caminho de dados, ou seja, o trabalho é incremental, você deve entregar somente um caminho de dados contendo todas as funções solicitadas.
- Deverão ser implementados os arquivos Verilog e os códigos de teste em assembly das instruções. **As suas modificações devem ser feitas em uma cópia do código Verilog fornecido.**
- No mesmo arquivo zip contendo o caminho de dados, você deve **enviar um relatório**, em pdf, explicando suas **decisões de projeto e testes realizados**. Este documento deve conter nome e matrícula de todos os integrantes do grupo.
  - Sugestão de tópicos:
    - Introdução: apresente os objetivos do trabalho, contextualize o tema e indique quais arquivos/funções foram alteradas.
    - Desenvolvimento: descreva a sua implementação separando as subseções para cada um dos problemas solicitados neste trabalho.
    - Testes: descreva os testes implementados por vocês.
    - Conclusão: concluir o relatório fazendo um breve resumo do trabalho, as tomadas de decisão e os desafios durante a implementação
- **Cada grupo deve fazer somente uma submissão.**

### 2. Orientações para compilar os arquivos Verilog e rodar os testes

No .ipynb fornecido, você encontrará a implementação de um RiscV monociclo com opções de visualização do caminho de dados.

- A implementação em Verilog do RiscV está nas células Single Verilog Implementation, essas são as células que precisam ser alteradas para incluir as novas operações
- Para realizar um teste, deve-se informar o código de máquina em questão na célula **“Copy and Paste Hex Code here”** utilize o [Venus](#) para obter o código.

- Em 'Show Animation' há uma versão interativa do estado do pipeline, onde você pode ver uma animação do estado do processador a cada ciclo de execução.

Venus Editor Simulator Chocopy

Run Step Prev Reset Dump Trace Re-assemble from Editor

PC Machine Code Basic Code Original Code

0x0	0x00300293	addi x5 x0 3	addi t0, x0, 3
0x4	0x00400313	addi x6 x0 4	addi t1, x0, 4
0x8	0x025383B3	mul x7 x7 x5	mul t2, t2, t0

Dump irá gerar o código Hex a partir das instruções de assembly.

### 3. Descrição da implementação:

Para este trabalho prático, deve-se implementar as seguintes instruções:

1. mul Rd, Rs1, Rs2
2. div Rd, Rs1, Rs2
3. **andi** Rd, Rs1, Rs2
4. beq, Rs1, Rs2, label

### 4. Testes:

Para cada uma das instruções implementadas, inclua na documentação quais modificações foram feitas. Além disso, inclua um ou mais testes da instrução, utilizando as visualizações geradas pelo notebook para demonstrar o funcionamento.