

Temario

- Introducción
- Microcontroladores comerciales
- LPC3337
 - Características
 - Mapa de memoria
 - Modelo de comunicación entre procesadores
- Ejemplos

Por qué usar procesadores con dual core?

- Posibilidad de distribución de tareas
- Programas multitarea
- Mejor rendimiento y capacidad de respuesta
- Mejor procesamiento de tareas complejas
- Mayor eficiencia energética
- Uso más estratégico de los recursos
- Convivencia de baremetal con RTOS

Microcontroladores comunes con dual core



RP2040 [2 x M0+]



ESP32 [2 x Xtensa LX6]

LPC4337 [M4 + M0]

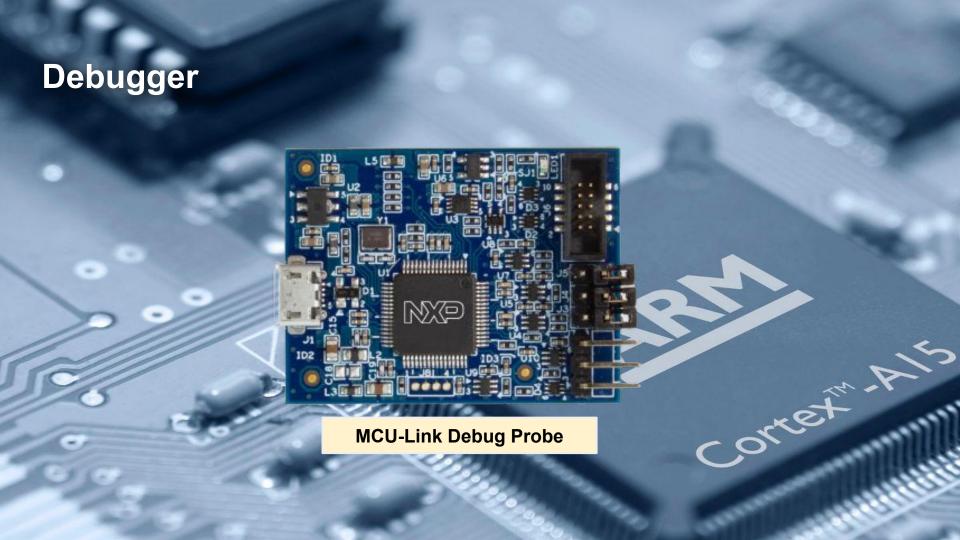
Computadora Industrial Abierta Argentina (CIAA)



CIAA Industrial



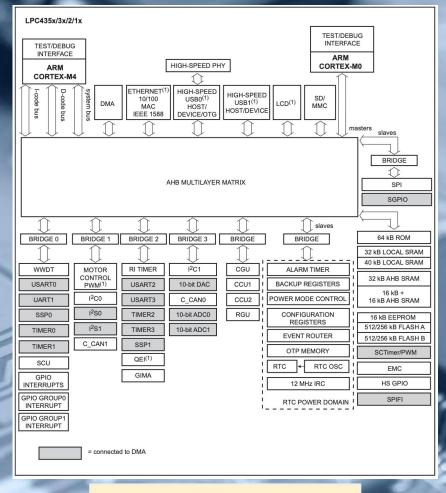
EDU CIAA



LPC4337 - Características

- Ambos procesadores:
 - Frecuencia de clockhasta 204 MHz
 - Flash de 1 MB
 - RAM hasta 136 KB
 - Matriz AHB para acceso a periféricos

- Cortex M4
 - Arquitectura Harvard de 3buses
 - NVIC de 53 interrupciones
 - Unidad de punto flotante
- Cortex M0
 - Arquitectura von Neumann
 - NVIC de 32 interrupciones
 - Sin SysTick timer



LPC4337 - Periféricos

- **USB 2.0**
- 3 x USART
- 2 x I2C
- 2 x 12S
- 1 x SPI
- 2 x CAN

- 1 x 10 bit DAC Hasta 164 GPIO

LPC4337 (Figura 4)

Mapa de memoria (Figura 10)

Mapa de memoria -Bancos de Flash

- 512 KB 0x1a00 0000 [0x80000]
 - 256 KB 0x1a00 0000 [0x40000]
 - 256 KB 0x1a04 0000 [0x40000]

- 512 KB 0x1b00 0000 [0x80000]
 - 256 KB 0x1a00 0000 [0x40000]
 - 256 KB 0x1a04 0000 [0x40000]

0x2000 0000				
0x1F00 0000	16 MB static external memory CS3			
0x1E00 0000	16 MB static external memory CS2			
0x1D00 0000	16 MB static external memory CS1			
0x1C00 0000	16 MB static external memory CS0			
27	reserved			
0x1B08 0000				
0x1B04 0000	256 kB flash B			
0x1B00 0000	256 kB flash B			
0x1A08 0000	reserved			
0x1A04 0000	256 kB flash A			
0x1A00 0000	256 kB flash A			
2	reserved			
0x1840 2000 0x1840 0000	8 kB ROM (M0 SERIAL)			
0X1840 0000	reserved			
0x1800 4800				
0x1800 4000	2 kB SRAM (M0 subsystem)			
0x1800 0000	16 kB SRAM (M0 subsystem)			
0x1400 0000	64 MB SPIFI data			
0x1041 0000	reserved			
0x1040 0000	64 kB ROM			
0x1008 A000	reserved			
0.7.0007.000	32 kB + 8 kB local SRAM			
0x1008 0000				
0x1000 8000	reserved			
0x1000 0000	32 kB local SRAM			

-	reserved	1	
		\dashv	0xE010 0000
	ARM private bus	_	0xE000 0000
	reserved	Ĩ	0x8800 0000
	128 MB SPIFI data	_	0x8000 0000
	256 MB dynamic external memory DYCS3	_	0x7000 0000
	256 MB dynamic external memory DYCS2	_	0x6000 0000
	reserved	3	0x4400 0000
	peripheral bit band alias region	4	0x4200 0000
	reserved	┙	0x4010 2000
	SGPIO		0x4010 1000
	SPI		0x4010 0000
33	reserved	:4	0x400F 8000
	high-speed GPIO		0x400F 4000
32	reserved	1	
	reserved	\neg	0x400F 2000
	reserved	╛	0x400F 1000
	APB peripherals #3	┪	0x400F 0000
- ::	reserved	7	0x400E 0000
	APB peripherals #2	┪	0x400D 0000
2,	reserved	딏	0x400C 0000
	APB peripherals #1	┨	0x400B 0000
ς,	reserved		0x400A 0000
	APB peripherals #0	┨	0x4009 0000
3,	reserved	=	0x4008 0000
	clocking/reset peripherals	╗	0x4006 0000
	RTC domain peripherals	\dashv	0x4005 0000
3.	reserved	딏	0x4004 0000
	AHB peripherals	\dashv	0x4001 2000
1 GB		\exists	0x4000 0000
	256 MB dynamic external memory DYCS	\neg	0x3000 0000
	128 MB dynamic external memory DYCS0		0x2800 0000
3,	reserved	4	
	32 MB AHB SRAM bit banding		0x2400 0000
		┪	0x2200 0000
3.	reserved	4	2
	16 kB EEPROM	\dashv	0x2004 4000
		-[0x2004 0000
	reserved	Ť	0x2001 0000
	4 x 16 kB AHB SRAM	_	0x2000 0000
-	local SRAM/ external static memory banks		0x1000 0000
GB	256 MB shadow area		0x0000 0000
GD		_	0,0000 0000

Mapa de memoria (Figura 10)

Mapa de memoria -Bancos de RAM

- 40 KB 0x1008 0000 [0xa000]
- 32 KB 0x1000 0000 [0x8000]
- 64 KB 0x2000 0000 [0x10000]
 - 16 KB 0x2000 0000 [0x4000]
 - 0 16 KB 0x2000 4000 [0x4000]
 - 16 KB 0x2000 8000 [0x4000]
 - 0 16 KB 0x2000 c000 [0x4000]

			reserved	Î
			ARM private bus	0xE010 000
			reserved	0xE000 000
			128 MB SPIFI data	0x8800 0000
			256 MB dynamic external memory DYCS3	0x8000 0000
			256 MB dynamic external memory DYCS2	0x7000 0000 0x6000 0000
			reserved	7
			peripheral bit band alias region	0x4400 0000
0x2000 0000			reserved	0x4200 0000
	MB static external memory CS		SGPIO	0x4010 2000
	MB static external memory CS2		SPI	0x4010 100
	MB static external memory CS		reserved	0x4010 000
	MB static external memory CS0	7	2	0x400F 800
0x1000 0000		3.	high-speed GPIO	0x400F 400
7:	reserved	7	reserved	0x400F 200
0x1B08 0000	05010.0.1.0	\dashv	reserved	0x400F 100
0x1B04 0000	256 kB flash B	4	reserved	0x400F 000
0x1B00 0000	256 kB flash B		APB peripherals #3	0x400E 000
×1200 0000	reserved	3.	reserved	0x400D 000
0x1A08 0000	TOSCIVOU		APB peripherals #2	0x400C 000
0.4404.0000	256 kB flash A		reserved	0x400B 000
0x1A04 0000	256 kB flash A	 ;	APB peripherals #1	0x400A 000
0x1A00 0000	250 KB IIdSITA		reserved	0x4009 0000
: .	reserved	4	APB peripherals #0	0x4008 0000
0x1840 2000	10001100		reserved	0x4006 0000
0x1840 0000	8 kB ROM (M0 SERIAL)	7	clocking/reset peripherals	0x4005 0000
3		3.1	RTC domain peripherals	81 90000 HOSELES
0x1800 4800	reserved		reserved	0x4004 0000
0x1800 4000	2 kB SRAM (M0 subsystem)	1	AHB peripherals	0x4001 2000
0x1800 0000	16 kB SRAM (M0 subsystem)	1 GB	256 MB dynamic external memory DYCS1	0x4000 0000
	64 MB SPIFI data	7	128 MB dynamic external memory DYCS0	0x3000 0000
0x1400 0000		1	128 MB dynamic external memory DTCS0	0x2800 0000
0x1041 0000	reserved	71	reserved	学
0x1040 0000	64 kB ROM		32 MB AHB SRAM bit banding	0x2400 0000
0x1008 A000	reserved	<u> </u>		0x2200 0000
	32 kB + 8 kB local SRAM		reserved	4.
0x1008 0000		-		0x2004 4000
			16 kB EEPROM	0x2004 0000
	reserved		reserved	0x2001 0000
0x1000 8000		<u>.</u>	4 x 16 kB AHB SRAM	0x2000 0000
	32 kB local SRAM		local SRAM/	7 372000 0000
0x1000 0000	OZ ND IUCAI STAIVI	_	external static memory banks	0x1000 0000
		0 GB	256 MB shadow area	0x0000 0000

Inter-Process Communication - Interrupciones

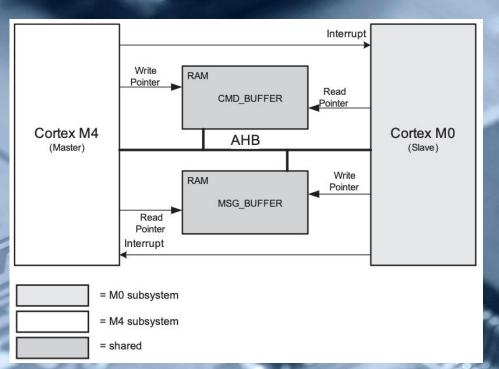
Interrupt ID	Exception Number	Vector Offset	Function	Flags
0	16	0x40	DAC	-
1	17	0x44	M0APP	Cortex-M0APP; Latched TXEV; for M4-M0APP communication
2	18	0x48	DMA	-

NVIC Cortex M4 (Tabla 77)

Interrupt ID	Exception Number	Vector Offset	Function	Flag(s)
0	16	0x40	M0_RTC	-
1	17	0x44	M0_M4CORE	Interrupt from the M4 core
2	18	0x48	M0_DMA	-

NVIC Cortex M0 (Tabla 78)

Inter-Process Communication - Modelo



- Defino RAM compartida
- Core 1 escribe en dicha dirección
- Core 1 manda una interrupción al core 2 (opcional)
- Core 2 atiende la interrupción del core 1 (opcional)
- Core 2 lee el dato de la dirección compartida en RAM

Model dual core (Figura 7)



- Cortex M4:
 - Acceso completo al mapa de memoria
 - Blinkea LED1
- Cortex M0:
 - Acceso a Flash bank B y RAM 2
 - Blinkea LED2

- Cortex M4:
 - Blinkea LED1
 - SysTick se dispara cada 500 ms e interrumpe al M0
 - Cada dos interrupciones del M0 blinkea LED3
- Cortex M0:
 - Cada dos interrupciones del M4 blinkea LED2

- Cortex M4:
 - Lee un dato de la RAM compartida y lo muestra por consola
 - En función del dato, prende LEDs 1 a 3
- Cortex M0:
 - Lee el ADC0 canal 0
 - Escribe el valor del ADC en la RAM compartida

- Cortex M4:
 - Corre un FreeRTOS
 - Recibe un buffer de muestras del M0 y aplica una RFFT
 - Manda el resultado de la RFFT por USB
- Cortex M0:
 - Toma 2048 muestras del ADC0 canal 0
 - Escribe el buffer de muestras en la RAM compartida

