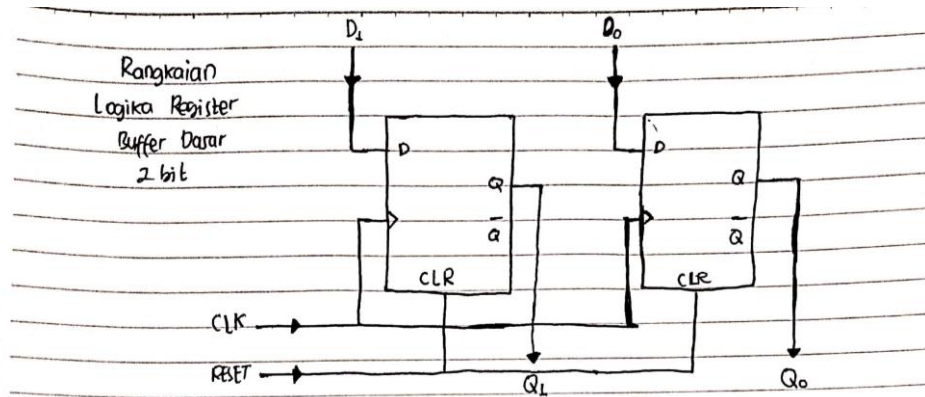


Nama : Carlos Nibohouni Daeli  
 NIM : 2142101929

Baca pertanyaan dengan seksama, dan jawablah SEMUA pertanyaan.

1. Gambarkan Rangkaian Logika Register Buffer Dasar 2 bit.

Jawaban :

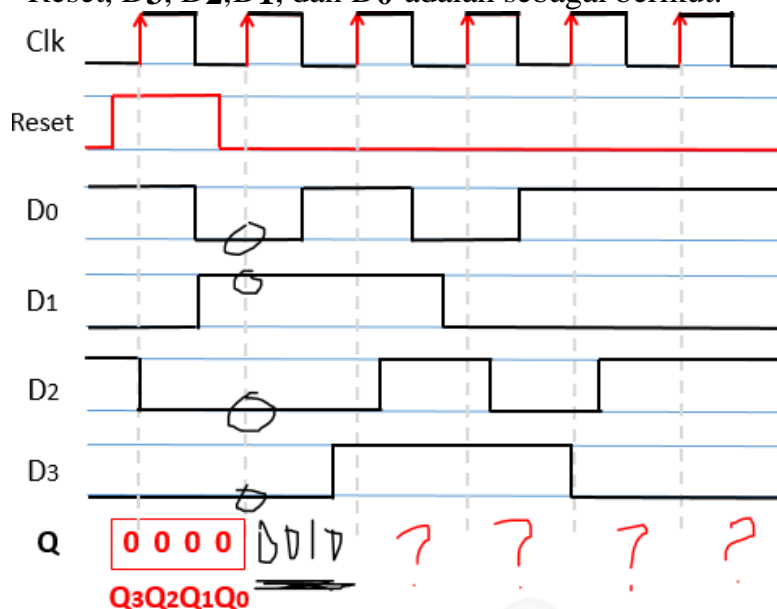


2. Buat juga Truth Table untuk Register Buffer Dasar.

Jawaban :

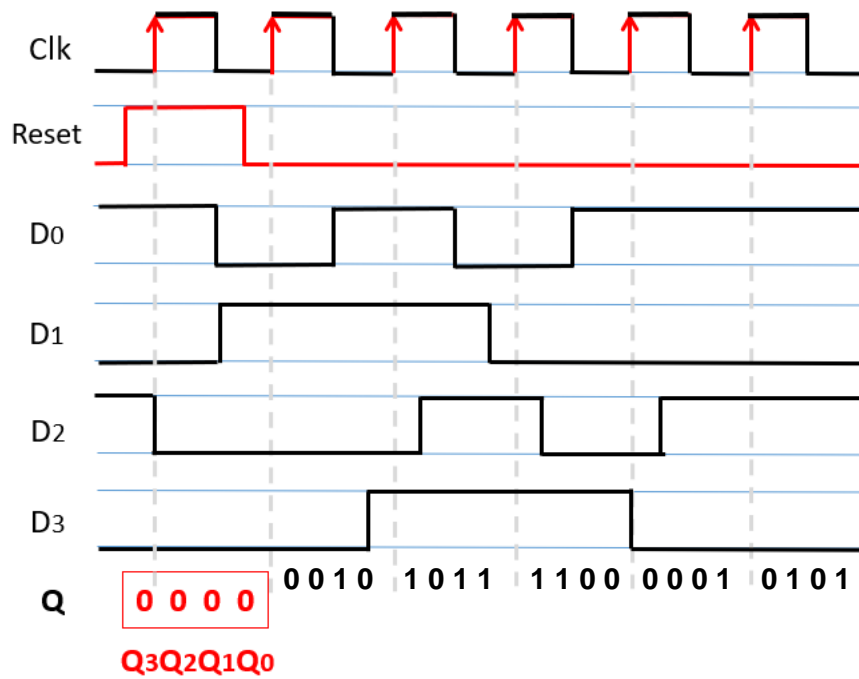
RESET	CLOCK	D	$Q_{n+1}$	KETERANGAN
1	X	X	0	<b>CLEAR</b>
0	0/1/↓	X	$Q_n$	<b>MEMORIZE</b>
0	↑	0	0	$Q_{n+1} = D$
0	↑	1	1	$Q_{n+1} = D$

3. Tuliskan output Q3 Q2 Q1 Q0 dari Register Buffer Dasar 4 bit jika input Clock, Reset, D3, D2, D1, dan D0 adalah sebagai berikut.



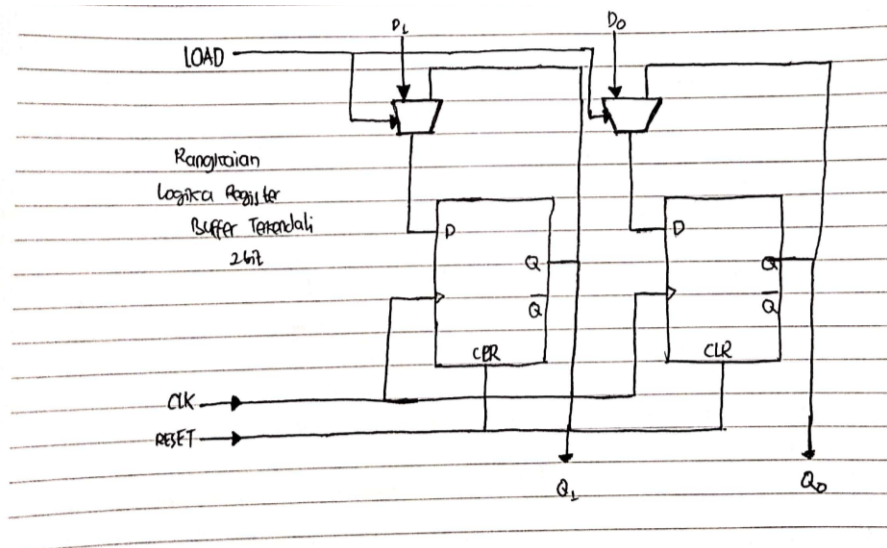
Master Slave  $\Rightarrow$  Perubahan data hanya terjadi ketika CLK  $\uparrow$

Jawaban :



4. Gambarkan Rangkaian Logika Register Buffer Terkendali 2 bit.

**Jawaban :**



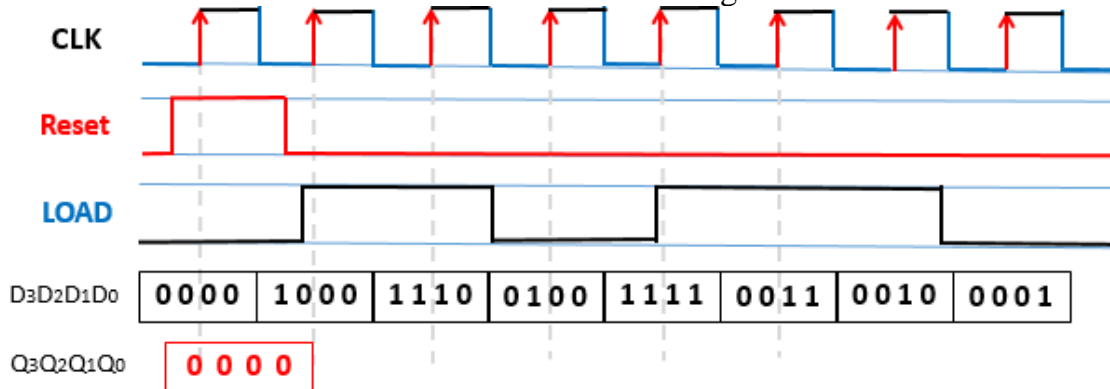
5. Buat juga Truth Table untuk Register Buffer Terkendali.

RESET	CLK	LOAD	D	Q <sub>n+1</sub>	Keterangan
1	x	x	x	0	
0	0/1/↓	x	x		
0	↑	0	x		
0	↑	1	0		
0	↑	1	1		

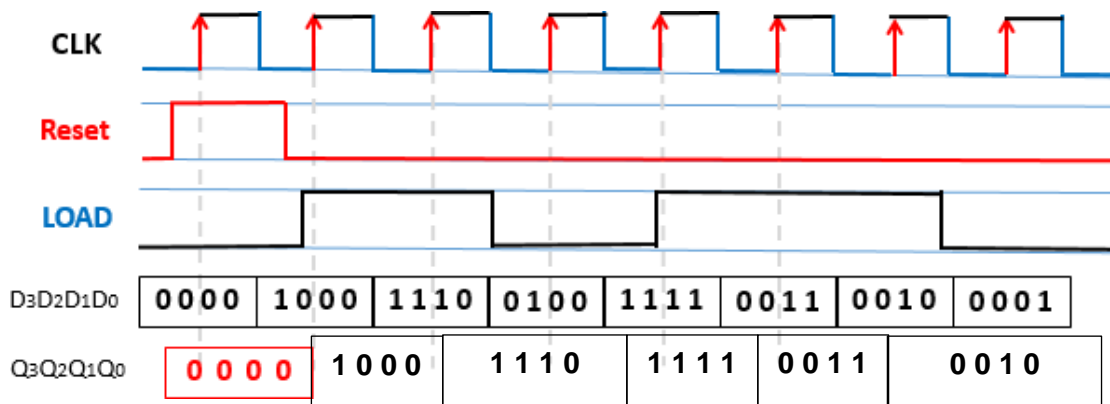
Jawaban :

RESET	CLK	LOAD	D	Q <sub>n+1</sub>	Keterangan
1	X	X	X	0	Clear
0	0/1/↓	X	X	Q <sub>n</sub>	Memorize
0	↑	0	X	0	Memorize
0	↑	1	0	1	Q <sub>n+1</sub> = D
0	↑	1	1	1	Q <sub>n+1</sub> = D

6. Tuliskan output Q3 Q2 Q1 Q0 jika input Clock, Load, Reset, D3, D2, D1, dan D0 dari REGISTERBUFFER TERKENDALI adalah sebagai berikut.

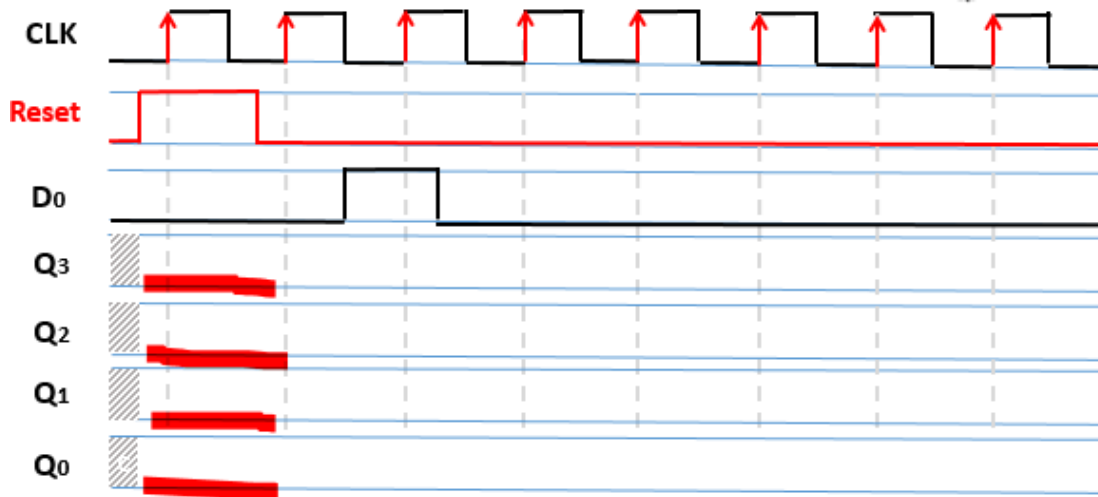


Jawaban :

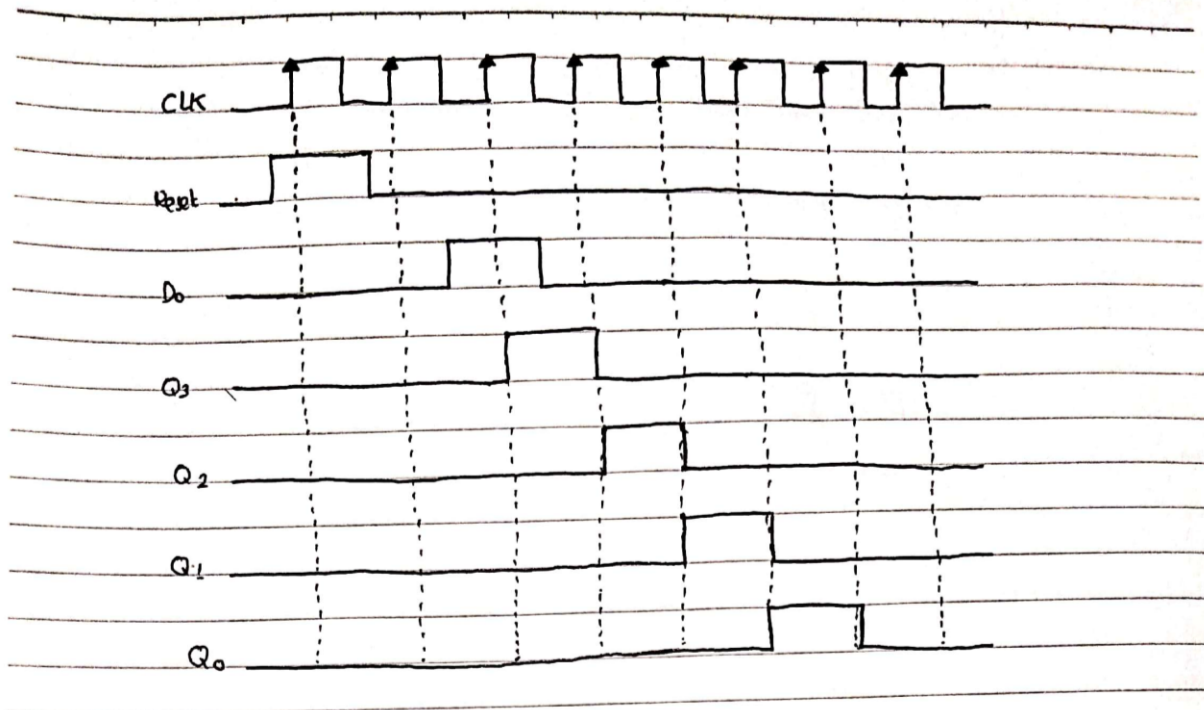


7. Gambarkan output Q3, Q2, Q1, dan Q0 seiring berjalannya waktu dengan input Clock, Reset, dan

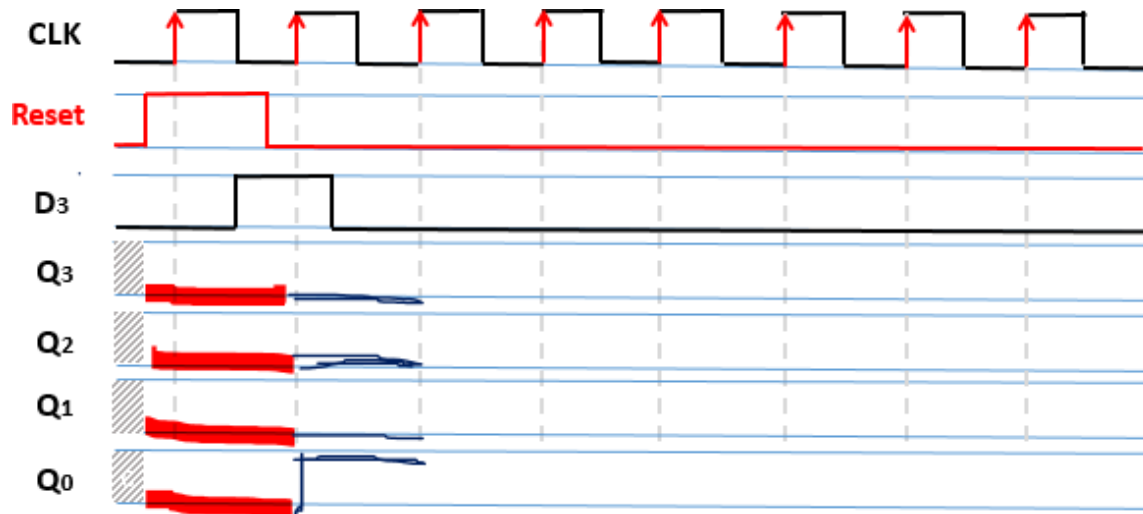
D0 dari REGISTER SIPO GESER KANAN seperti ini:



Jawaban :



8. Gambarkan output **Q3, Q2, Q1, dan Q0** seiring berjalannya waktu dengan input Clock, Reset, dan **D0** dari **REGISTER SIPO GESER KIRI** seperti ini:



Jawaban :

