



LTSpice Project



Synchronous Adder

Informatica Industriale

A.A 2018/2019

Pietro Colombo

Carlo Radice

793679

807159

Outline



- Introduzione al progetto
- Specifiche implementative
- Tabella dei segnali
- Schema gerarchico
- Risultati delle simulazioni

Outline

- Introduzione al progetto
- Specifiche implementative
- Tabella dei segnali
- Schema gerarchico
- Risultati delle simulazioni

Introduzione al progetto

Progettare un circuito sincrono di somma di due numeri A e B aventi 2 bit di risoluzione.
I numeri in ingresso vengono forniti da due registri sincroni e il risultato della somma può essere salvato in un registro di uscita.

Il sommatore ha tre modi di funzionamento (selezionabili dall'esterno):

- MOD0: ogni risultato viene salvato nel registro di uscita;
- MOD1: vengono salvati solo i risultati ottenuti dalla somma di due numeri uguali;
- MOD2: vengono salvati solo i risultati ottenuti dalla somma di due numeri che generano un riporto (CARRY_OUT) globale.

Il circuito è dotato di RESET, PRESET ed ENABLE.

RESET porta tutti i bit dei registri a 0.

PRESET porta tutti i bit a 1.

ENABLE abilita le operazioni di somma. Se ENABLE = 1 il circuito opera nella modalità scelta, altrimenti il sistema è in stato di HOLD (mantiene i dati).

Gestire eventuali stati di fault derivanti da errati comandi di modo.

Outline

- Introduzione al progetto
- Specifiche implementative
- Tabella dei segnali
- Schema gerarchico
- Risultati delle simulazioni

Specifiche implementative

- Considero:
 - MOD0 = 00
 - MOD1 = 01
 - MOD2 = 10
 - MOD3 = 11 (Stato di fault <1>)
- Se PRESET = 1 e RESET = 1 → stato di fault <2>
 - vengono posti entrambi a 0
 - viene posto l'ENABLE = 0
- Se ENABLE = 0 → non viene cambiato lo stato dei registri A e B
- Se:
 - MOD0=0 ∧ MOD1=0 ∧ MOD2=0
 - MOD0=0 ∧ MOD1=1 ma i numeri sono diversi ∧ MOD2=0
 - MOD0=0 ∧ MOD1=0 ∧ MOD2=1 ma non c'è riporto in uscita

non viene cambiato lo stato del registro R
- Carryout salvato solo se MOD2=1 e se c'è riporto
- Ai generatori di segnale che vengono usati nei registri viene dato un delay iniziale significativo (100u) in modo tale da avere la certezza della modalità selezionata

Outline

- Introduzione al progetto
- Specifiche implementative
- Tabella dei segnali
- Schema gerarchico
- Risultati delle simulazioni

Tabella dei segnali (1)

NOME	DIREZIONE	RISOLUZIONE	TIPO (interno/esterno)	COMMENTI
I0	input	1 bit	esterno	generatore
I1	input	1 bit	esterno	generatore
I2	input	1 bit	esterno	generatore
I3	input	1 bit	esterno	generatore
CLK	input	1 bit	esterno	generatore
ENABLE	input	1 bit	esterno	generatore
PRESET	input	1 bit	esterno	generatore
RESET	input	1 bit	esterno	generatore
SEL0	input	1 bit	esterno	generatore
SEL1	input	1 bit	esterno	generatore

Tabella dei segnali (2)

NOME	DIREZIONE	RISOLUZIONE	TIPO (interno/esterno)	COMMENTI
E	output/input	1 bit	interno	enable
P	output/input	1 bit	interno	preset
R	output/input	1 bit	interno	reset
A0	output/input	1 bit	interno	1° bit reg. A
A1	output/input	1 bit	interno	2° bit reg. A
B0	output/input	1 bit	interno	1° bit reg. B
B1	output/input	1 bit	interno	2° bit reg. B
Y0	output/input	1 bit	interno	1° bit risultato
Y1	output/input	1 bit	interno	2° bit risultato
C	output/input	1 bit	interno	carryout
MOD0	output/input	1 bit	interno	1° modalità

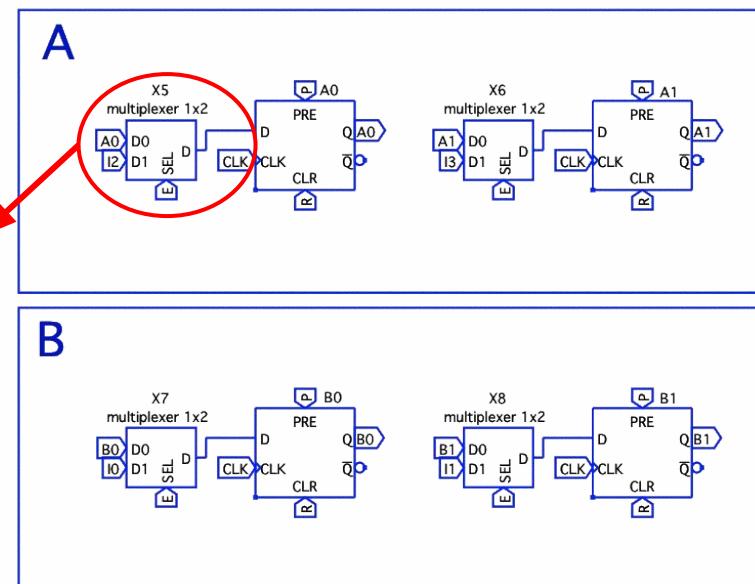
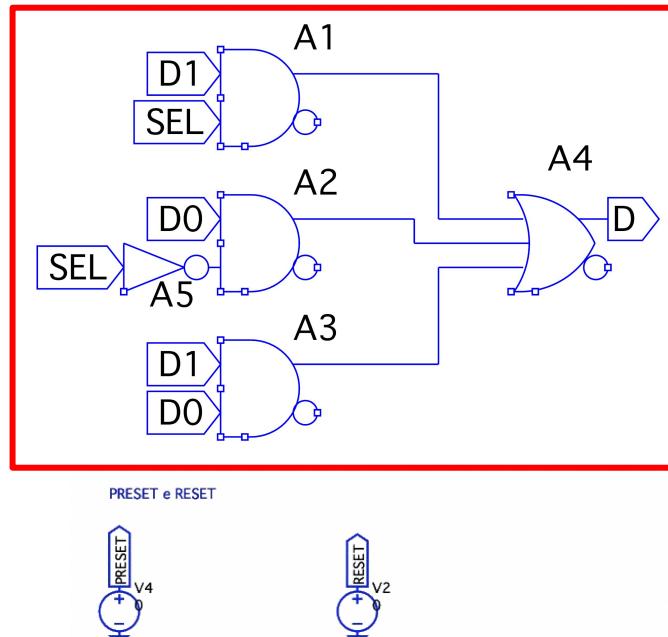
Tabella dei segnali (3)

NOME	DIREZIONE	RISOLUZIONE	TIPO (interno/esterno)	COMMENTI
VALCOMP	input/output	1 bit	interno	1 se MOD1=1, A=B
VALCARRY	input/output	1 bit	interno	1 se MOD2=1, C=1
R0	input/output	1 bit	interno	1° bit reg. R
R1	input/output	1 bit	interno	2° bit reg. R
R2	input/output	1 bit	interno	3° bit reg. R (carryout)
Rout0	input/output	1 bit	interno/esterno	1° uscita di R
Rout1	input/output	1 bit	interno/esterno	2° uscita di R
Rout2	input/output	1 bit	interno/esterno	3° uscita di R
Fault<1>	output	1 bit	interno	1 se MOD3=1
Fault<2>	output	1 bit	interno	1 se Reset=1, Preset=1

Outline

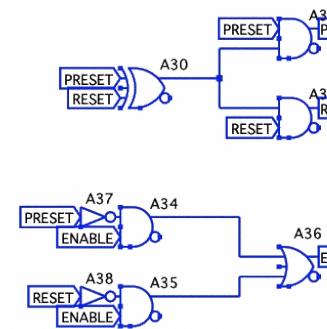
- Introduzione al progetto
- Specifiche implementative
- Tabella dei segnali
- Schema gerarchico
- Risultati delle simulazioni

Schema gerarchico (1)

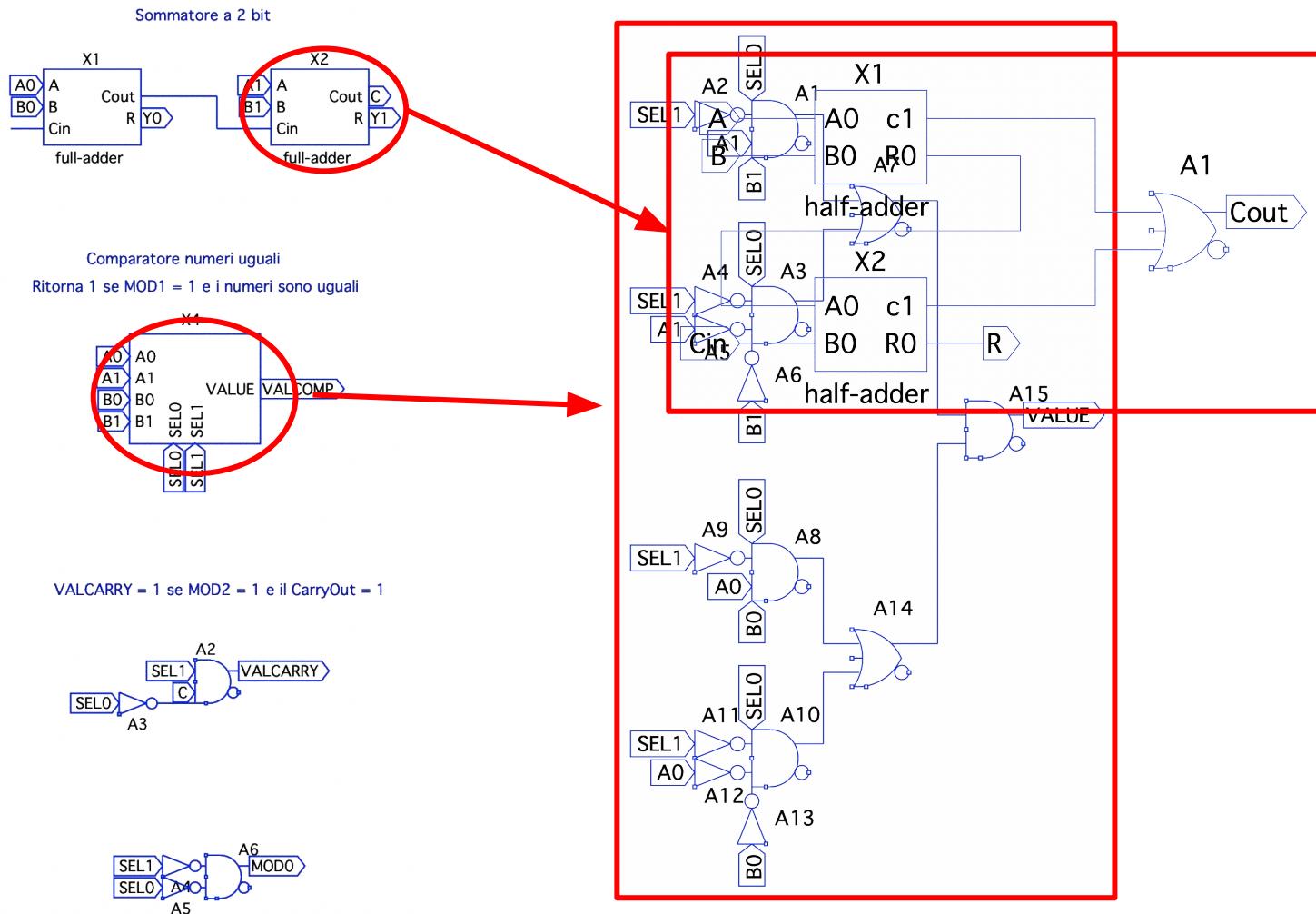


Se PRESET = 1 e RESET = 1 allora vengono impostati P = 0 e R = 0
inoltre viene impostato l'ENABLE = 0

Selettori di MODALITA'



Schema gerarchico (2)

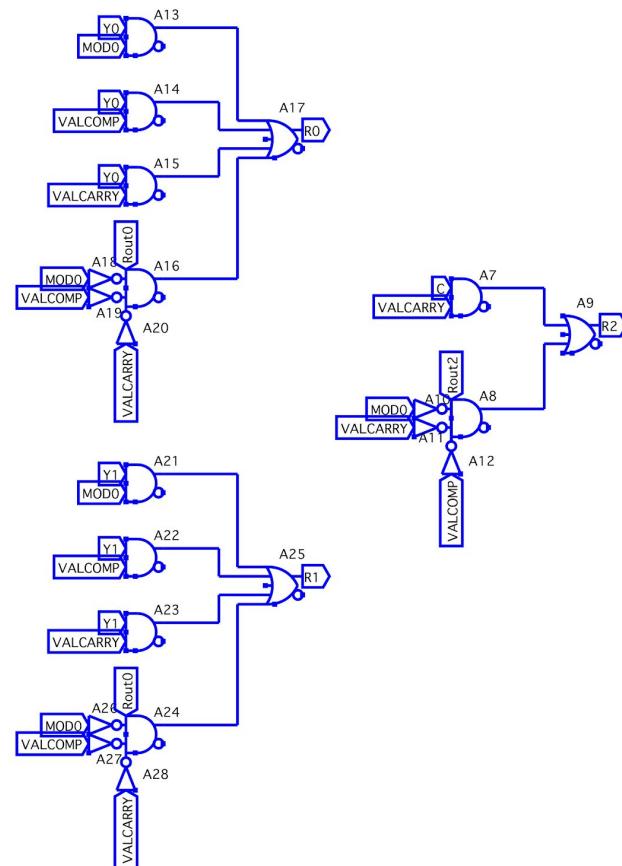


Schema gerarchico (3)

SELEZIONE MODALITA'

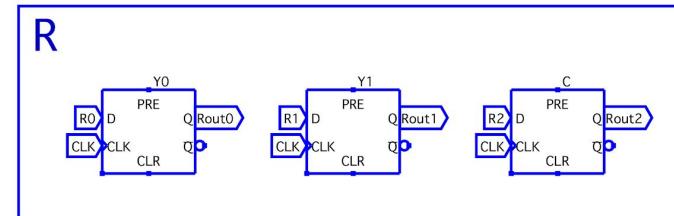
Casi possibili:

- se tutti i selettori sono a 0 perché MOD0 = 0 o MOD1 = 1 ma i numeri sono diversi o MOD2 = 1 ma non c'è riporto in uscita allora salvo il valore precedente che c'è nel registro in uscita
- se MOD0 = 1 allora salvo qualunque numero
- se MOD1 = 1 e i numeri sono uguali VALCOMP = 1 allora salvo il valore in uscita dal sommatore
- se MOD2 = 1 e c'è un riporto in uscita VALCARRY = 1 allora salvo il valore in uscita dal sommatore



REGISTER

Contiene il valore in uscita dal sommatore sincrono

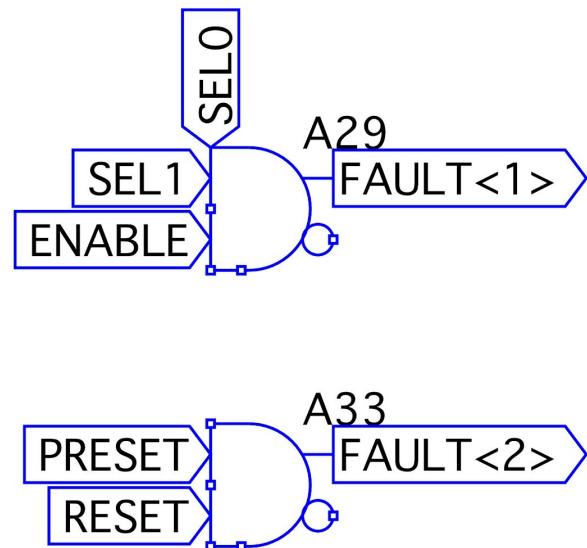


Schema gerarchico (4)

GESTIONE STATI DI FAULT

Casi:

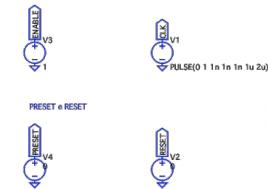
- MOD3
- RESET=1 && PRESET=1



Schema gerarchico (5)

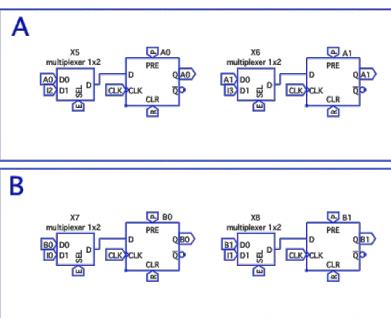
.tran 0 240u 60u

Delay iniziale delle onde quadre impostato a 100u di base

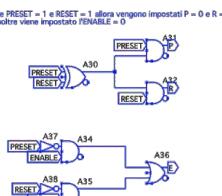


Se PRESET = 1 e RESET = 1 allora vengono impostati P = 0 e R = 0
inoltre viene impostato FENABLE = 0

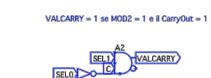
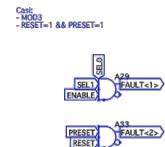
REGISTERS



Se PRESET = 1 e RESET = 1 allora vengono impostati P = 0 e R = 0
inoltre viene impostato FENABLE = 0

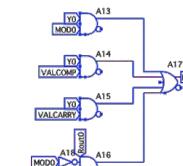


GESTIONE STATI DI FAULT



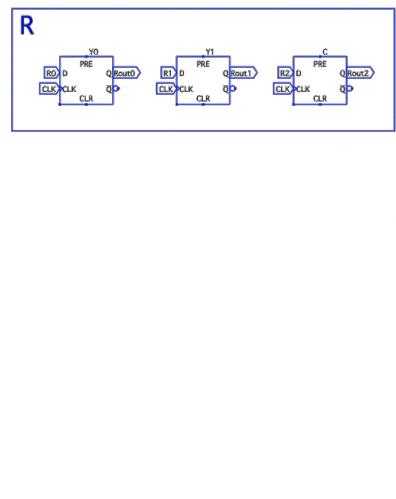
SELEZIONE MODALITA'

Casi possibili:
 - se tutti i selectori sono a 0 perché MOD1 = 0 o MOD1 = 1 ma i numeri sono diversi o MOD2 = 1 ma non c'è riporto in uscita allora salvo il valore precedente che c'è nel registro in uscita
 - se MOD1 = 1 e i numeri sono uguali VALCOMP = 1 allora salvo il valore in uscita dal sommatore
 - se MOD2 = 1 e c'è un riporto in uscita VALCARRY = 1 allora salvo il valore in uscita dal sommatore



OUTPUT REGISTER

Contiene il valore in uscita dal sommatore sincrono

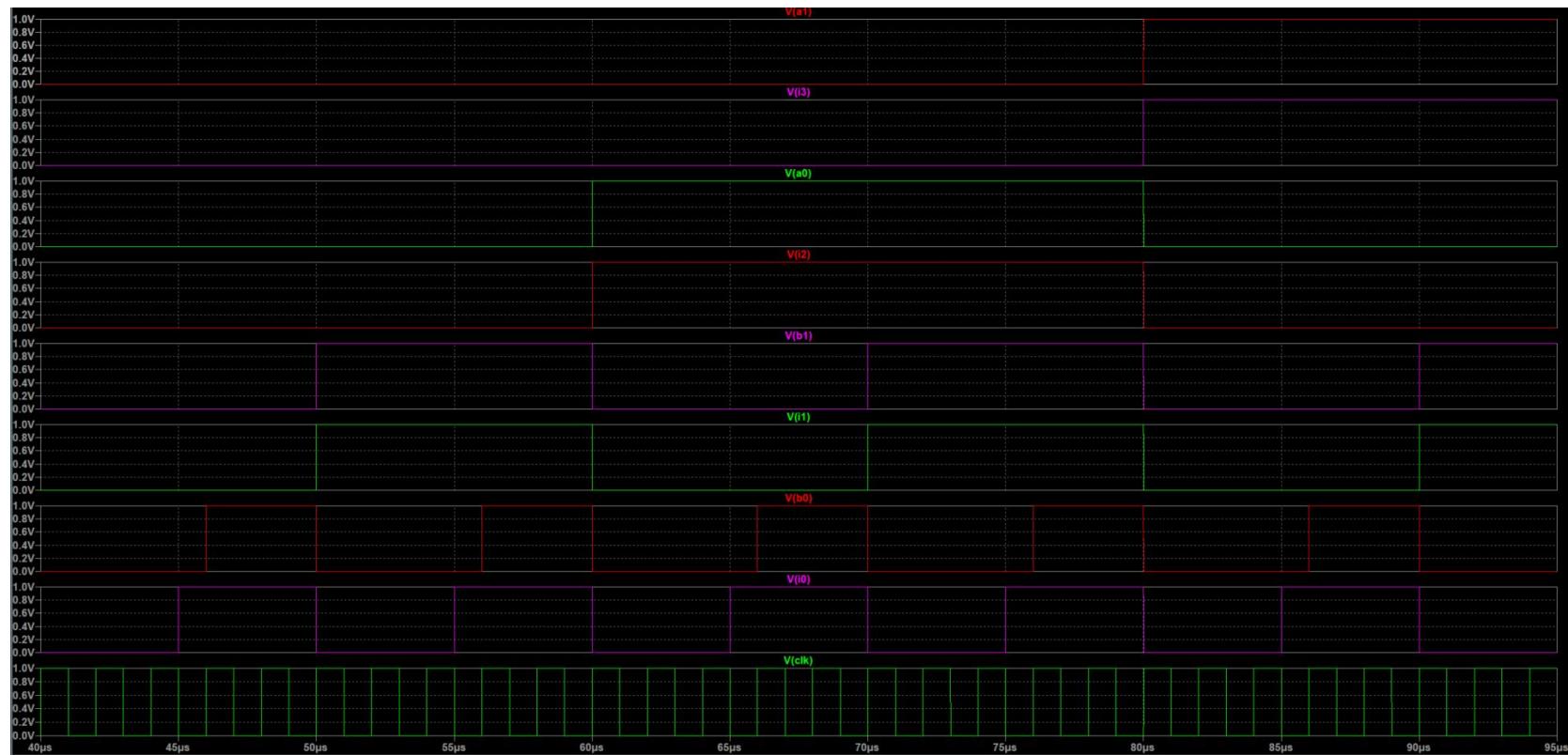


Outline

- Introduzione al progetto
- Specifiche implementative
- Tabella dei segnali
- Schema gerarchico
- Risultati delle simulazioni

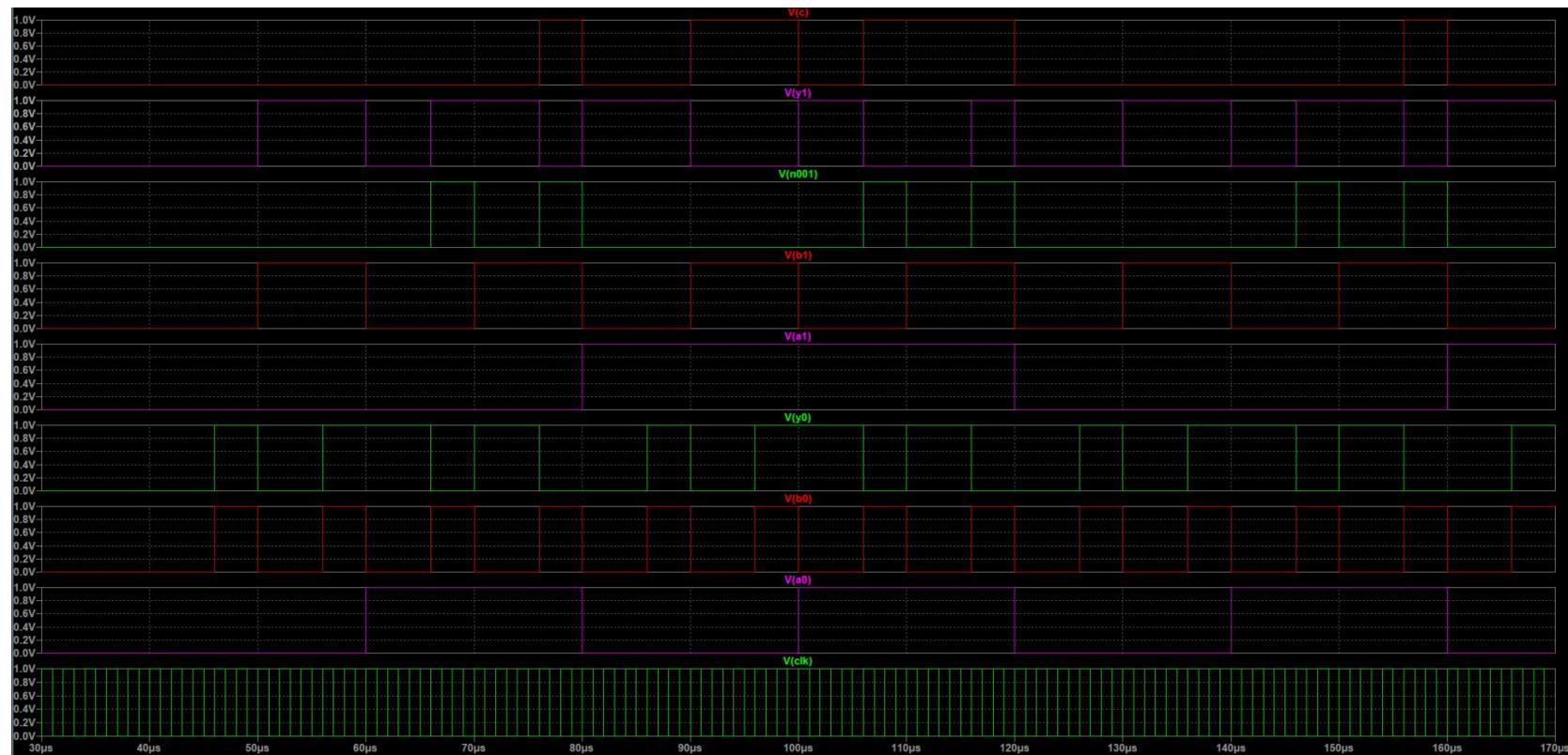
Risultati delle simulazioni

- Nominale: Clk, input, output dai registri A e B



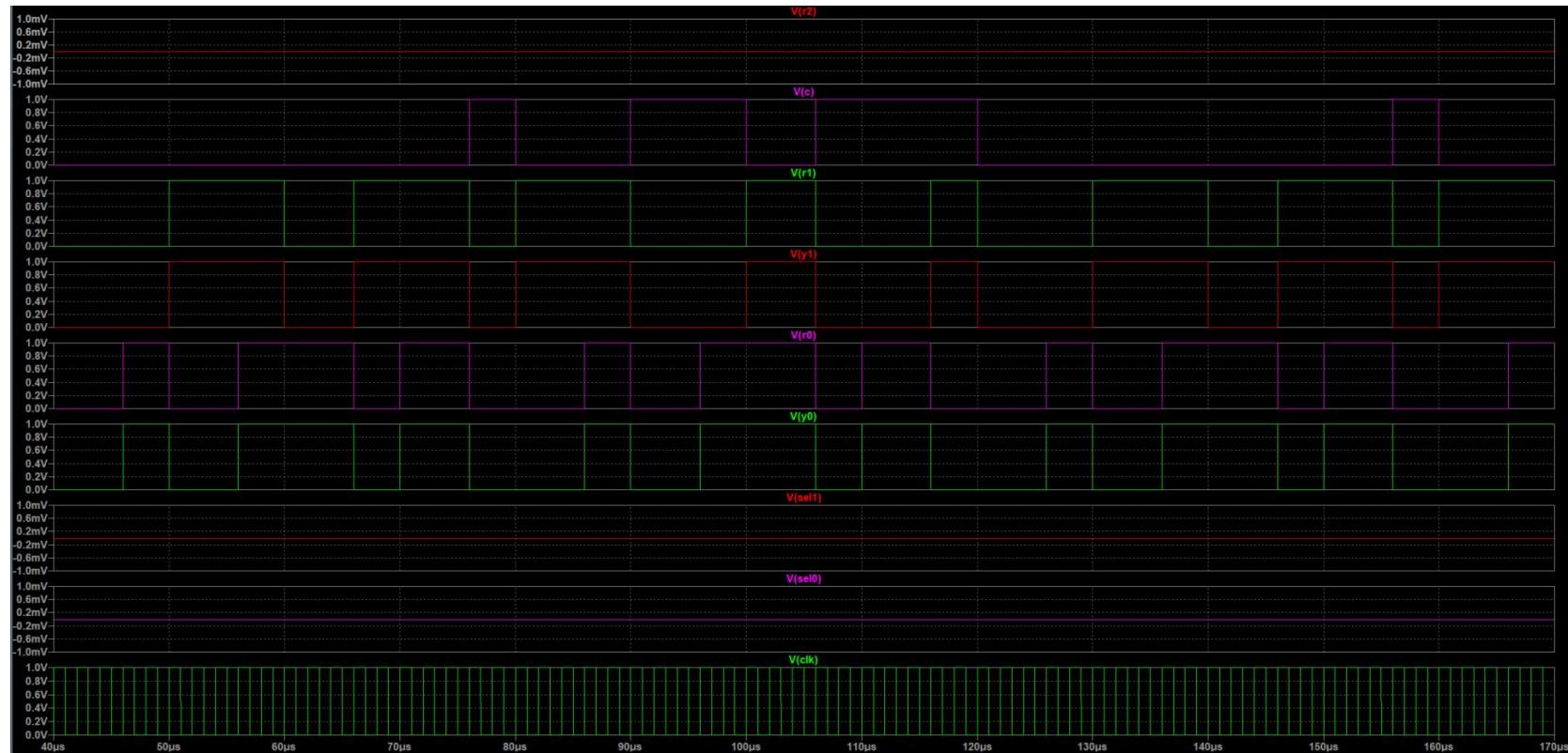
Risultati delle simulazioni

- Nominale: Sommatore (n001: carryout primo full adder)



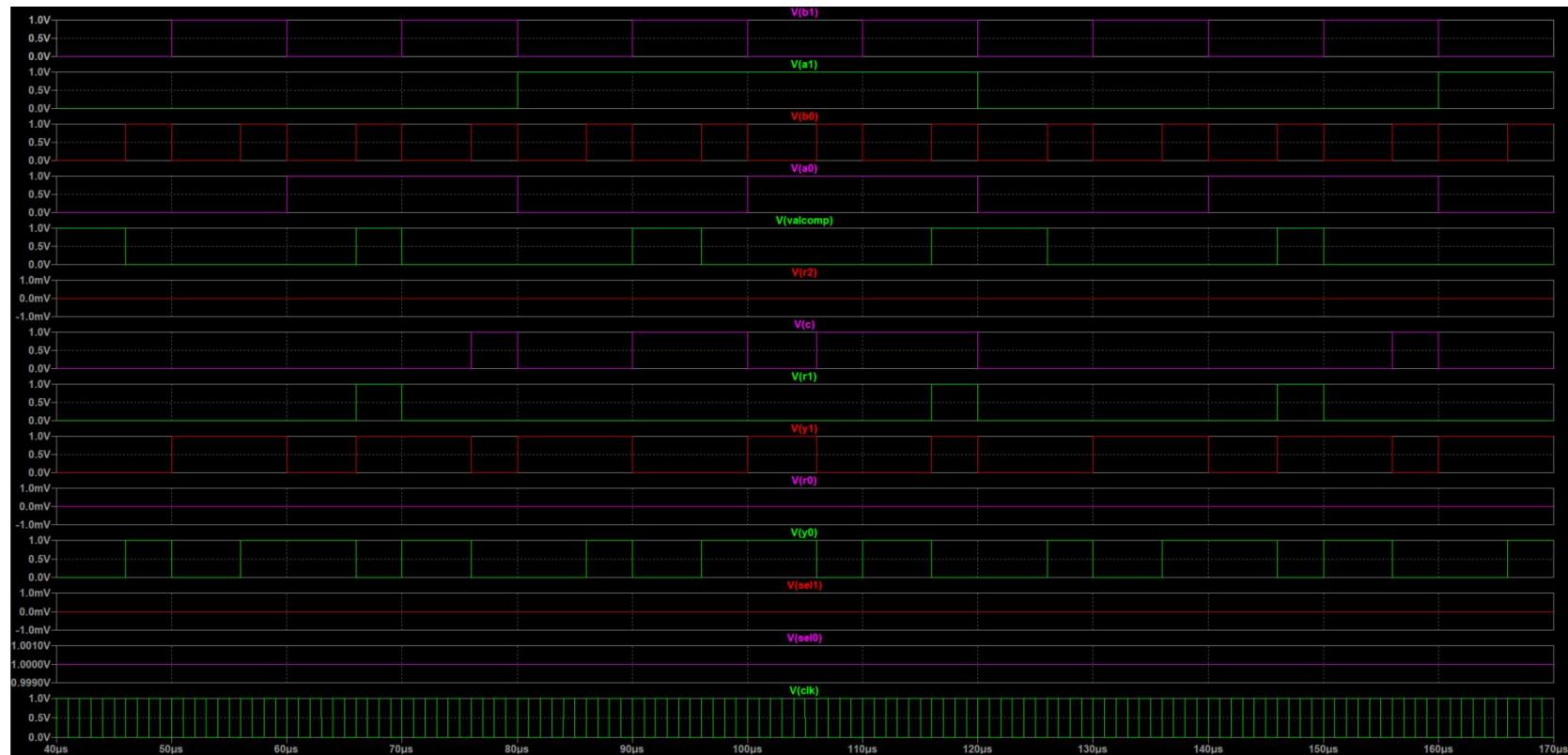
Risultati delle simulazioni

- Nominale: Mod0



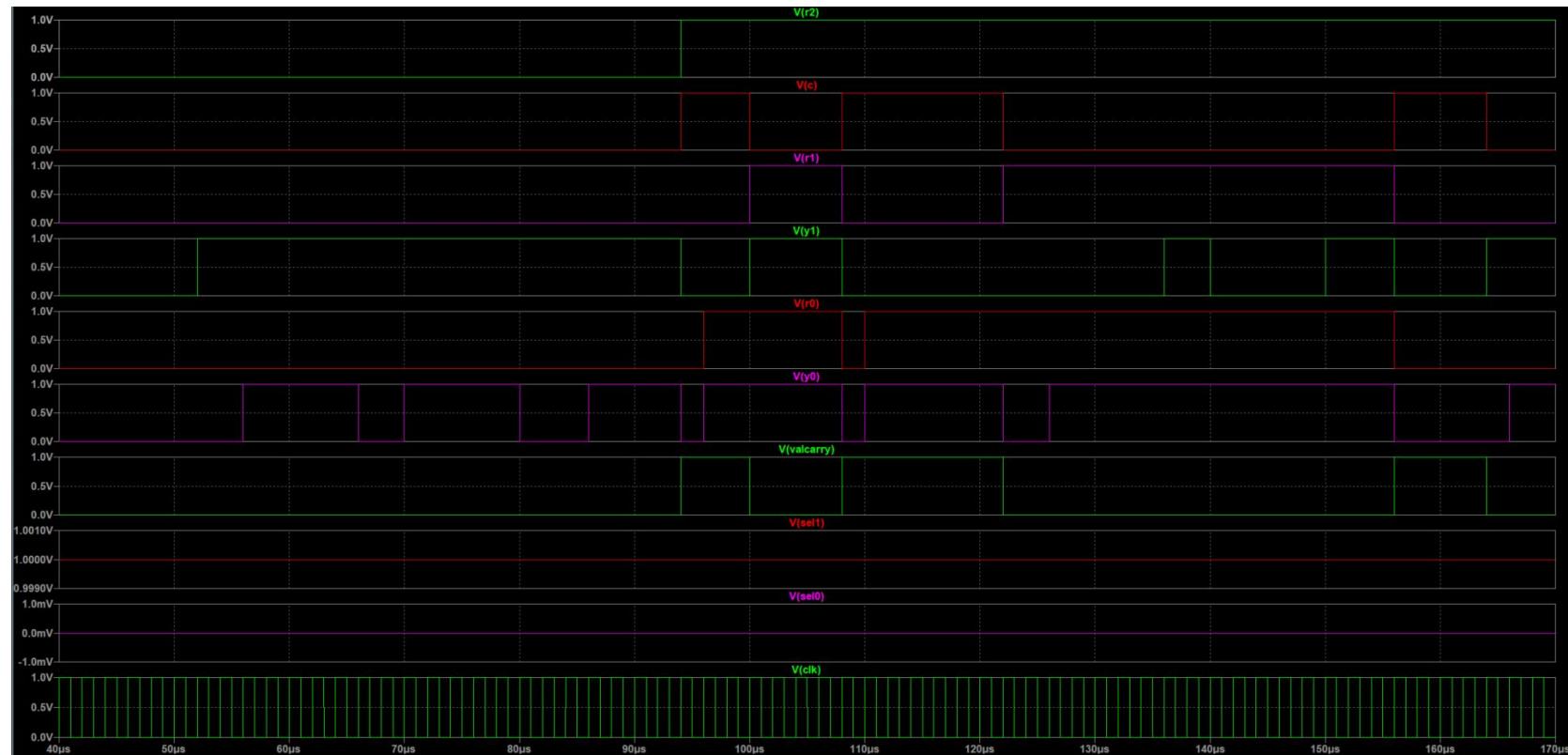
Risultati delle simulazioni

- Nominale: Mod1



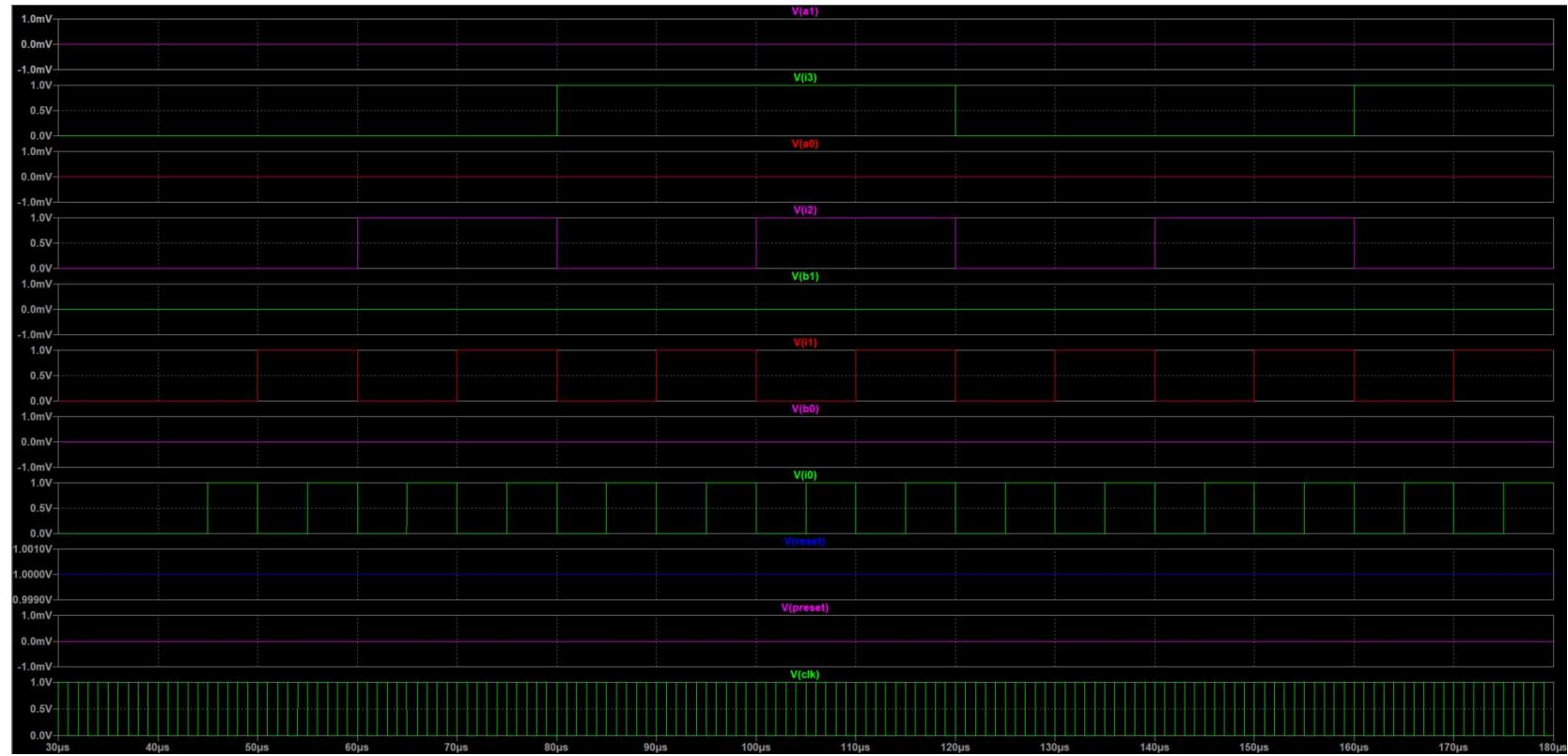
Risultati delle simulazioni

- Nominale: Mod2



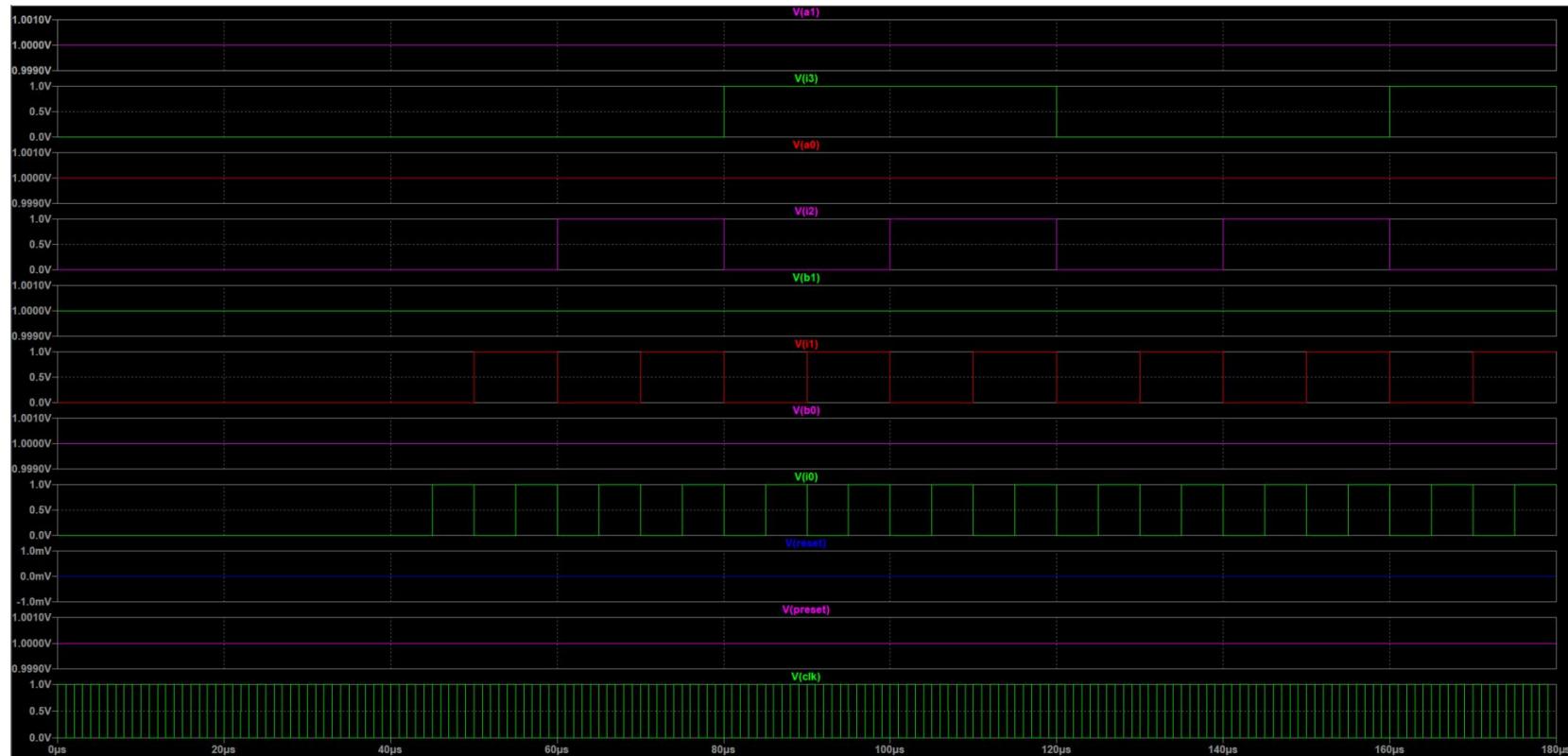
Risultati delle simulazioni

- Reset = 1, Preset = 0



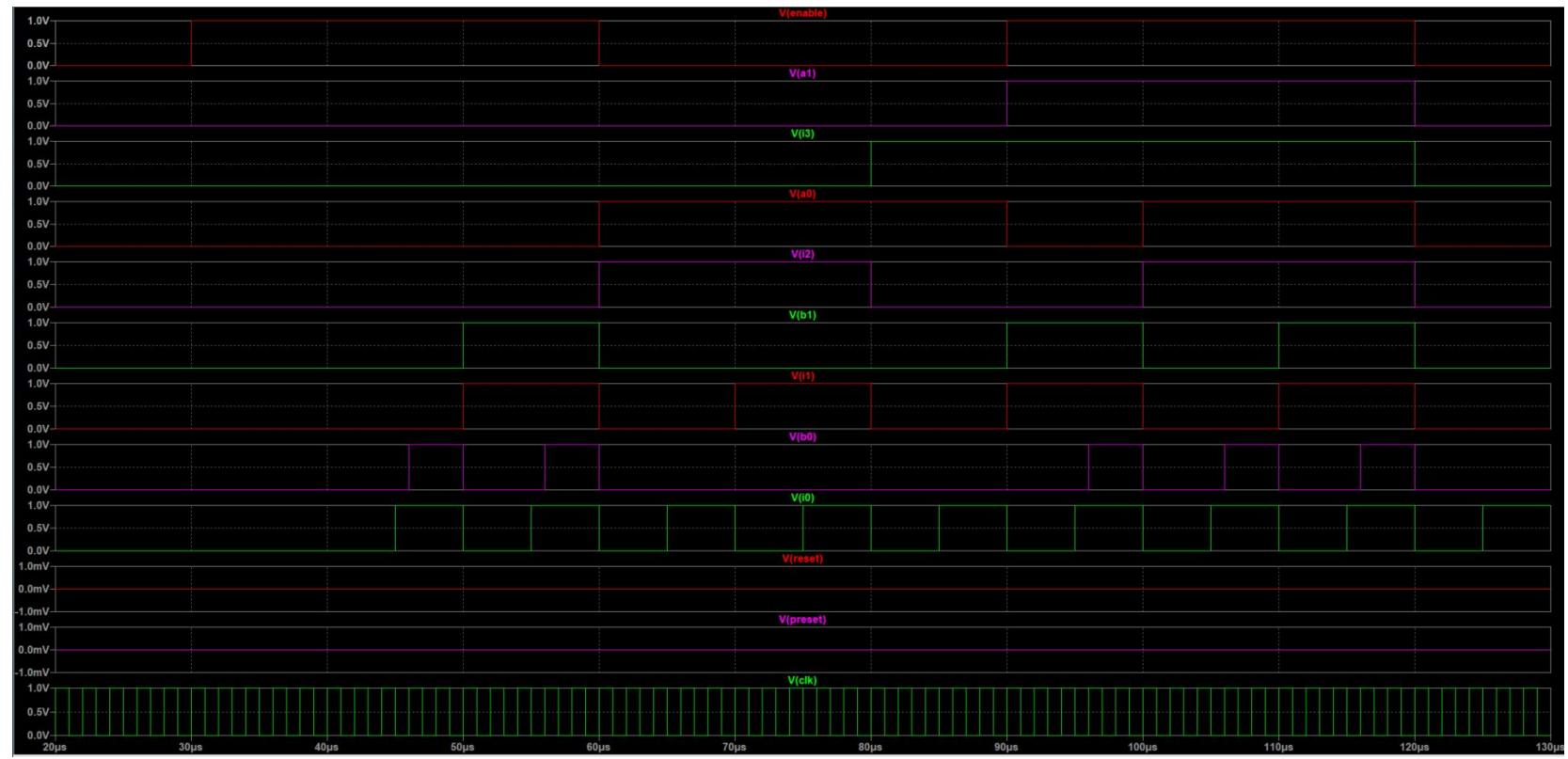
Risultati delle simulazioni

- Reset = 0, Preset = 1



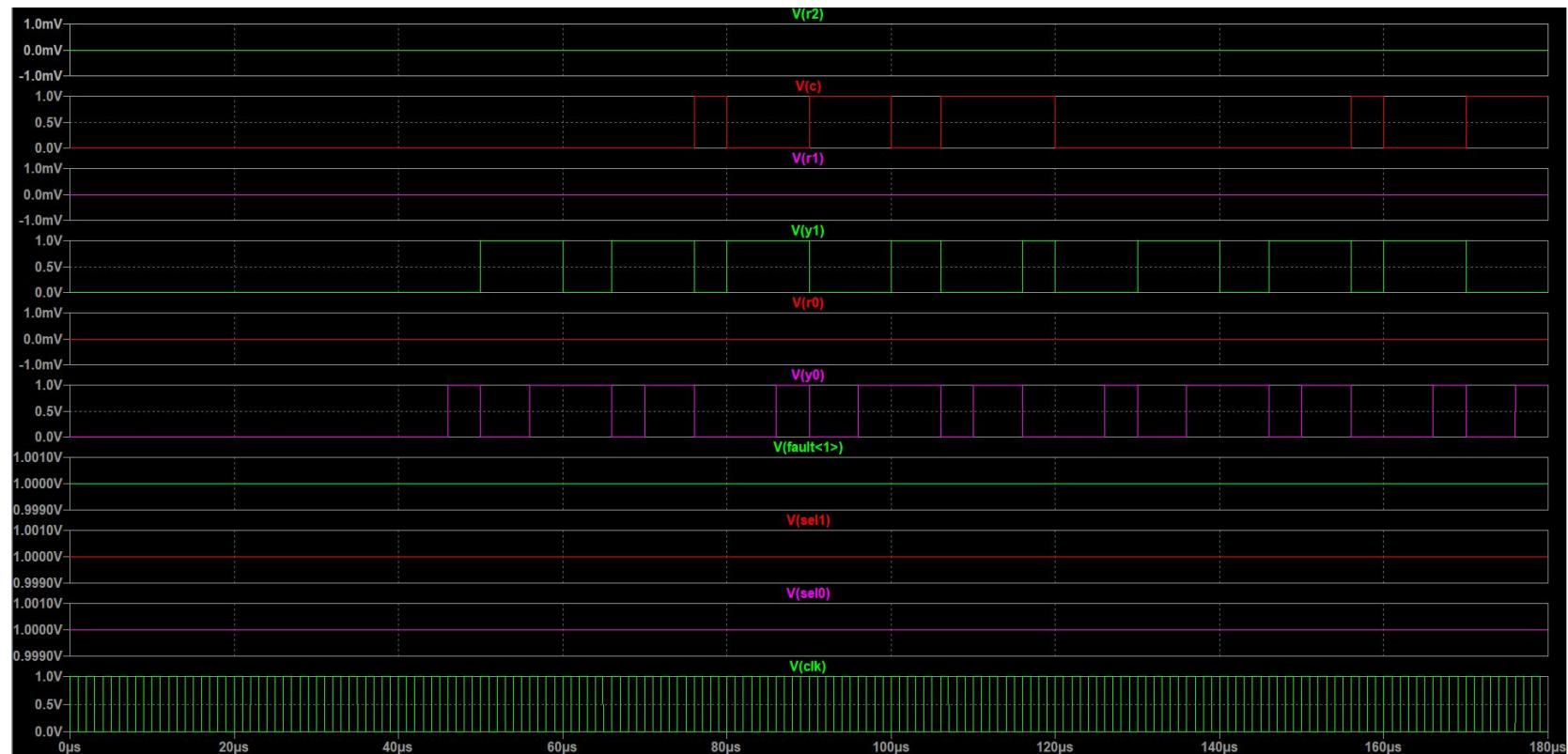
Risultati delle simulazioni

- Enable in onda quadra



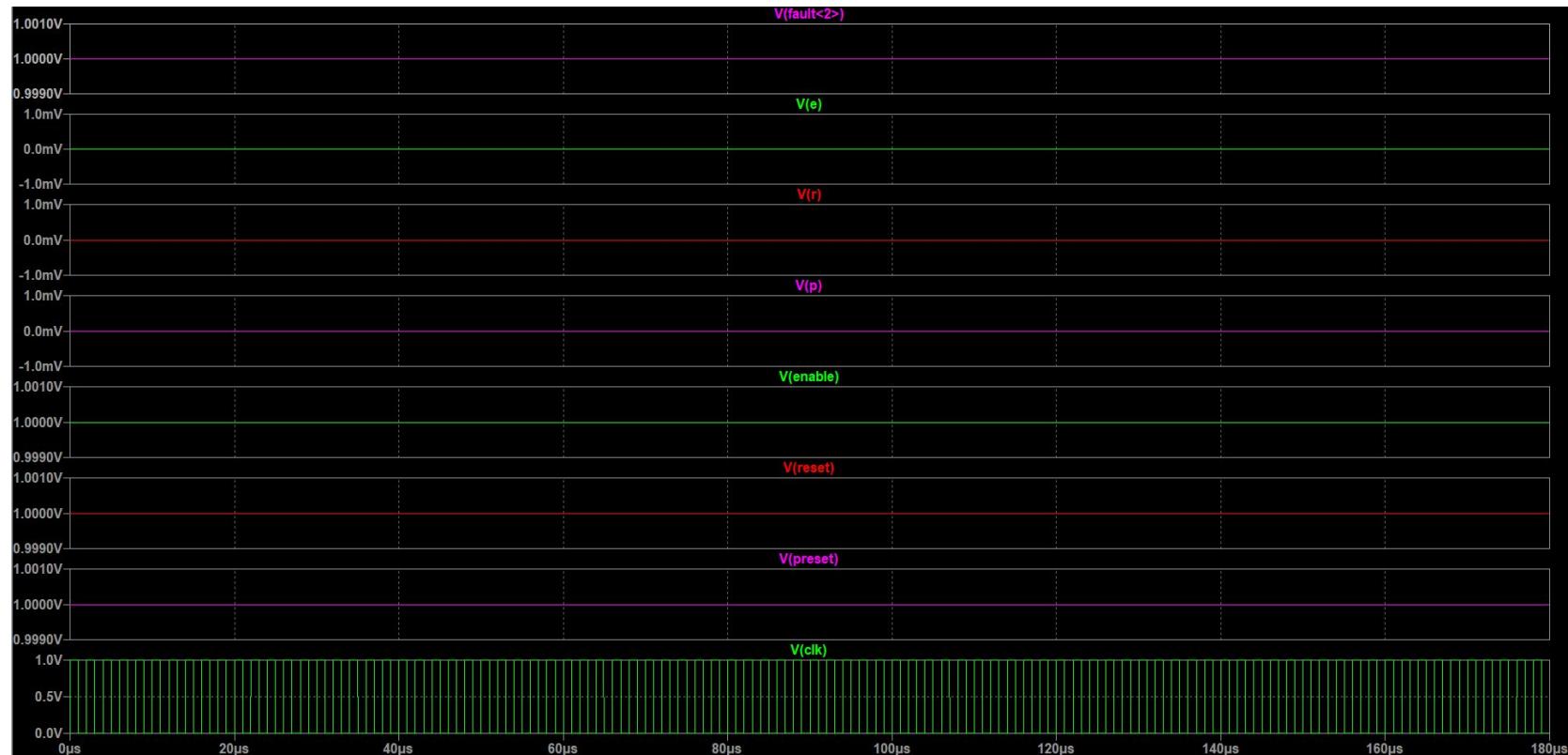
Risultati delle simulazioni

- Fault management: Mod3



Risultati delle simulazioni

- Fault management: Reset = 1, Preset = 1



Conclusioni

Il lavoro effettuato consiste nell'implementazione di un sommatore.

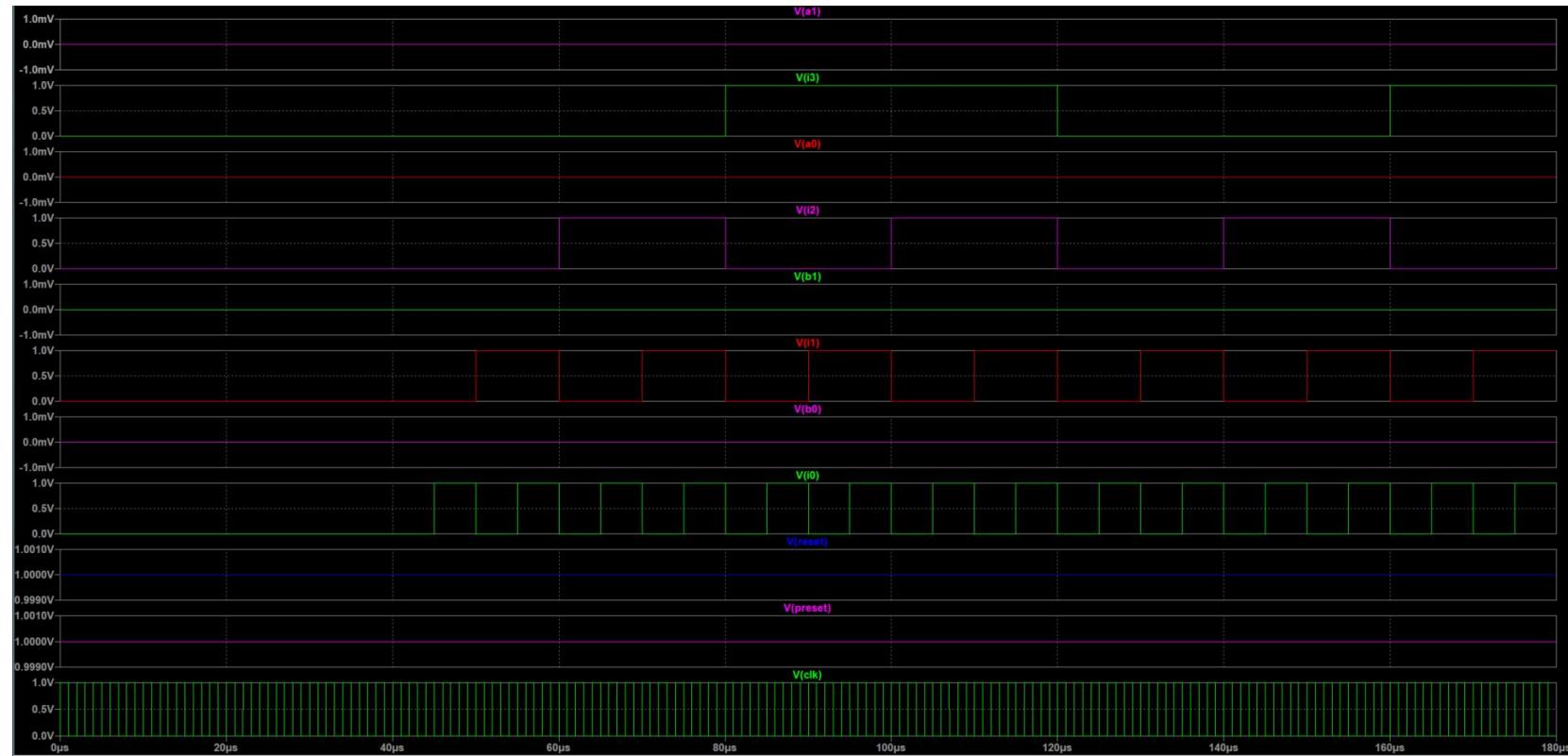
Sono stati mostrati i vari segnali implementati e lo schema con le porte logiche implementato in LTSpice.

Dopo aver effettuato le simulazioni

- i risultati sono coerenti con quanto richiesto dal progetto

Risultati delle simulazioni (slide nascosta)

- Reset = 1, Preset = 1



Risultati delle simulazioni (slide nascosta)

- Reset, Preset in onda quadra
- La wiki dice che RESET ha precedenza sul PRESET tuttavia ciò non avviene in questo caso

