



Universidade de Brasília - UnB
Departamento de Engenharia Eletrica - ENE

Pré-relatório Experimento 2
Introdução à programação de FPGAs
utilizando a linguagem VHDL

Carlos Eduardo Taborda Lottermann
180041509

Prof. Luís Fernando Ramos Molinaro

Brasília, DF
2019

Código do 1º visto em VHDL:

```
library IEEE;
entity Visto_1 is
    Port ( A : in  STD_LOGIC;
          B : in  STD_LOGIC;
          Cin : in  STD_LOGIC;
          S : out STD_LOGIC;
          Cout : out STD_LOGIC);
end Visto_1;

architecture Visto_1_op of Visto_1 is

begin
    S <= A xor B xor Cin;
    Cout <= (A and B) or (A and Cin) or (B and Cin);

end Visto_1_op;
```

Arquivo UCF do 1º visto:

```
NET "A" LOC = "k3";
NET "B" LOC = "L3";
NET "Cin" LOC = "P11";
NET "S" LOC = "M11";
NET "Cout" LOC = "M5";
```

Código do 2º visto em VHDL:

```
library IEEE;
entity Visto_2 is
  Port ( S : in  STD_LOGIC_VECTOR (1 downto 0);
        D : in  STD_LOGIC_VECTOR (3 downto 0);
        Y : out STD_LOGIC);
end Visto_2;

architecture Visto_2_op of Visto_2 is

begin
my_proc: process (S, D)
begin
    if (S = "00")      then Y <= D(0);
    elsif (S = "01")   then Y <= D(1);
    elsif (S = "10")   then Y <= D(2);
    elsif (S = "11")   then Y <= D(3);
    else Y <= '0';
    end if;
end process my_proc;

end Visto_2_op;
```

Arquivo UCF do 2º visto:

```
NET "D<0>" LOC = "N3";
NET "D<1>" LOC = "E2";
NET "D<2>" LOC = "F3";
NET "S<0>" LOC = "L3";
NET "S<1>" LOC = "P11";
NET "Y" LOC = "M5";
```