

Experimento 6. Circuitos sequenciais em VHDL

OBJETIVOS:

- Implementar circuitos sequenciais (um flip-flop e um registrador de deslocamento bidirecional) em FPGA usando a estrutura "process" da linguagem VHDL.

PRÉ-RELATÓRIO:

- Apresente o código VHDL da entidade e da arquitetura dos vistos 1 e 2.
- Apresente os arquivos UCF para os vistos 1 e 2.
- Lembre-se: seu pré-relatório deve ser entregue como um único arquivo PDF. Não anexe arquivos .vhd nem arquivos .ucf!

VISTOS:

- Usando a estrutura "process", escrever em VHDL e implementar em FPGA um flip-flop JK gatilhado pela borda de subida, com funcionamento descrito pela tabela verdade abaixo. Associe cada um dos bits de entrada a diferentes chaves (ex: SW0 a SW4) e o de saída um dos LEDs (ex: LD0).
- Usando a estrutura "process", escrever em VHDL e implementar em FPGA um registrador de deslocamento bidirecional de 4 bits, com funcionamento descrito pela tabela verdade abaixo. Associe os bits RST e LOAD a diferentes botões (ex: BTN0 e BTN1), cada um dos demais bits de entrada a diferentes chaves (SW0 a SW7) e os bits de saída a diferentes LEDs (ex: LD0 a LD3). Respeite a ordem de significância dos bits dos vetores D e Q , de modo que os bits menos significativos (D_0 e Q_0) fiquem em chaves e LEDs à direita dos mais significativos.

Tabela verdade do flip-flop JK (visto 1)

entradas					saída
PR	CLR	CLK	J	K	Q
1	x	x	x	x	1
0	1	x	x	x	0
0	0	\uparrow	0	0	mantém
0	0	\uparrow	0	1	0
0	0	\uparrow	1	0	1
0	0	\uparrow	1	1	inverte
0	0	outros	x	x	mantém

Tabela verdade do registrador de deslocamento (visto 2)

entradas							saída
CLK	RST	$LOAD$	D	DIR	L	R	Q
\uparrow	1	x	xxxx	x	x	x	0000
\uparrow	0	1	$D_3D_2D_1D_0$	x	x	x	$D_3D_2D_1D_0$
\uparrow	0	0	xxxx	0	0	x	$Q_2Q_1Q_00$
\uparrow	0	0	xxxx	0	1	x	$Q_2Q_1Q_01$
\uparrow	0	0	xxxx	1	x	0	$0Q_3Q_2Q_1$
\uparrow	0	0	xxxx	1	x	1	$1Q_3Q_2Q_1$
outros	x	x	xxxx	x	x	x	$Q_3Q_2Q_1Q_0$