

## Experimento 3. Atribuições condicionais e atribuições seletivas

### OBJETIVOS:

- Implementar circuitos combinacionais simples baseados em FPGA, utilizando atribuições condicionais e atribuições seletivas da linguagem de descrição de hardware VHDL.
- Desenvolver módulos básicos — um decodificador e um multiplexador — que poderão ser usados posteriormente para construir sistemas mais complexos.

### PRÉ-RELATÓRIO:

- Apresente o código VHDL da entidade e da arquitetura dos vistos 1 e 2.
- Apresente os arquivos UCF para os vistos 1, 2a e 2b.
- Lembre-se: seu pré-relatório deve ser entregue como um único arquivo PDF. Não anexe arquivos .vhd nem arquivos .ucf!

### VISTOS:

- Utilizando atribuições condicionais (when-else), escrever em VHDL e implementar em FPGA uma entidade que descreva um multiplexador 8 para 1. Essa entidade deve ter dois vetores de entrada (*S* com 3 bits e *D* com 8 bits) e um bit de saída (*Y*). A tabela verdade do multiplexador é apresentada abaixo. Respeitando a ordem de significância, associe cada um dos bits de *D* a diferentes chaves (SW0 a SW7), os bits de *S* a diferentes botões (BTN0 a BTN2) e o bit de saída a um dos LEDs (LD0 a LD7).
- Utilizando atribuições seletivas (with-select), escrever em VHDL e implementar em FPGA uma entidade que descreva um decodificador de 4 para 16. Essa entidade deve ter como entrada um vetor *A* de 4 bits e, como saída, um vetor *Y* de 16 bits. A tabela verdade do decodificador é apresentada abaixo. Este visto será tomado em duas etapas, em que será usado o mesmo código VHDL, mas diferentes arquivos UCF:
  - Respeitando a ordem de significância, associe cada um dos bits de *A* a diferentes chaves (SW0 a SW3) e cada um dos 8 bits menos significativos de *Y* a um dos LEDs (LD0 a LD7).
  - Respeitando a ordem de significância, associe cada um dos bits de *A* a diferentes chaves (SW0 a SW3) e cada um dos 8 bits mais significativos de *Y* a um dos LEDs (LD0 a LD7).

Obs.: As entidades desenvolvidas neste experimento e no experimento anterior serão utilizadas em experimentos futuros para construir sistemas mais complexos.

Tabela verdade do multiplexador 8 para 1

entradas	saída
<i>S</i>	<i>Y</i>
000	<i>D</i> <sub>0</sub>
001	<i>D</i> <sub>1</sub>
010	<i>D</i> <sub>2</sub>
011	<i>D</i> <sub>3</sub>
100	<i>D</i> <sub>4</sub>
101	<i>D</i> <sub>5</sub>
110	<i>D</i> <sub>6</sub>
111	<i>D</i> <sub>7</sub>

Tabela verdade do decodificador 4 para 16

entradas	saídas
<i>A</i>	<i>Y</i>
0000	0000 0000 0000 0001
0001	0000 0000 0000 0010
0010	0000 0000 0000 0100
0011	0000 0000 0000 1000
0100	0000 0000 0001 0000
0101	0000 0000 0010 0000
0110	0000 0000 0100 0000
0111	0000 0000 1000 0000
1000	0000 0001 0000 0000
1001	0000 0010 0000 0000
1010	0000 0100 0000 0000
1011	0000 1000 0000 0000
1100	0001 0000 0000 0000
1101	0010 0000 0000 0000
1110	0100 0000 0000 0000
1111	1000 0000 0000 0000