

2º curso / 2º cuatr.

Grados en  
Ing. Informática

# Arquitectura de Computadores

## Presentación

Material elaborado por Mancia Anguita y Julio Ortega  
Docentes: Mancia Anguita, Maribel García y Christian Morillas



*ugr*

Universidad  
de Granada

**ETSIIT**

Escuela Técnica Superior  
de Ingenierías Informática  
y de Telecomunicación



**ATC**

Departamento de Arquitectura  
y Tecnología de Computadores  
UNIVERSIDAD DE GRANADA



# Planificación aproximada

## Grupo reducido (13 semanas).

**Total 4 puntos**

Bloque 0. Entorno (5%, 0.1)

S0

P0

Bloque 1. Prog. Paralela I.  
Directivas OpenMP (25%, 0.5)

S1

P1

P1

Bloque 2. Prog. Paralela II.  
Cláusulas OpenMP (20%, 0.4)

S2

P2

Bloque 3. Prog. Paralela III.  
Interacción con el entorno en  
OpenMP (25%, 0.5)

S3

P3

P3

Bloque 4. Optimización de  
código en CPU (25%, 0.5)

S4

P4

P4

Cada fila es una semana  
(S)eminario (P)ráctica (Tut)oría

## Grupo amplio (14 semanas). Total 6 puntos

L1. Clases de paralelismo

L2. Clases arquitecturas

L3. Evaluac. prestaciones

L4. Herra., estilos, estruct.

L5. Proceso paralelización

L6. Evaluación prestaciones

L7. Arquitecturas TLP

L8. Coherencia

L8. Coherencia

L9. Consistencia

L10. Sincronización

L11. Caudes superescalares

L12. Const. proc., Saltos

L13. VLIW

Tema 1. Arquitecturas  
paralelas: clasificación  
y prestaciones (0.5)

Tema 2. Programación  
paralela (0.75)

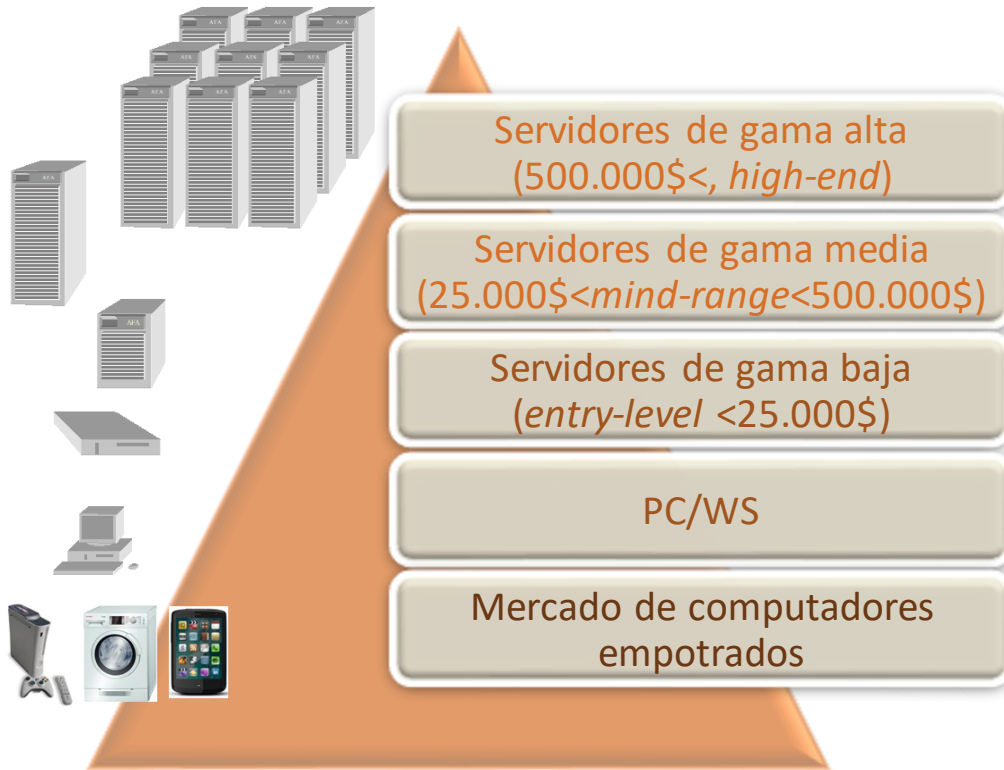
Tema 3. Arquitecturas  
con paralelismo a nivel  
de thread (TLP) (1)

Tema 4. Arquitecturas  
con paralelismo a nivel  
de instrucción (ILP)  
(0.75)

Examen final escrito prácticas (2 puntos)

Examen final escrito de teoría (3 puntos)

# Objetivo general de Arquitectura de Computadores (AC)



## MATERIAS o ASIG. del GRADO

- **Sistemas de Cómputo de Altas Prestaciones (IC.SCAP)**
- **Infraestructura Sistemas de Procesamiento (TI.ISP)**
- **Estructura y Arquitectura de Computadores (R.EAC)**
- **Periféricos y Dispositivos de Interfaz Humana**
- **Sistemas de Cómputo para Aplicaciones Específicas (IC.SCAE)**
- **Complementos de Sistemas de Cómputo para Aplicaciones Específicas (C.IC.SCAE)**

AC: El estudio de arquitecturas con paralelismo a nivel de instrucción (ILP) y de arquitecturas con paralelismo a nivel de flujo de instrucciones (TLP) habituales actualmente en el mercado de PC, WS y de servidores de gama baja, incluido su programación eficiente.

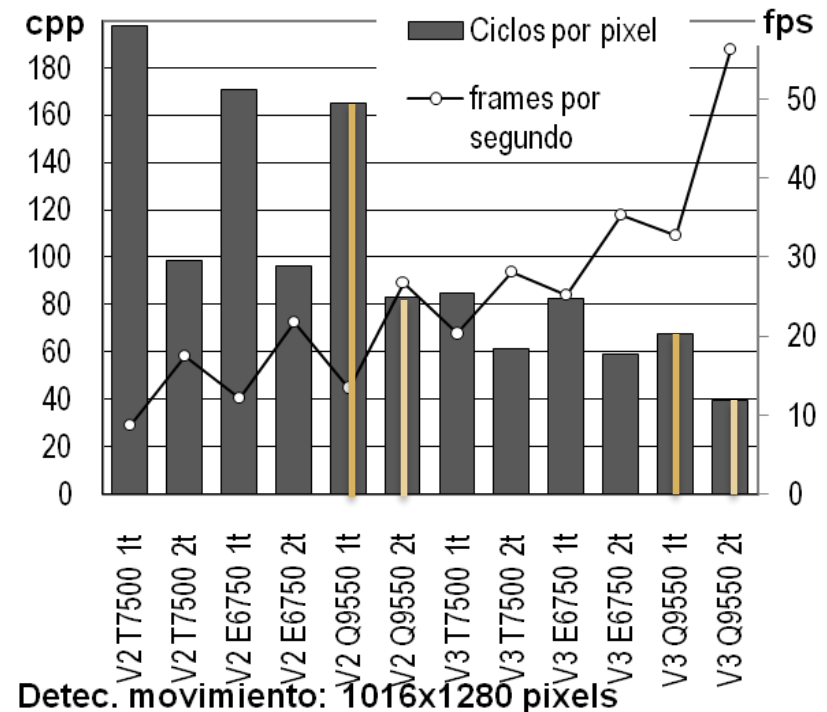
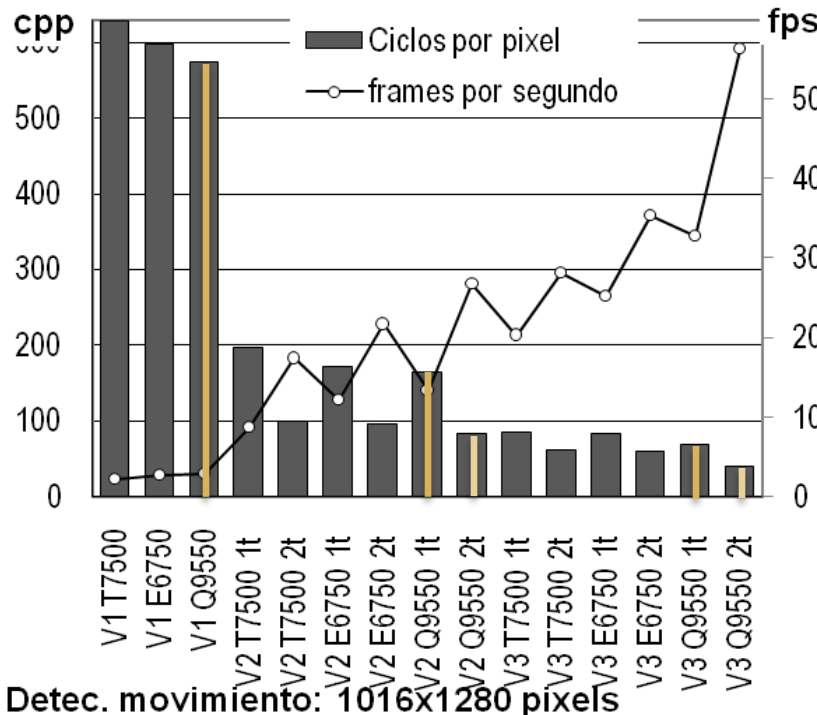
# Reducción tiempo ejecución usando conocimientos de arquitectura de comp.

## Versiones de código

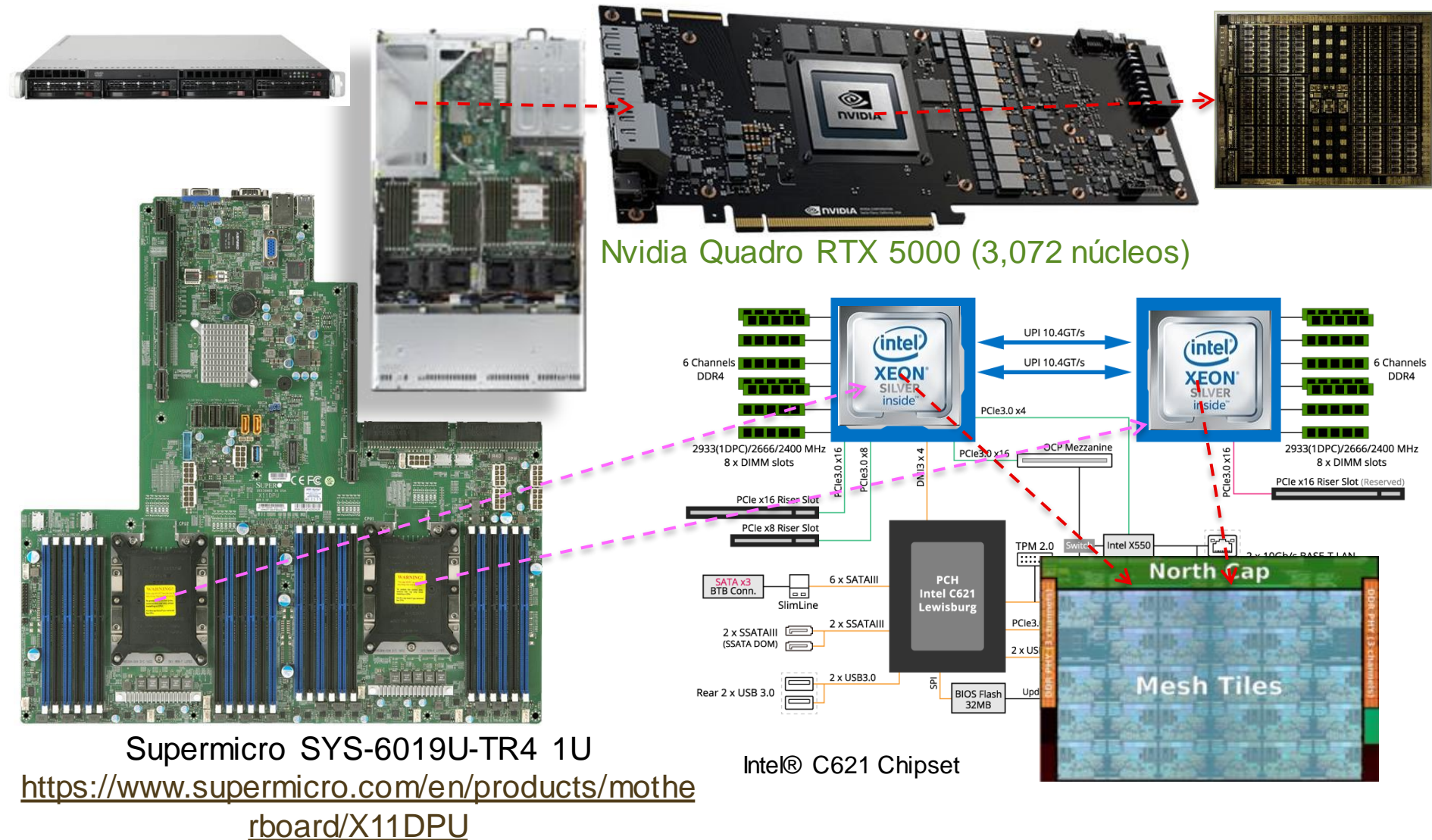
- V1
- V2: utiliza optimizaciones clásicas y multihilo (BP4 de AC)
- V3: utiliza ensamblador (EC) y multihilo (BP1,2 y 3 de AC) →

Processor (release date)	Cores	L1 data cache	L1 inst. cache	L2 cache	Memory	Frequency	FSB <sup>1</sup>
Core 2 Duo T7500 (Q2'2007)	2	32 KB	32 KB	4 MB shared	2 GB	2.2 GHz	800 MHz
Core 2 Duo E6750 (Q3'2007)	2	64 KB	64 KB	4 MB shared	2 GB	2.66 GHz	1333 MHz
Core 2 Quad Q9550 (Q1'2008)	4	32 KB	32 KB	2 of 6 MB. Each shared by 2 cores	4 GB	2.83 GHz	1333 MHz

1. FSB: Front-Side Bus



# Aprovechar todos los núcleos de procesamiento de un computador



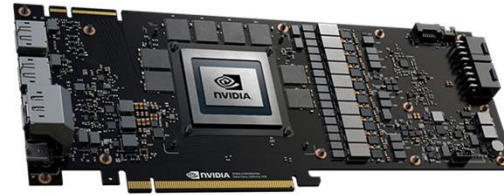
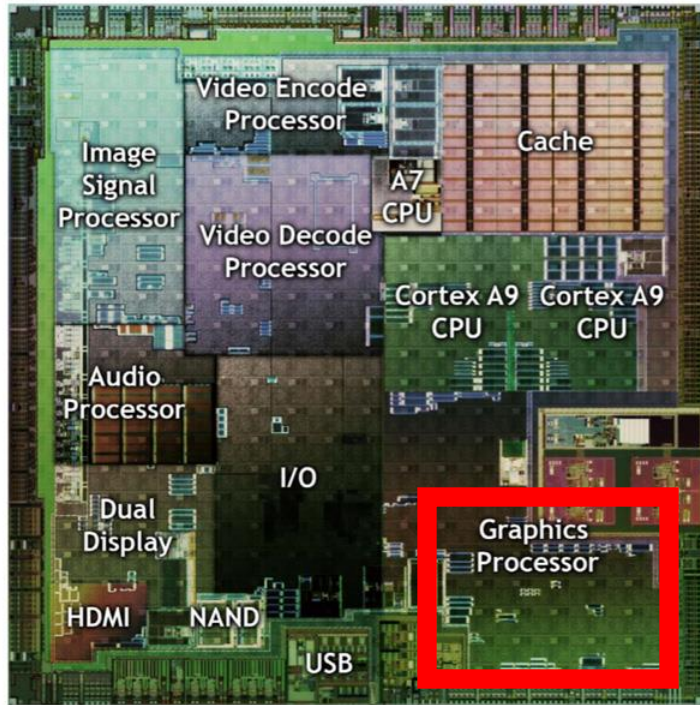
Supermicro SYS-6019U-TR4 1U

<https://www.supermicro.com/en/products/motherboard/X11DPU>

Intel® C621 Chipset



# Arquitecturas paralelas



Multiprocesador

Multicomputador

Cluster

superescalar

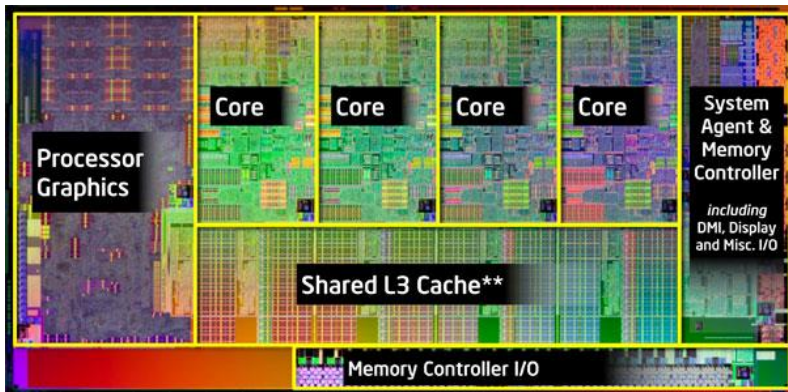
VLW

Multinúcleo

¿En qué se parecen?

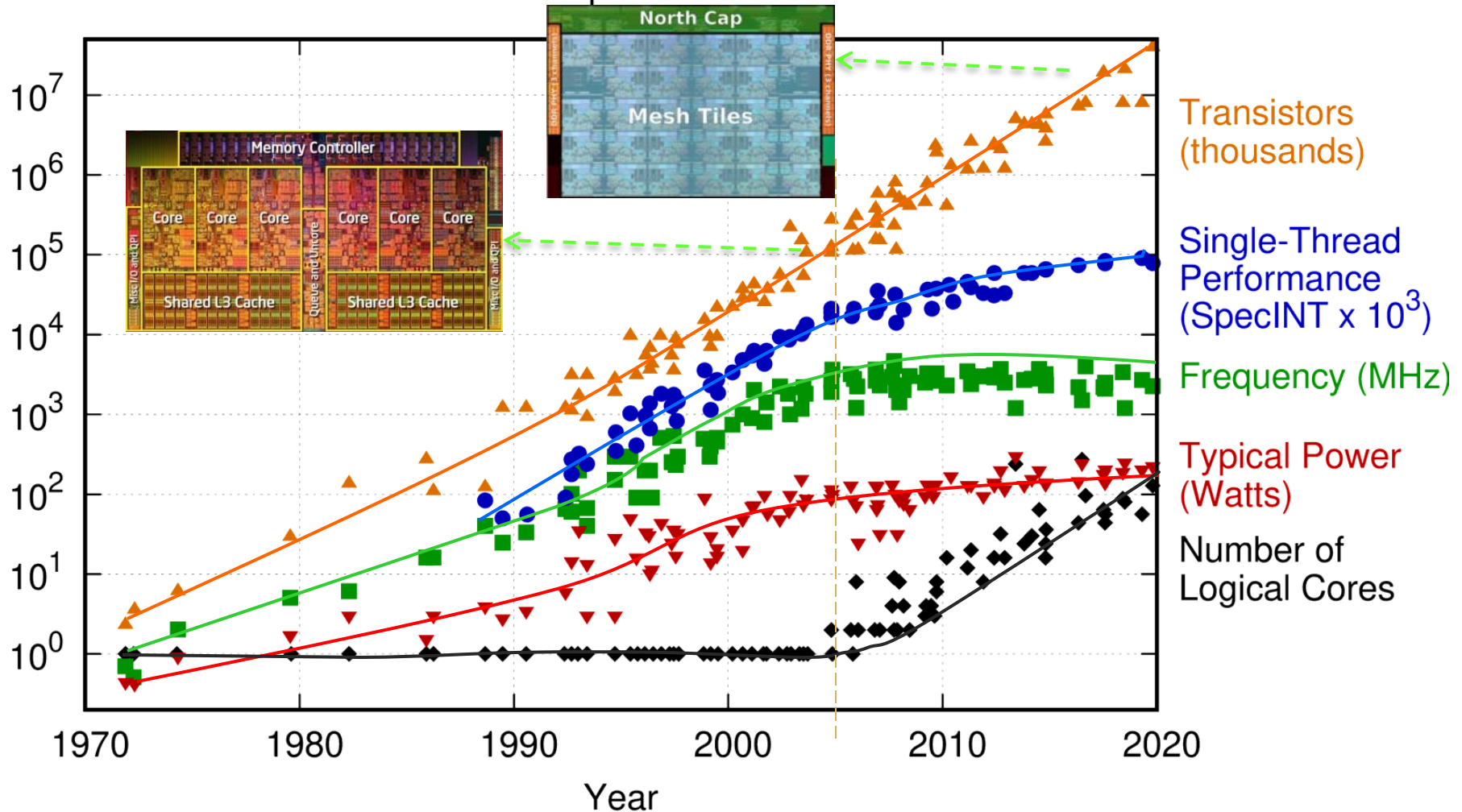
¿Qué los diferencia?

Procesador heterogéneo



# Evolución procesadores: de un núcleo (pr. secuencial) a multinúcleos (pr. paralelo)

48 Years of Microprocessor Trend Data



Original data up to the year 2010 collected and plotted by M. Horowitz, F. Labonte, O. Shacham, K. Olukotun, L. Hammond, and C. Batten  
New plot and data collected for 2010-2019 by K. Rupp

<https://github.com/karlrupp>

# Influir en la evolución de los computadores

“... y si la gente del software quiere buenas máquinas deben aprender más sobre hardware para poder así influir a los diseñadores de hardware”  
(Hennessy / Patterson)