

Nombre y Apellidos: Carlos Javier Hellín Asensio

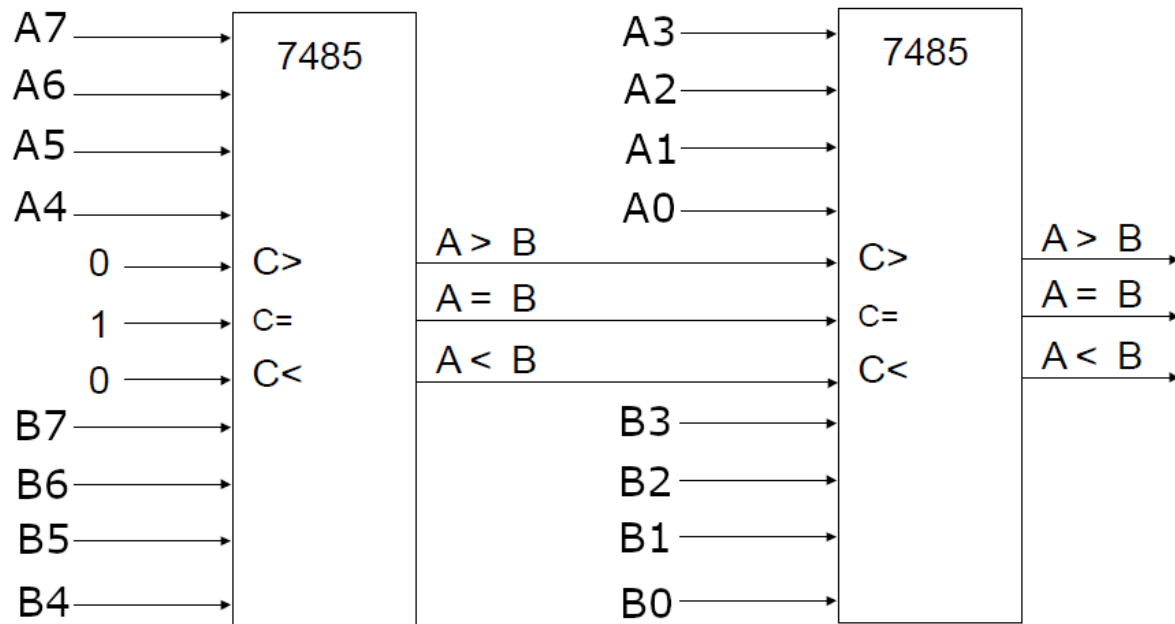
Grupo: GII Tarde

### Estudio del comparador bit a bit sin signo

Para este estudio se va a usar el comparador 7485 de magnitud de 4 bits para entender cómo está diseñado por dentro y cómo se enlaza.

Como se puede ver en el diseño lógico del 7485 (en la otra cara de la página) es un comparador de 4 bits, tiene de entradas dos números binarios cada uno (A, B) cuya salida normalmente es de tres que determinan si uno es mayor, igual o menor que el otro.

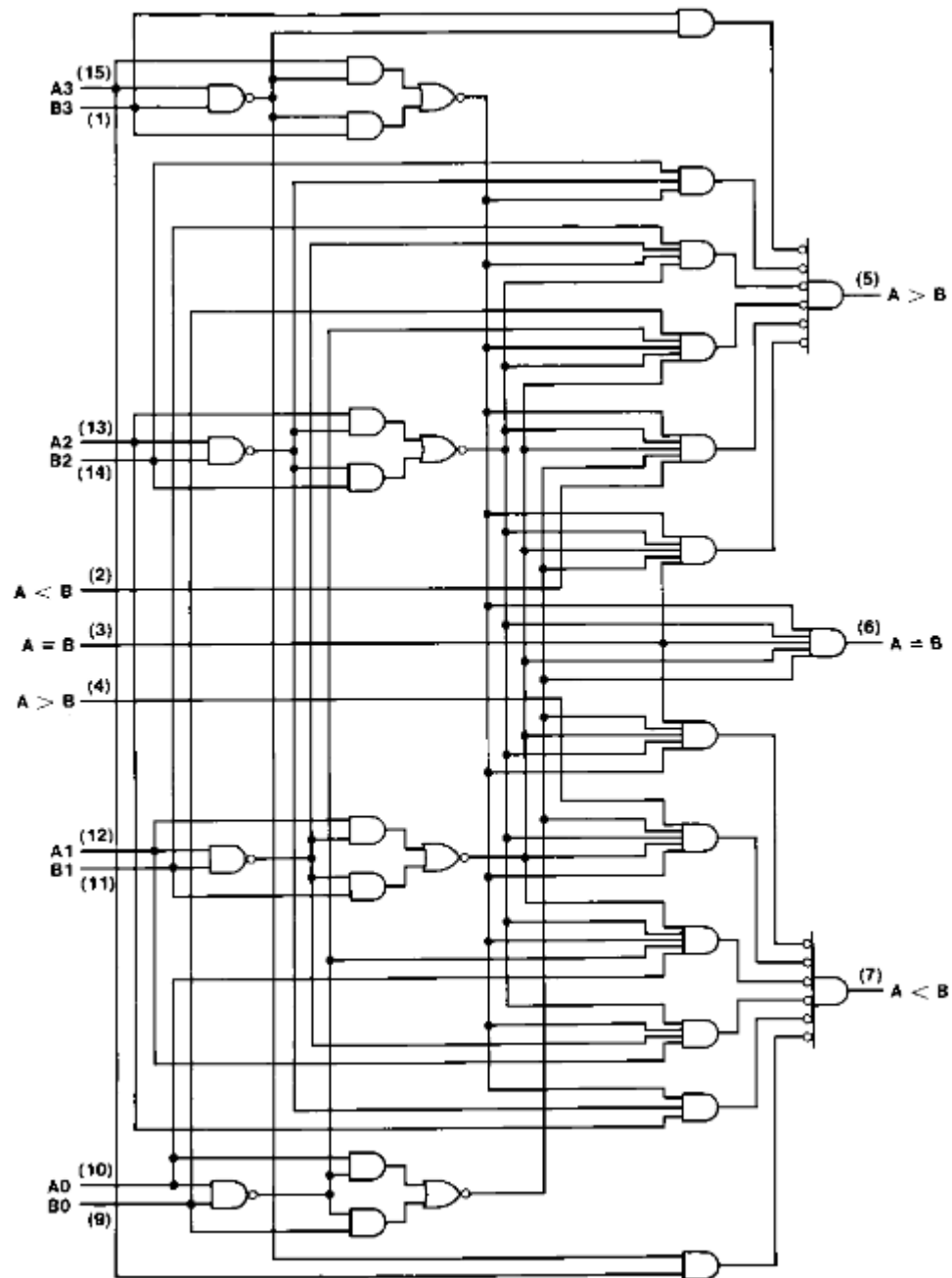
Una parte importante son las entradas en cascada:  $A < B$ ,  $A = B$  y  $A > B$ . Con estas entradas se permite enlazar varios comparadores en cascada para la comparación de números binarios de más de 4 bits. Esto se hace de la siguiente forma: las salidas  $A < B$ ,  $A = B$  y  $A > B$  del comparador cuyo orden es menor se conectan a la entrada del siguiente, y así sucesivamente como se muestra a continuación con C representando las entradas en cascada:



Y de esta forma se podría llegar a conseguir para comparar hasta "n" bits con estos circuitos combinatoriales enlazados.

Un detalle para tener en cuenta y que refleja la tabla de verdad del 7485, es que el comparador de menor orden debe tener a 1 la entrada  $A = B$  y a 0 en las entradas  $A < B$  y  $A > B$ . Esto es debido a que cuando los bits sean iguales, la salida debe ser  $A = B$ .

## Diseño lógico del 7485



Fuente: datasheet del 7485