

UNIVERSIDADE DE SÃO PAULO
ESCOLA DE ENGENHARIA DE SÃO CARLOS
DEPARTAMENTO DE ENGENHARIA ELÉTRICA E DA COMPUTAÇÃO
SEL 0606 - LABORATÓRIO DE SISTEMAS DIGITAIS

PRÁTICA 2 - LÓGICA COMBINACIONAL

CARLOS HENRIQUE HANNAS DE CARVALHO, N° USP: 11965988
MATHEUS BAPTISTELLA, N° USP: 11223117

SÃO CARLOS
2021

EXERCÍCIO 1)

Para este exercício, construiu-se um circuito que, a partir de 2 entradas de 2 bits, efetua as operações *bitwise*: de soma, multiplicação, AND lógico e OR lógico ao mesmo tempo. Os resultados de cada uma destas operações foram armazenados em registradores de 4 bits: op1, op2, op3 e op4, respectivamente. A partir de uma entrada de seleção, é possível determinar qual dos registradores deve de fato compor a saída Z, de 4 bits, do circuito presente no PDF “Circuito-Trabalho2-Exercicio1”.

Figura 1: Tabela-verdade para o circuito somador.

X_1	X_0	Y_1	Y_0	Z_2	Z_1	Z_0
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	0	0	1	0
0	0	1	1	0	1	1
0	1	0	0	0	0	1
0	1	0	1	0	1	0
0	1	1	0	0	1	1
0	1	1	1	1	0	0
1	0	0	0	0	1	0
1	0	0	1	0	1	1
1	0	1	0	1	0	0
1	0	1	1	1	0	1
1	1	0	0	0	1	1
1	1	0	1	1	0	0
1	1	1	0	1	0	1
1	1	1	1	1	1	0

Fonte: Elaborado pelo compilador.

A fim de determinar o circuito somador, montou-se a tabela verdade (Figura 1) e a partir dela implementou-se o respectivo circuito na linguagem de descrição de hardware Verilog, por meio do software *Quartus Lite 2*. As equações lógicas para o circuito somador encontram-se abaixo:

$$Z_0 = X_0/Y_0 + /X_0Y_0$$

$$Z_1 = /X_1X_0/Y_1Y_0 + X_1X_0Y_1Y_0 + /X_1/X_0Y_1 + X_1/X_0/Y_1 + /X_1Y_1/Y_0 + X_1/Y_1/Y_0$$

$$Z_2 = X_1Y_1 + X_1X_0Y_0 + X_0Y_1Y_0$$

O circuito multiplicador, por sua vez, utilizou-se dos resultados encontrados na Prática 1 da disciplina. Os circuitos de AND e OR lógicos é necessário apenas utilizar dos operadores presentes na linguagem Verilog. Sendo assim, montou-se o código “Trabalho1Exercicio2.v” para representação do circuito.

EXERCÍCIO 2)

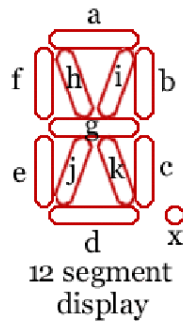
Neste exercício, determinou-se o circuito combinacional de um display de 12 segmentos. Inicialmente montou-se a tabela verdade, Figura 2, de entradas I_1, I_2, I_3 e I_4 em binário (representam a entrada em um número hexadecimal), e saídas $a, b, c, d, e, f, g, h, i, j, k$ e x , as quais representam os segmentos de saída do display eletrônico, representado na Figura 3.

Figura 2: tabela verdade para o display de 12 segmentos.

HEX	I1	I2	I3	I4	a	b	c	d	e	f	g	h	i	j	k	x
0	0	0	0	0	1	1	1	1	1	1	0	1	1	1	1	1
1	0	0	0	1	0	1	1	0	0	0	0	0	1	0	0	1
2	0	0	1	0	1	0	0	1	0	0	0	0	1	1	0	1
3	0	0	1	1	1	1	0	0	0	0	0	0	1	0	1	1
4	0	1	0	0	0	1	1	0	0	1	1	0	0	0	0	1
5	0	1	0	1	1	0	1	1	0	1	1	0	0	0	0	1
6	0	1	1	0	1	0	1	1	1	1	1	0	0	0	0	1
7	0	1	1	1	1	0	0	0	0	0	0	0	1	1	0	1
8	1	0	0	0	1	1	1	1	1	1	1	0	0	0	0	1
9	1	0	0	1	1	1	1	1	0	1	1	0	0	0	0	1
A	1	0	1	0	1	1	1	0	1	1	1	0	0	0	0	0
B	1	0	1	1	0	0	1	1	1	1	1	0	0	0	0	0
C	1	1	0	0	1	0	0	1	1	1	0	0	0	0	0	0
D	1	1	0	1	0	1	1	1	1	0	1	0	0	0	0	0
E	1	1	1	0	1	0	0	1	0	0	0	1	0	1	0	0
F	1	1	1	1	1	0	0	0	1	1	1	0	0	0	0	0

Fonte: Elaborado pelo compilador.

Figura 3: Esquemática do display de 12 segmentos.



Fonte: Departamento de Engenharia Elétrica e da Computação.

A partir da tabela-verdade, Figura 2, montou-se o mapa de Karnaugh para cada um dos segmentos e determinou-se a respectiva expressão lógica. As tabelas a seguir expõem os mapas e as respectivas equações.

Abaixo, o mapa de Karnaugh para o segmento *a*:

Tabela 1: mapa de Karnaugh da saída do segmento “a”.

$I_1 I_2 / I_3 I_4$	00	01	11	10
00	1	0	1	1
01	0	1	1	1
11	1	0	1	1
10	1	1	0	1

Fonte: elaborado pelo compilador.

A respectiva equação lógica do segmento *a*:

$$a = /I_2/I_4 + /I_1I_3 + I_2I_3 + I_1/I_4 + /I_1I_2I_4 + I_1/I_2/I_3$$

Abaixo, o mapa de Karnaugh para o segmento b :

Tabela 2: mapa de Karnaugh da saída do segmento “b”.

$I_1 I_2 / I_3 I_4$	00	01	11	10
00	1	1	1	0
01	1	0	0	0
11	0	1	0	0
10	1	1	0	1

Fonte: elaborado pelo compilador.

A respectiva equação lógica do segmento b :

$$b = /I_1/I_3/I_4 + /I_1/I_2 I_4 + I_1/I_2/I_4 + I_1/I_3 I_4$$

Abaixo, o mapa de Karnaugh para o segmento c :

Tabela 3: mapa de Karnaugh da saída do segmento “c”.

$I_1 I_2 / I_3 I_4$	00	01	11	10
00	1	1	0	0
01	1	1	0	1
11	0	1	0	0
10	1	1	1	1

Fonte: elaborado pelo compilador.

A respectiva equação lógica do segmento c :

$$c = /I_1/I_3 + /I_3 I_4 + I_1/I_2 + /I_1 I_2/I_4$$

Abaixo, o mapa de Karnaugh para o segmento d :

Tabela 4: mapa de Karnaugh da saída do segmento “d”.

$I_1 I_2 / I_3 I_4$	00	01	11	10
00	1	0	0	1
01	0	1	0	1
11	1	1	0	1
10	1	1	1	0

Fonte: elaborado pelo compilador.

A respectiva equação lógica do segmento d :

$$d = I_1/I_3 + /I_1/I_2/I_4 + I_2/I_3 I_4 + I_2 I_3/I_4 + I_1/I_2 I_4$$

Abaixo, o mapa de Karnaugh para o segmento e :

Tabela 5: mapa de Karnaugh da saída do segmento “e”.

$I_1 I_2 / I_3 I_4$	00	01	11	10
00	1	0	0	0
01	0	0	0	1
11	1	1	1	0
10	1	0	1	1

Fonte: elaborado pelo compilador.

A respectiva equação lógica do segmento e :

$$e = /I_2/I_3/I_4 + I_1/I_2/I_4 + I_1 I_3 I_4 + I_1 I_2/I_3 + /I_1 I_2 I_3/I_4$$

Abaixo, o mapa de Karnaugh para o segmento f :

Tabela 6: mapa de Karnaugh da saída do segmento “f”.

$I_1 I_2 / I_3 I_4$	00	01	11	10
00	1	0	0	0
01	1	1	0	1
11	1	0	1	0
10	1	1	1	1

Fonte: elaborado pelo compilador.

A respectiva equação lógica do segmento f :

$$f = /I_3/I_4 + I_1/I_2 + /I_1 I_3/I_4 + /I_1 I_2/I_4 + I_1 I_3 I_4$$

Abaixo, o mapa de Karnaugh para o segmento g :

Tabela 7: mapa de Karnaugh da saída do segmento “g”.

$I_1 I_2 / I_3 I_4$	00	01	11	10
00	0	0	0	0
01	1	1	0	1
11	0	1	1	0
10	1	1	1	1

Fonte: elaborado pelo compilador.

A respectiva equação lógica do segmento g :

$$g = I_1/I_2 + I_1 I_4 + /I_1 I_2/I_3 + /I_1 I_2/I_4$$

Abaixo, o mapa de Karnaugh para o segmento h :

Tabela 8: mapa de Karnaugh da saída do segmento “h”.

$I_1 I_2 / I_3 I_4$	00	01	11	10
00	1	0	0	0
01	0	0	0	0
11	0	0	0	1
10	0	0	0	0

Fonte: elaborado pelo compilador.

A respectiva equação lógica do segmento h :

$$h = /I_1/I_2/I_3/I_4 + I_1 I_2 I_3 /I_4$$

Abaixo, o mapa de Karnaugh para o segmento i :

Tabela 9: mapa de Karnaugh da saída do segmento “i”.

$I_1 I_2 / I_3 I_4$	00	01	11	10
00	1	1	1	1
01	0	0	1	0
11	0	0	0	0
10	0	0	0	0

Fonte: elaborado pelo compilador.

A respectiva equação lógica do segmento i :

$$i = /I_1/I_2 + /I_1 I_3 I_4$$

Abaixo, o mapa de Karnaugh para o segmento j :

Tabela 10: mapa de Karnaugh da saída do segmento “j”.

$I_1 I_2 / I_3 I_4$	00	01	11	10
00	1	0	0	1
01	0	0	0	1
11	0	0	0	1
10	0	0	0	0

Fonte: elaborado pelo compilador.

A respectiva equação lógica do segmento j :

$$j = \neg I_1 \neg I_2 / I_4 + I_2 I_3 / I_4$$

Abaixo, o mapa de Karnaugh para o segmento k :

Tabela 11: mapa de Karnaugh da saída do segmento “k”.

$I_1 I_2 / I_3 I_4$	00	01	11	10
00	1	0	1	0
01	0	0	0	0
11	0	0	0	0
10	0	0	0	0

Fonte: elaborado pelo compilador.

A respectiva equação lógica do segmento k :

$$k = \neg I_1 / I_2 / I_3 / I_4 + \neg I_1 / I_2 I_3 I_4$$

Abaixo, o mapa de Karnaugh para o segmento x :

Tabela 12: mapa de Karnaugh da saída do segmento “x”.

$I_1 I_2 / I_3 I_4$	00	01	11	10
00	1	1	1	1
01	1	1	1	1
11	0	0	0	0
10	1	1	0	0

Fonte: elaborado pelo compilador.

A respectiva equação lógica do segmento x :

$$x = /I_1 + /I_2 / I_3$$

Por fim, implementou-se cada uma das equações de saída dos segmentos na linguagem de descrição de hardware Verilog, por meio do software *Quartus Lite 2*.

Não obstante, tem-se o código da implementação em Verilog “Trabalho2.v”, do qual é possível, através das ferramentas do software, gerar o circuito final do decodificador do display de 12 segmentos - que por sua vez encontra-se no arquivo PDF enviado com o nome “Circuito-Trabalho2-Exercicio2”.