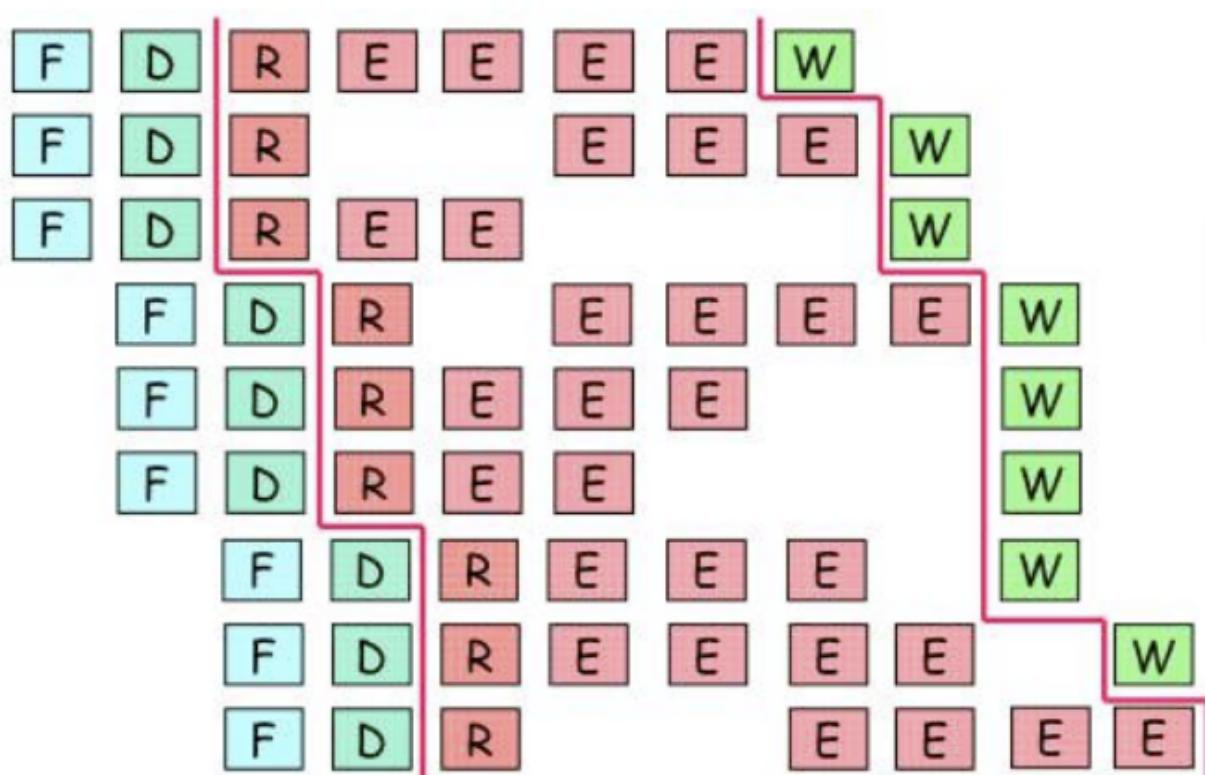


# PRÀCTICA 1 ARQUITECTURA DE COMPUTADORS: SIMULACIÓN PROCESADOR SUPERESCALAR



Alumnes: Carlos Martínez García-Villarrubia

Joel Teodoro Gómez

Curs 2022-2023

## ÍNDICE

<b>Informació dels procesadors</b>	<b>2</b>
Intel	2
Especificacions tècniques de la CPU:	3
Especificacions de la RAM	8
AMD	11
Especificacions tècniques de la CPU	12
<b>Preparatius simulació</b>	<b>17</b>
<b>Resultats simulacions</b>	<b>19</b>
Intel	19
AMD	21
Modificacions	22
Modificació mida lsq x2	22
Modificació cache L2	22
Modificació bandwidth x2	23
<b>Modificació etapa fetch/decode (+8)</b>	<b>23</b>
Modificació lsq i ruu x2	24
Modificació reducció il1 lat 6->4	24
Modificació lsq x2 lat 6->5	25
Modificació decode->8 lsq x2	25
<b>Comentari</b>	<b>26</b>
<b>Bibliografia</b>	<b>28</b>

**Informació dels processadors**

Intel

<b>1-K via del procesador</b>			
Fetch	8		
Decode	6		
Issue	6		
Commit	12		
<b>2-Tamaño de los buffers</b>			
ruu	512		
lsq	192 load(width 3) 114 store (width 2)->5		
<b>3-Caches L1 y L2</b>			
	<b>L1I</b>	<b>L1D</b>	<b>L2</b>
Sets	64	64	2048
Capacidad	32KB (64B bsize)	48KB (64B bsize)	1280KB(64Bbsize)
Asociatividad	8 vías	12 vías	10 vías
<b>4-Ancho de banda y latencia</b>			
Latencia(CAS)	cl16		
Ancho de banda	78,6GB/s = 64 B → <i>velocitat × periode</i> ( <a href="#">explicat al punt 4 d'especificacions tècniques.</a> )		
<b>5-Unidades funcionales</b>			
ALU int	5		
ALU float	3		
Int mult	2		
Float mult	2		
P. acc. mem	5		

Alder Lake és el nom en clau d'Intel per a la 12a generació de processadors Intel Core basat en una arquitectura híbrida que utilitza cores d'alt rendiment Golden

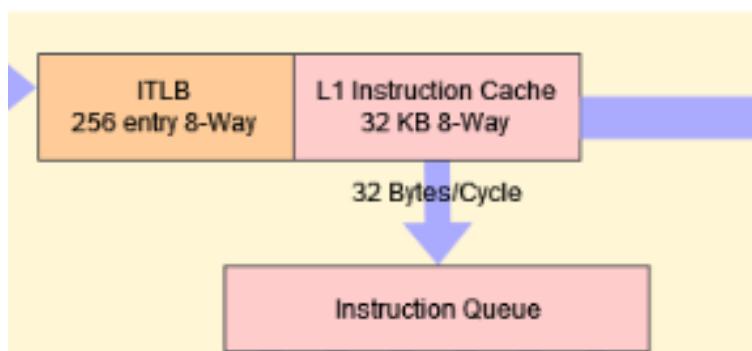
Cove (p-cores) i cores d'eficiència energètica Gracemont (e-cores). Es fabrica mitjançant el procés Intel 7 d'Intel, conegut anteriorment com a Intel 10 nm Enhanced SuperFin (10ESF).

## Especificacions tècniques de la CPU:

1. Los que determinan la k-via del procesador. Cuantas instrucciones por ciclo puede llegar a tratar: fetch, decode, issue y commit.

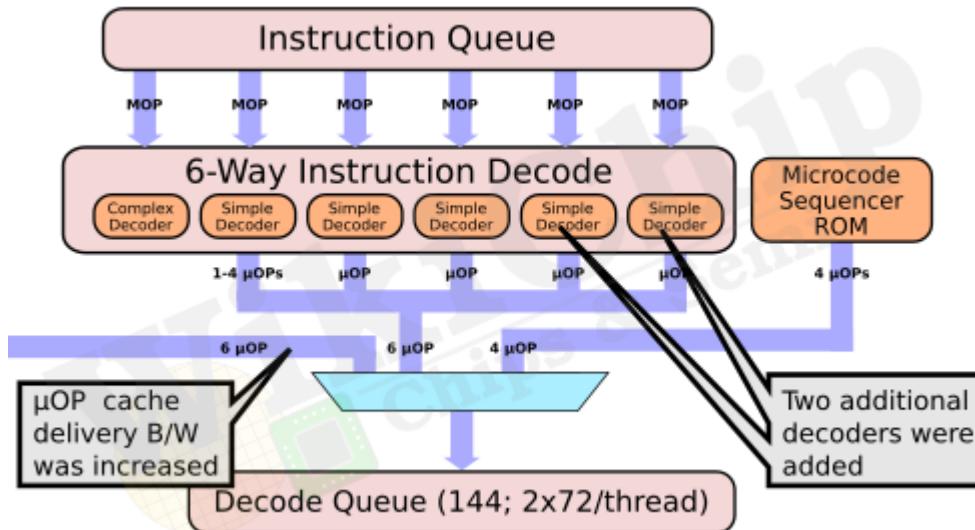
k-via del procesador	instruccions/cicle
fetch	8
decode	6
issue	6
commit	12

- fetch: En aquesta etapa s'encarrega de captar les instruccions des de la cache i també ha de ser capaç de llegir diverses instruccions/cicle. Les instruccions llegides s'emmagatzemen en un buffer (INSTRUCTION BUFFER). En aquesta etapa podem arribar a fer un fetch de 8 µOps per cicle.



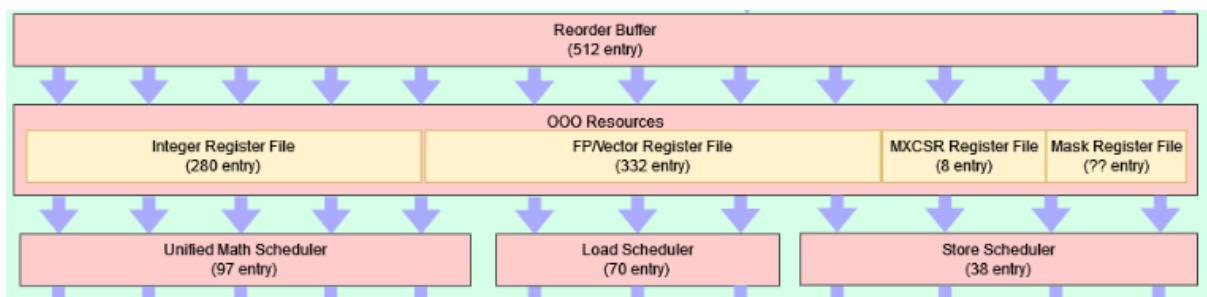
Golden Cove can fetch **8 micro-ops** per cycle from that cache

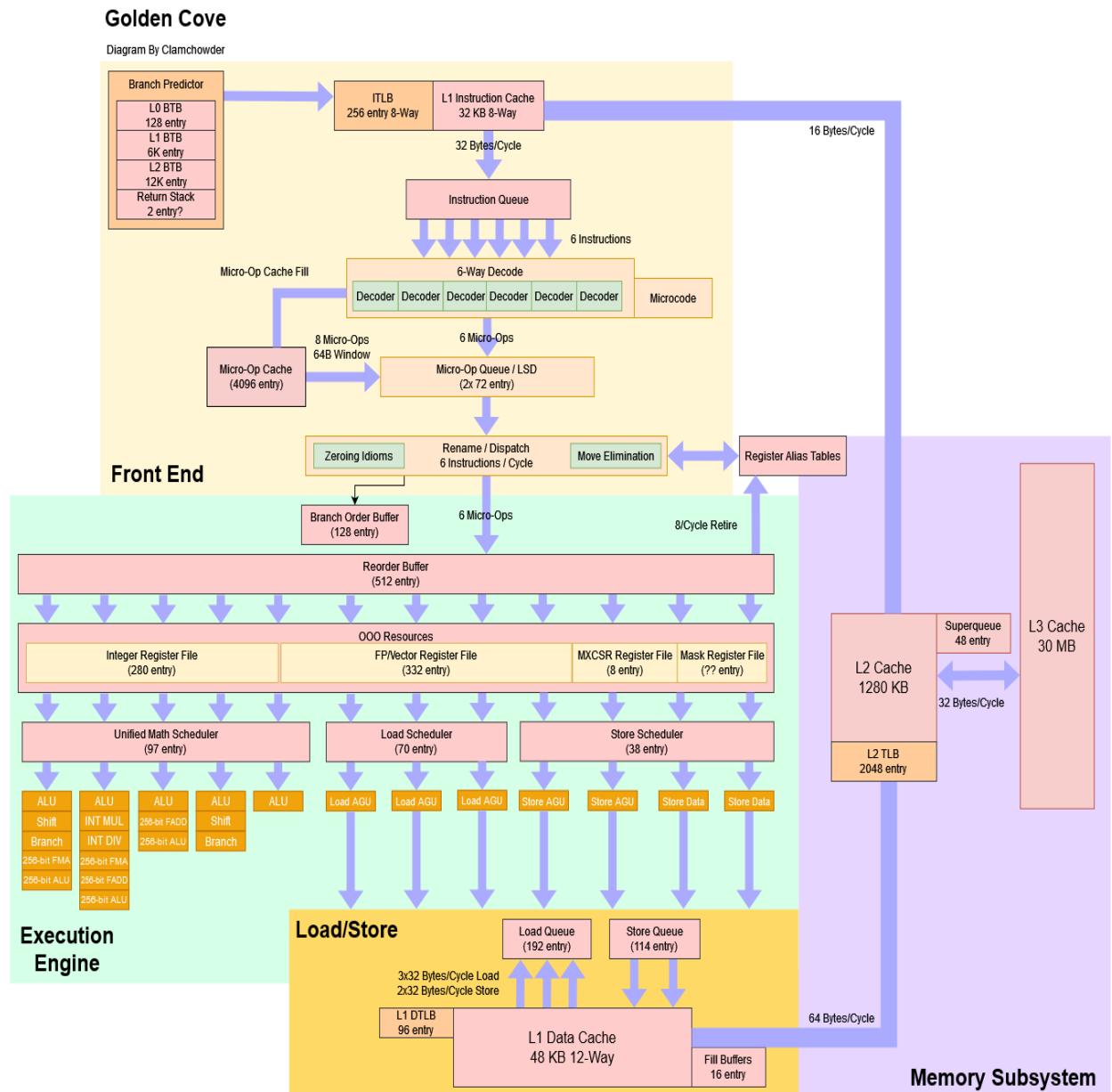
- decode: En la etapa de decode la CPU determina quines instruccions es duran a terme, de manera que la CPU dirà quants operands necessita obtenir per tal de dur a terme la instrucció. Les instruccions descodificadas s'emmagatzemen en un buffer(DISPATCH BUFFER).



En aquesta etapa tenim un 6-way decode, per tant en aquest etapa podem dur a terme 6 micro-ops/cicle.

- issue : En aquesta etapa les instruccions desplacen fins al ReOrder Buffer on aniran sent enviades a les ALUs corresponents per ser executades. Tenim una amplada de 6 instruccions en aquesta etapa.
- commit: En aquesta etapa es retiren les instruccions en ordre del ReOrder Buffer i s'envia una senyal per dir que s'han executat correctament. Les instruccions completades s'emmagatzemen en el store buffer.





2. Los que determinan el tamaño de los buffers que almacenan instrucciones:  
ventana instrucciones (ruu) y cola de acceso a memoria (lsq).

Hem tingut molts problemes per trobar la mida del buffer Ruu ja que intel canvia el nom a reorder buffer. També hem canviat les mides del ROB i la cua d'accés a memòria (lsq) a l'hora de fer les simulacions ja que ens demanen valors múltiples de dos.

buffer	mida
Finestra d'instruccions (ruu) / Re-order buffer(ROB)	512
store buffer	114
load buffer	192

Reorder Buffer	512 entry
Load Queue	192 entry
Store Queue	114 entry
Load Queue Width	3
Store Queue Width	2

3. Los que determinan las caches L1 y L2. Si manipulan por separado instrucciones y datos y los que determinan el tamaño, asociatividad y algoritmo de reemplazo.

"Golden Cove" Baseline L1 Data Cache	
Sets	64
Ways	12
Latency	5 cycles
Loads Per Cycle	3
Stores Per Cycle	2
Capacity	48 KB

**L1 Instruction Cache  
32 KB 8-Way**

"Golden Cove" Baseline L2	
Sets	2048
Ways	10
Total Latency	15 cycles
Capacity	1280 KB

$$tamTotalCache = \#sets \times asoc \times blocksize = (Bytes)$$

**L1D:**

$$48KB = 64 \times 12 \times x \rightarrow x = 48 \times \frac{1024}{768} = 64B$$

**L1I:**

$$32KB = 64 \times 8 \times x \rightarrow x = 32 \times \frac{1024}{512} = 64B$$

**L2:**

$$1280KB = 2048 \times 10 \times x \rightarrow x = 1280 \times \frac{1024}{20480} = 64B$$

4. Los que determinan el ancho de banda y la latencia de la memoria principal.

Nosaltres utilitzem una memoria RAM ddr4 amb una latència de 16 i freqüència 3600Mhz.

Càlcul ample de banda:

$$f = \frac{1}{T} = 3600 \text{ Mhz}$$

$$\text{Bandwidth (velocitat transferència)} = 78,6 \text{ Gb/s} = 78,6 \times 10^9 = 78600000000 \text{ B/s}$$

$$\text{FreqRam} = \frac{(3600 \times 10)^6}{4} = 900000000 \text{ Hz.}$$

$$T = \frac{1}{freq} = 1,11 \times 10^{-9} \text{ s}$$

$$\text{Tamany bus} = \text{Bandwidth} * T = 78600000000 \text{ B/s} \times 1,11 \times 10^{-9} \text{ s} = 87,3 \text{ B} \simeq 64$$

## Especificacions de la RAM

- **Características**
  - Tipus de memòria amb búfer: Unregistered (unbuffered)
  - Latència CAS: 16
  - Memòria interna: 32 GB
  - Disseny de memòria (mòduls x tamañ): 4 x 8 GB
  - Tipus de memòria interna: DDR4
  - Velocitat de memòria del reloj: 3600 MHz
  - Componente per a: PC/servidor
  - Forma de factor de memòria: 288-pin DIMM
  - ECC: No
  - Voltatge de memòria: 1.35 V
  - Intel® Extreme Memory Profile (XMP): Si
  - Versió del perfil Intel XMP (Extreme Memory Profile): 2.0
  - Tipus de refrigeració: Dissipador térmic

<https://www.pcccomponentes.com/team-group-xtreem-8-pack-ddr4-3600mhz-pc4-28800-32gb-4x8gb-cl16>

## Especificaciones de memoria

Tamaño de memoria máximo (depende del tipo de memoria) <small>?</small>	128 GB
Tipos de memoria <small>?</small>	Up to DDR5 4800 MT/s Up to DDR4 3200 MT/s
Cantidad máxima de canales de memoria <small>?</small>	2
Máximo de ancho de banda de memoria <small>?</small>	76.8 GB/s
Compatible con memoria ECC <small>?</small>	Sí

5. Los que determinan los recursos a nivel de unidades funcionales: números de ALUs aritméticas y multiplicación de integers, ALUs aritméticas y multiplicación de coma flotante y el número de puertos de acceso a memoria.

## Dades E-core

Los núcleos Gracemont de los “Efficient Cores” disponen de 17 puertos destinados a la ejecución de instrucciones repartidos del siguiente modo:

- 4 están destinados a Unidades Aritméticas Lógicas (**ALU**s) de enteros
- 4 están destinadas a resolver direcciones de memoria, 2 para guardar y 2 para cargar
- 2 puertos destinados a ejecutar saltos en el hilo de instrucciones
- 2 puertos destinados a guardar datos de enteros
- 2 puertos destinados a almacenar datos de coma flotante o vectoriales.
- 3 puertos destinados a las pilas de coma flotante o vectoriales y las Unidades Aritméticas Lógica para vectores.

## Dades P-core

Les ALUs aritmètiques d'enters serien les connectades en els ports 0, 1, 5, 6 i 10 (5 ALUs) de les quals 2 poden multiplicar enters i les ALUs aritmètiques de coma flotant les localitzades en els ports 1, 1, 5 de les quals també dos poden multiplicar dades amb coma flotant.

Per acabar tenim 5 ports d'accés a memòria en els ports 2, 8, 3, 7 i 11. De les 5 AGUs 3 serveixen per Load i 2 per store.

Uno de los puertos adicionales va destinado a añadir una Unidad de Ejecución Aritmética (ALU) para enteros para **un total de 5**. También se dispone de la posibilidad de ejecutar la instrucción LEA, para computar la dirección absoluta de posiciones de memoria 1 vez por ciclo en cada uno de los 5 puertos destinados a cálculos de enteros con ALU.



## AMD

Graella info amd

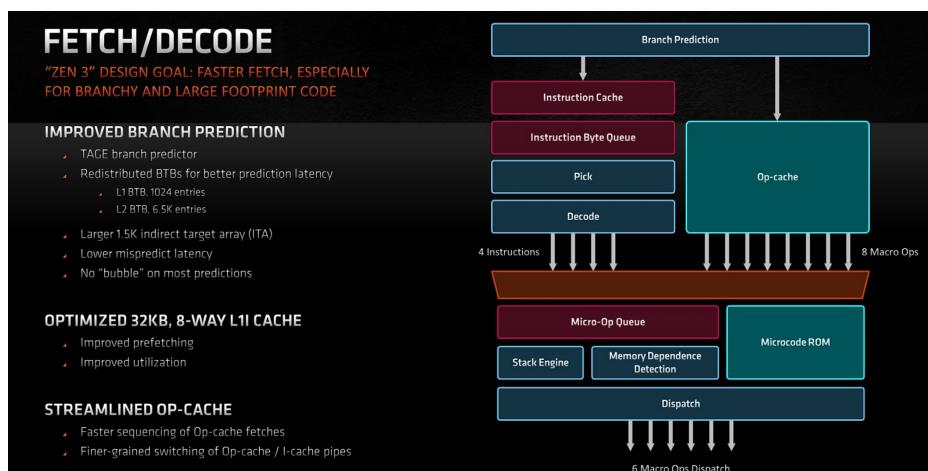
<b>1-K via del processador</b>			
Fetch	4		
Decode	4		
Issue	16		
Commit	12		
<b>2-Mids dels buffers</b>			
ruu	256		
lsq	64		
<b>3-Cachés L1 y L2</b>			
	<b>L1I</b>	<b>L1D</b>	<b>L2</b>
Sets	64	64	1024
Capacitat	32KB (64B bsize)	32KB (64B bsize)	512KB (64B bsize)
Asociativitat	8 vías	8 vías	8 vías
<b>4-Bandwidth i latència</b>			
Latencia (CAS)	CL16		
Bandwidth	64 GB/s = 64 B → <i>velocitat × periode</i> ( <a href="#">explicat al punt 4 d'especificacions tècniques.</a> )		
<b>5-Unitats Funcionals</b>			
ALU int	4		
ALU float	4		
Int mult	2		
Float mult	2		
P. acc. mem	2		

## Especificacions tècniques de la CPU

<b>Plataforma:</b> Computadora de escritorio	<b>Familia de productos:</b> AMD Ryzen™ Processors	<b>Línea de productos:</b> AMD Ryzen™ 7 Desktop Processors
<b># de núcleos de CPU:</b> 8	<b># de hilos:</b> 16	<b>Reloj de aumento máx.</b> ①: Hasta 4.5GHz
<b>Reloj base:</b> 3.4GHz	<b>Caché L1 total:</b> 512KB	<b>Caché L2 total:</b> 4MB
<b>Caché L3 total:</b> 96MB	<b>TDP/TDP predeterminado:</b> 105W	<b>Processor Technology for CPU Cores:</b> TSMC 7nm FinFET
<b>CPU Socket:</b> AM4	<b>Número de sockets:</b> 1P	<b>Solución térmica (PIB):</b> Not included
<b>Temp. máx.:</b> 90°C	<b>*Compatible con SO:</b> Windows 11 - Edición de 64-bits Windows 10 edición de 64-bits RHEL x86 edición de 64-bits Ubuntu x86 edición de 64-bits *El soporte del sistema operativo (SO) variará según el fabricante.	

<https://www.amd.com/en/product/11576>

1. Los que determinan la k-via del procesador. Cuantas instrucciones por ciclo puede llegar a tratar: fetch, decode, issue y commit.
- Fetch/decode: Com podem veure a la imatge, tant el fetch com decode poden manejar fins a 4 instruccions, a part la imatge també ens indica que les tècniques del prefetching han sigut millorades.

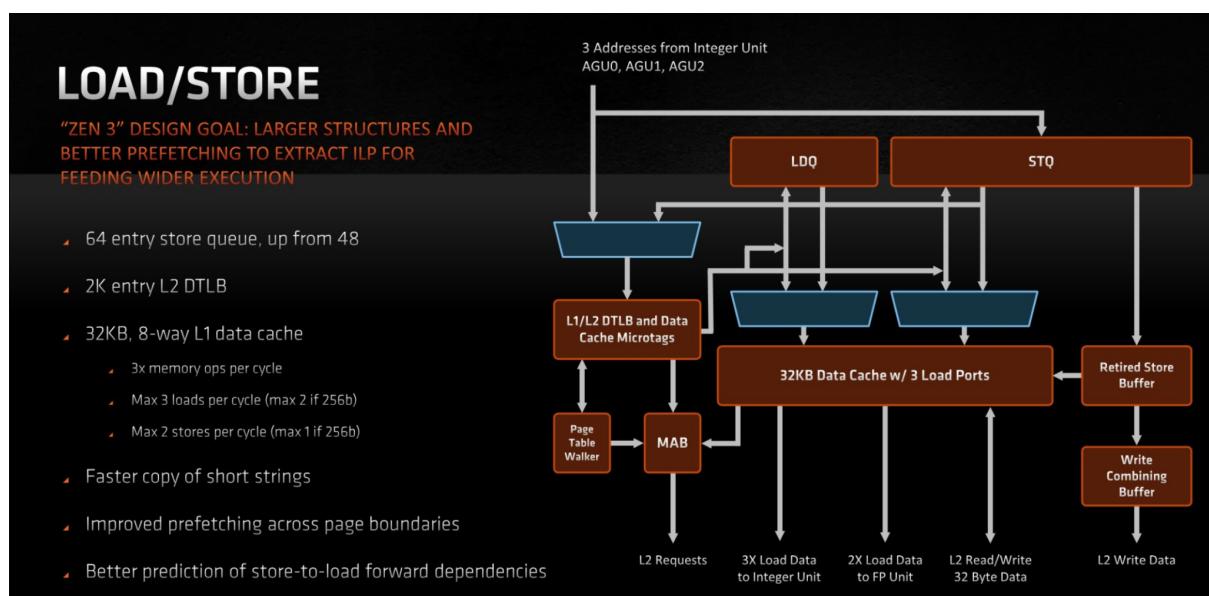


- Issue: 16
- commit: 12

2. Los que determinan el tamaño de los buffers que almacenan instrucciones: ventana instrucciones (ruu) y cola de acceso a memoria (lsq).

Com podem observar en la següent imatge, obtenim que les entrades per a la cua de l'store son 64 entrades, width 3, mentre que el reorder buffer passa de tenir 224 instruccions a la generació anterior, a terner-ne 256.

The core now has a higher bandwidth ability thanks to an additional load and store unit, with the total amount of loads and stores per cycle now ending up at 3 and 2. AMD has improved the load to store forwarding to be able to better manage the dataflow through the L/S units.



3. Los que determinan las caches L1 y L2. Si manipulan por separado instrucciones y datos y los que determinan el tamaño, asociatividad y algoritmo de reemplazo.

Level 1 cache size <span style="color: green;">?</span>	8 x 32 KB 8-way set associative instruction caches 8 x 32 KB 8-way set associative data caches
<b>Level 2 cache size <span style="color: green;">?</span></b>	<b>8 x 512 KB 8-way set associative unified caches</b>
<b>Level 3 cache size</b>	<b>96 MB 16-way set associative shared cache</b>

- L1I Cache:
  - 32 KiB per core, 8-way set associative
  - 64 B line size
  - Parity protected
- L1D Cache:
  - 32 KiB per core, 8-way set associative
  - 64 B line size
  - Write-back policy
  - 4-5 cycles latency for Int
  - 7-8 cycles latency for FP
  - ECC
- L2 Cache:
  - 512 KiB per core, 8-way set associative
  - 64 B line size
  - Write-back policy
  - Inclusive of L1
  - $\geq 12$  cycles latency
  - DEC-TED ECC, tag & state arrays SEC-DED

*tamTotalCache = #sets × asoc × blocksize = bytes*

#### L1D:

$$32KB = 64 \times 8 \times x \rightarrow x = 48 \times \frac{1024}{512} = 64B$$

#### L1I:

$$32KB = 64 \times 8 \times x \rightarrow x = 32 \times \frac{1024}{512} = 64B$$

#### L2:

$$512 = 1024 \times 8 \times x \rightarrow x = 512 \times \frac{1024}{8192} = 64B$$

4. Los que determinan el ancho de banda y la latencia de la memoria principal.

Nosaltres utilitzem la mateixa memoria RAM ddr4 amb una latència CAS de 16 i freqüència 3600Mhz.

Càlcul ample de banda:

$$f = \frac{1}{T} = 3600 \text{ Mhz}$$

$$\text{Bandwidth (velocitat transferència)} = 68 \text{ Gb/s} = 68 \times 10^9 = 68000000000 \text{ B/s}$$

$$\text{FreqRam} = \frac{(3600 \times 10)^6}{4} = 900000000 \text{ Hz.}$$

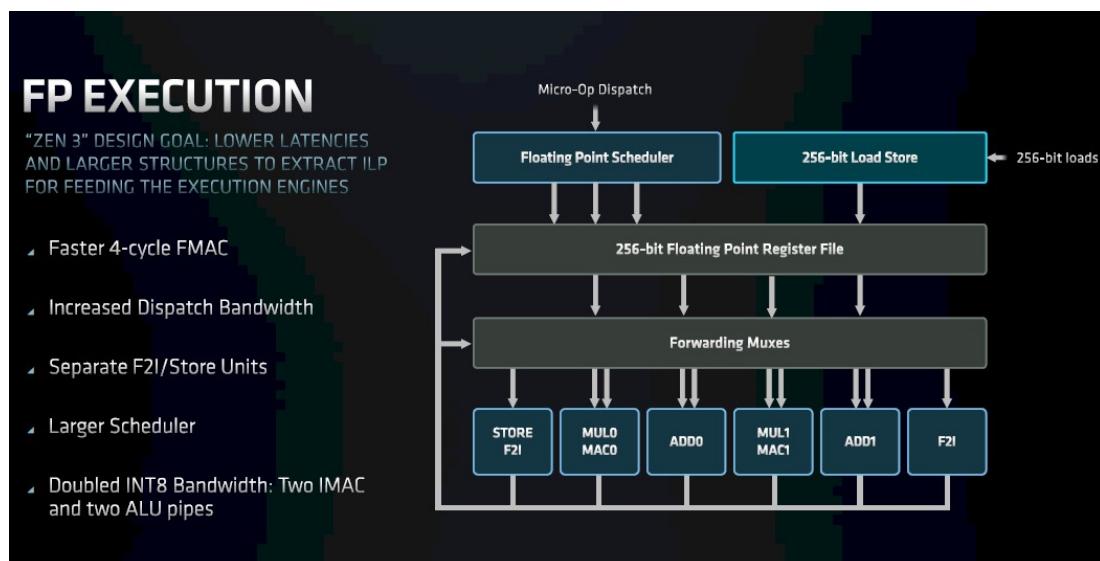
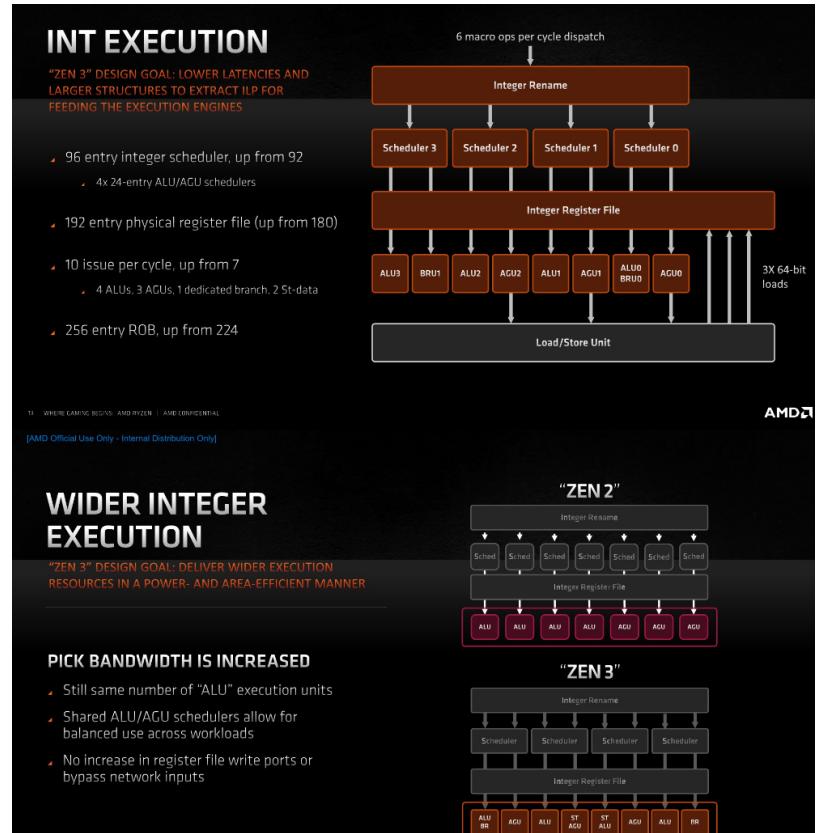
$$T = \frac{1}{freq} = 1,11 \times 10^{-9} \text{ s}$$

$$\text{Tamany bus} = \text{bandwidth} * T = 68000000000 \text{ B/s} \times 1,11 \times 10^{-9} \text{ s} = 75,55 \text{ B} \simeq 64E$$

- 5. Los que determinan los recursos a nivel de unidades funcionales: números de ALUs aritméticas y multiplicación de integers, ALUs aritméticas y multiplicación de coma flotante y el número de puertos de acceso a memoria.

En quant a les ALU per als integers i AGU per als floats, disposem de 4 en cada cas per a la multiplicació i suma. A la següent fotografia podem observar la disposició i el funcionament:

Per últim, en quant als ports d'accés a memòria, en tenim 3, segons informació extreta d'anandtech.com.



## Preparatius simulació

Intel		AMD	
-fetch:ifqsize	8	-fetch:ifqsize	4
-decode:width	6	-decode:width	4
-issue:width	6	-issue:width	16
-commit:width	16 (12)	-commit:width	16 (12)
-ruu:size	512	-ruu:size	256
-lsq:size	4 (5)	-lsq:size	4 (3)
-mem:lat	16 2	-mem:lat	16 2
-mem:width	64	-mem:width	64
-res:mempport	5	-res:mempport	2
-res:ialu	5	-res:ialu	4
-res:imult	2	-res:imult	2
-res:fpalu	3	-res:fpalu	4
-res:fpmult	2	-res:fpmult	2
-cache:dl1	dl1:64:64:12:l	-cache:dl1	dl1:64:64:8:l
-cache:il1	il1:64:64:8:l	-cache:il1	il1:64:64:8:l
-cache:dl2	ul2:2048:64:8(10):l	-cache:dl2	ul2:1024:64:8:l

Per a fer les simulacions hem hagut de canviar alguns paràmetres, ja que el simulador ens demanava números que fossin potències de dos. Els números entre parèntesis són els valors reals que hem trobat.

Per realitzar les simulacions corresponents a cada processador, hem realitzat un únic script en bash en el qual utilitzem variables.

D'aquesta manera, creem inicialment variables amb els valors corresponents a cadascuna de les característiques (fetch, decode, issue...), així el codi és molt més aprofitable i comprensible.

Alhora que fem els tests, anem organitzant els resultats per carpetes per tenir la informació ordenada i poder realitzar les gràfiques fàcilment.

## Resultats simulacions

Pel que fa als resultats de les simulacions, adjuntem una carpeta al zip de la pràctica on es poden apreciar tots els valors obtinguts. A forma de resum presentem les gràfiques següents on compararem els resultats obtinguts, amb altres que millorarien el rendiment des del nostre punt de vista.

Els valors emprats són els presentats a la taula de valors de la pàgina 2 i 3, els valors dels quals han estat obtinguts de les pàgines web esmentades a la bibliografia.

A continuació adjuntem alguns dels resultats que hem obtingut.

	INTEL				AMD			
	IPC	Missesacceses			IPC	Misses		
		LI1	L1D	DL2		LI1	L1D	L2
ammp	0,800	240	3341116	240	0,793	240/109452	3341116	240/240
		113588351	30382326	240		842	30317279	
eon	1,434	22269	39806	419	1,439	22273	39835	420
		114491486	46212689	22269		108878732	46094669	22273
equake	1,991	206	7241	206	1,977	203	7241	203
		110907840	36031223	206		107353066	35983617	203
gap	1,699	5613	597740	1623	1,692	5476	597735	1619
		109784140	40457988	5613		106536804	40386295	5476
mesa	1,974	163	2048	163	1,966	165	2047	165
		111530055	35706309	163		107948020	35673572	165
Promedio		1,580				1,5734		

### Intel

Un cop realitzats els tests tenint en compte les especificacions esmentades prèviament, veiem una gran variació quant a l'IPC depenent del test que estiguem executant.

Primer de tot, per a l'AMMP, veiem que IPC és molt inferior al dels altres tests.

D'altra banda, veiem que la taxa de misses és relativament baixa, per la qual cosa no és una de les millors principals a tenir en compte. En cas de voler reduir aquesta taxa, augmentar la mida de la memòria cau ens oferiria una taxa de misses més reduïda, per la qual cosa podríem resoldre aquest problema.

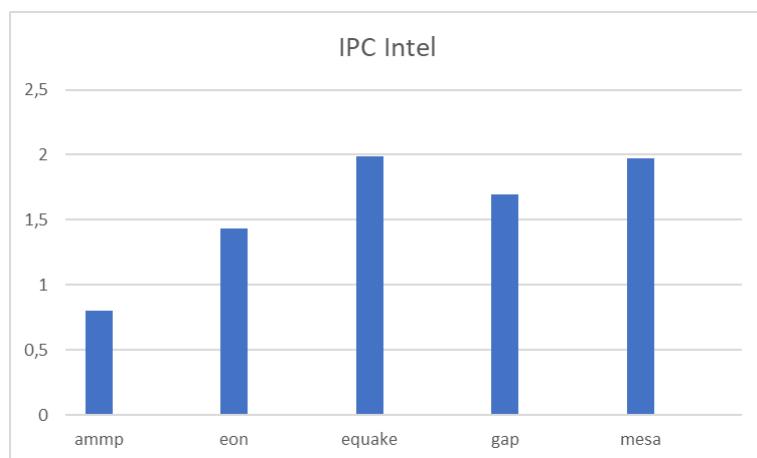
També volem destacar que després d'haver fet moltes proves canviant la mida del block de la cache, etapes del decode, entre altres modificacions, hem pogut observar que les diferències no es fan notar gaire, de fet son inapreciables en quant al IPC, nombre de misses i miss rate.

Aquest fet es pot deure a que estem tractant amb un i9 de dotzena generació, un dels processadors més recents i competitius del mercat.

Per a poder visualitzar les dades de forma clara, amb l'script redireccioem les sortides cap a un mateix fitxer, on tenim totes les dades relacionades amb la cache i l'IPC.

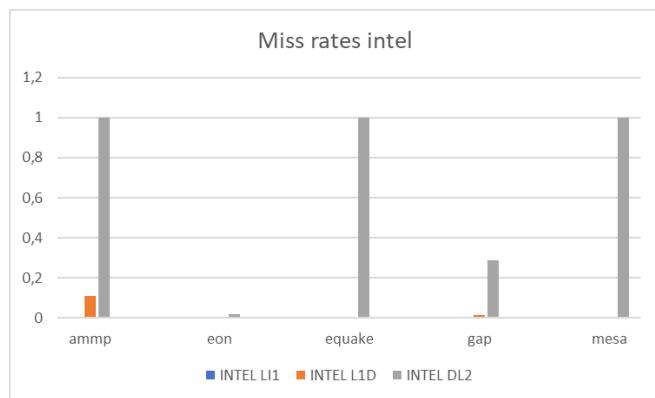
```
dir="/home/milax/Documents/GitHub/ACPrac1/Resultats/comparisonIntel.txt"

echo "AMMP:      " > $dir
grep "CACHE" $intelDir/$tasca >> $dir
grep "sim_IPC" $intelDir/$tasca >> $dir
```



IPC intel i9-12900KS

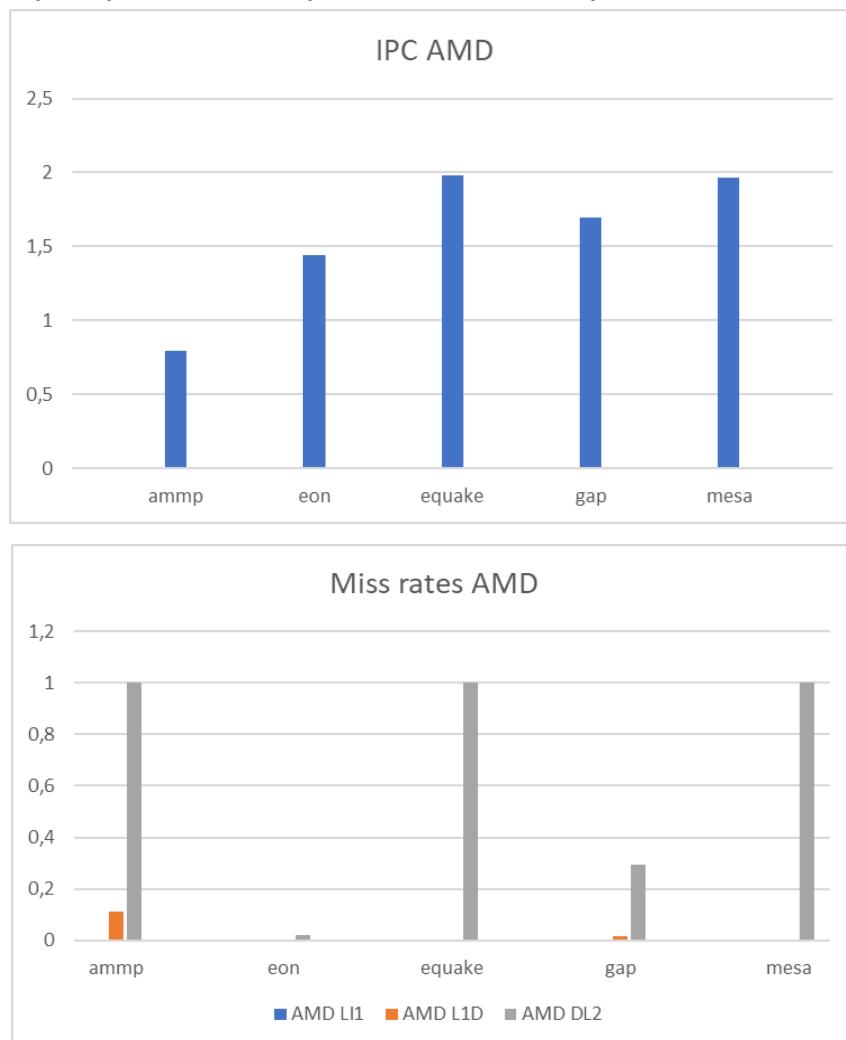
Com podem veure, la majoria dels misses es produeixen a la cache L2, no obstant, si augmentem la mida d'aquesta cache no notem un canvi rellevant en els misses d'aquesta cache.



Miss rates caches intel i9-12900KS

## AMD

En quant a l'IPC del processador ryzen, veiem que l'IPC és molt semblant al de intel, el mateix passa amb el # de misses de les caches, ens ambdós processadors es produeixen una quantitat de misses molt similars. Prèviament s'ha adjuntat una captura on es pot apreciar la comparació d'IPC entre processadors.



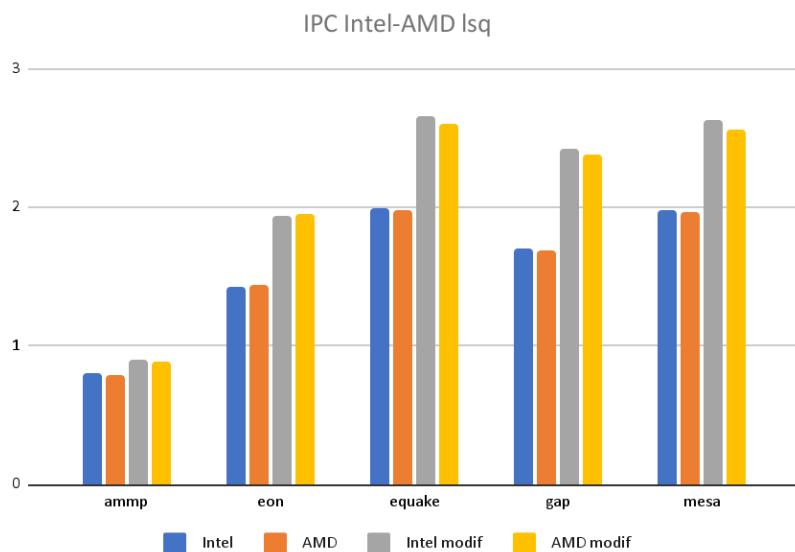
## Modificacions

### Modificació mida lsq x2

La primera prova que hem dut a terme ha sigut duplicar la mida de la cúa del load/store.

Analitzant les dades ens hem pogut adonar que l'IPC augmenta significativament en tots els textos llevat de *ammp*.

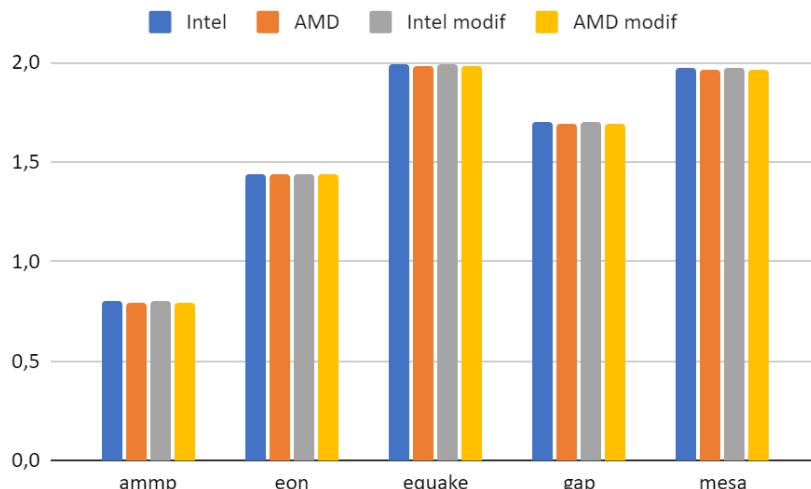
A la següent gràfica podem veure com evoluciona:



### Modificació cache L2

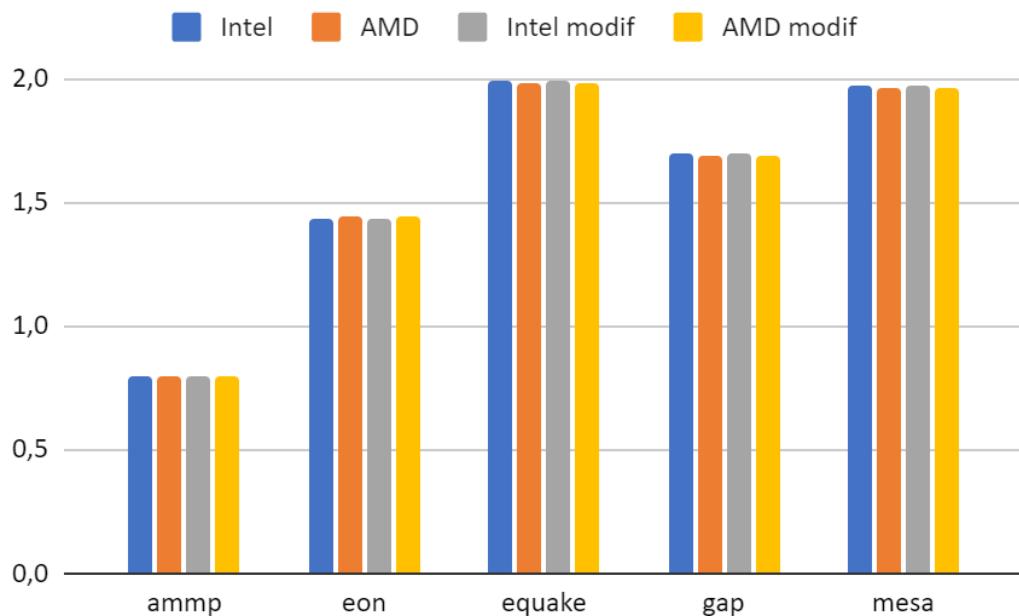
Un cop modificada la cache L2 d'ambdós processadors, augmentant al doble els sets, ens adonem que no es produeix cap canvi notable, l'IPC conserva un valor pràcticament identic i el nombre de misses es manté també igual.

A la següent gràfica podem veure una comparació dels IPC dels diferents testos que hem realitzat.



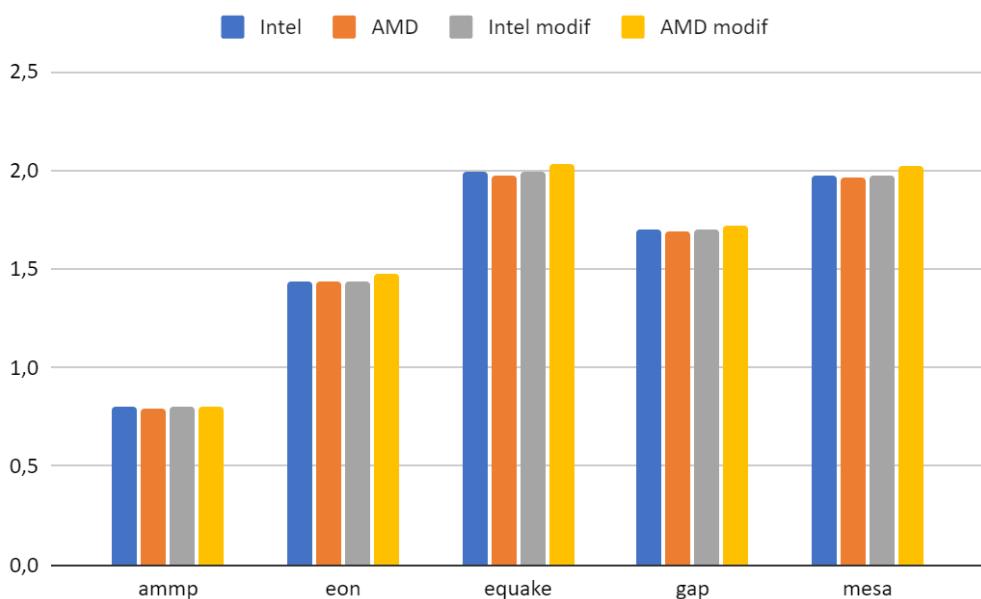
### Modificació bandwidth x2

Un cop duta a terme aquesta prova, ens hem adonat que el bandwidth no suposa un canvi notable en l'IPC dels dos processadors, ja que les dades conserven el mateix valor i no ens suposen cap millora. A la següent taula podem veure una comparativa de les dades:



### Modificació etapa fetch/decode (+8)

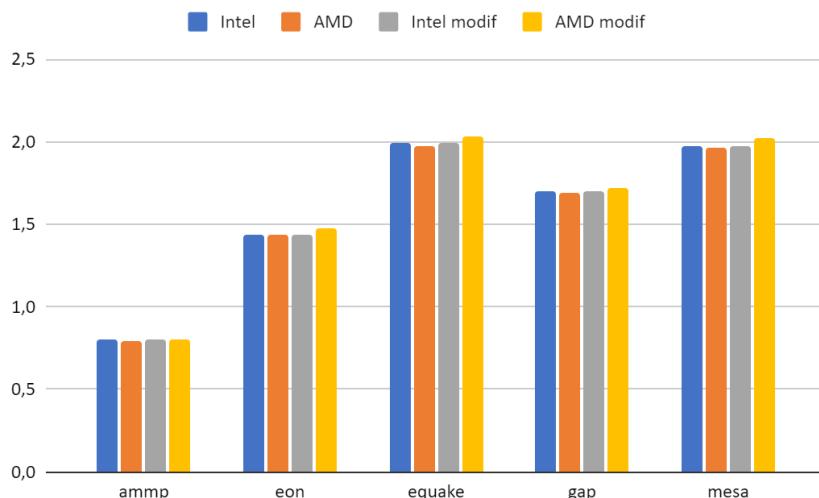
Al realitzar aquesta prova notem un lleuger increment en l'IPC en algunes proves. Veiem que el canvi es fa notar més en proves com *eon*, *equake* o *mesa*, mentre que a les proves *ammp* i *gap* aquest increment és gairebé nul.



## Modificació lsq i rru x2

Un cop realitzada aquesta prova ens adonem de que no s'ha produït un gran canvi en els valors obtinguts del test, tot i que podem veure com varia unes dècimes l'IPC respecte als valors inicials donats.

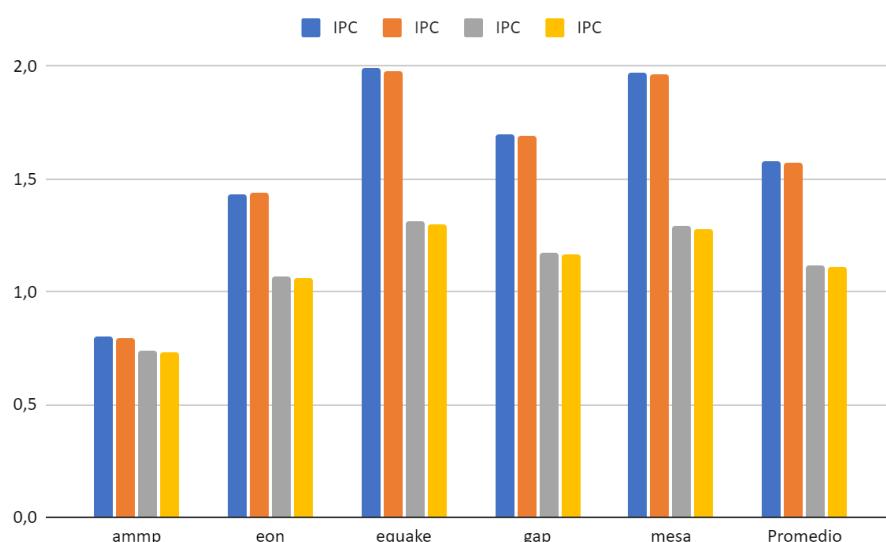
A la següent taula podem veure una comparació amb els valors del principi:



## Modificació reducció il1 lat 6->4

Una altra de les proves que hem realitzat ha sigut disminuir la latència de la cache L1 d'instruccions per a veure quins efectes tenia sobre l'IPC.

Els resultats que hem obtingut ha sigut un decrement brutal en l'IPC, arribant a passar de 1,97 d'IPC a 1,29 (test mesa).

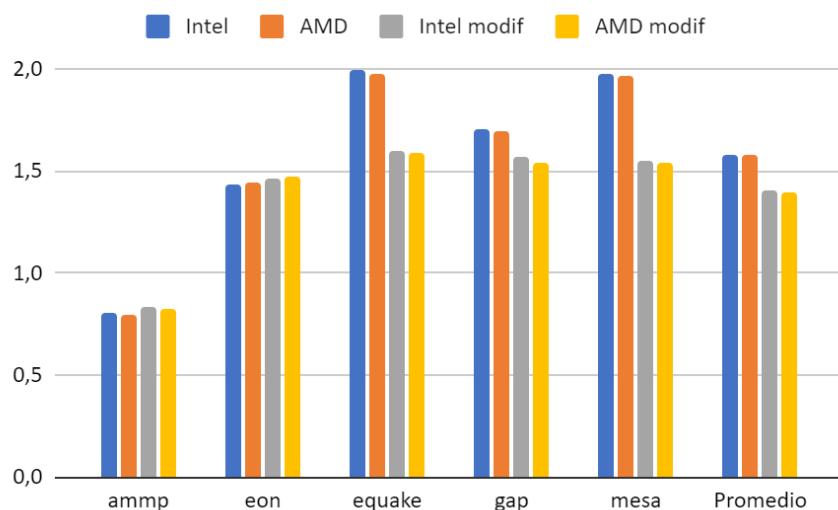


### Modificació lsq x2 lat 6->5

En aquesta prova hem volgut veure els efectes de duplicar la mida de la cua de load/store i el decrement de la latència de la cache L1 d'instruccions (6->5).

Els resultats que hem obtingut han sigut variats, en concret, en tests com ammp i eon veiem que l'IPC creix lleugerament, mentre que a la resta de tests es produeix una disminució notable.

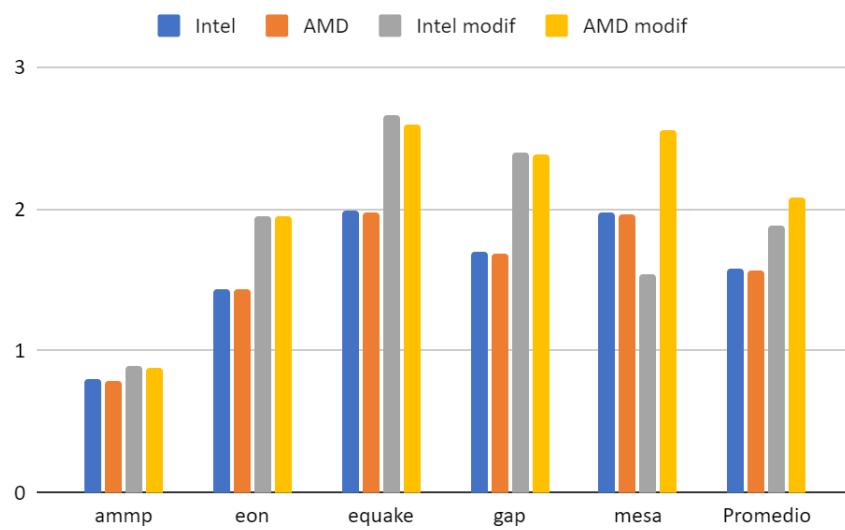
A la següent gràfica podem veure una comparativa:



### Modificació decode->8 lsq x2

Per últim, hem realitzat aquesta prova, on hem notat una millora considerable en quant a l'IPC, notem que l'IPC puja a tots els testos, destacant més al benchmark equake.

A la següent gràfica podem veure una comparativa dels resultats obtinguts.



## Comentari

*"The engineering tradeoff to the bump in core frequencies on both the Performance (P) and Efficiency (E) cores is that the Core i9-12900KS draws more power, with a base TDP of 150 W and a boost TDP of up to 241 W. This is an increase of 25 W for the base TDP versus the original Core i9-12900K processor, which from our experience, is already a hot running processor that can draw some serious power when overclocked. And there's room to go higher still – like other K-series chips, the 12900KS is multiplier unlocked, meaning users can attempt to overclock these chips even further.*

*Focusing on price, the Intel Core i9-12900KS is officially priced at \$739 in for 1000 chip orders. Street pricing, in turn, is almost spot-on, with Amazon and Newegg charging \$735 each. Officially this puts a \$150 premium on the top-tier 12900KS, while comparing street prices it's closer to about a \$175 premium right now. This also puts it \$235 more expensive when directly compared to AMD's most expensive desktop chip, the Ryzen 9 5950X processor (\$499), and just shy of \$300 over the Ryzen 7 5800X3D (\$439). Suffice it to say, when it comes to 'halo' products such as this, any notions or dreams of value typically go out of the window, and users that are looking for the fastest and greatest going to be expected to dig deep in to their wallets.*

*And while there's a significant price difference between the two, make no mistake: the Core i9-12900KS was created to go directly up against AMD's impressive Ryzen 7 5800X3D and its 96 MB of 3D L3 V-Cache. Pitched as the ultimate gaming processor, the Ryzen 7 5800X3D, as we have seen, is very potent in gaming, often vaulting to the top in CPU-limited workloads. Even factoring in the 5.5 GHz performance core boost frequencies, the large pool of L3 cache on the 5800X3D will shine in games that can utilize that extra cache. In the titles where additional cache doesn't influence performance, the insane clock speeds of 5.5 GHz will shine, or so that is the hope for Intel here."*

Com hem pogut observar al text analitzat, es fa una comparativa entre els dos processadors utilitzats en aquesta pràctica. Principalment es comenta el processador d'intel, alguns dels seus principals punts forts i el rang de preu en el que oscil·la.

Es tracta d'un processador d'última generació molt competitiu en el sector dels processadors Desktop, amb una freqüència de rellotge molt elevada (5,5GHz), fet que incrementa notablement el seu consum, arribant a 241 W de consum quan està activat el modo turbo.

A més, destaca pel seu bon rendiment en jocs, comptant amb un procès de fabricació de 10nm.

No obstant això, si el comparem amb el seu competidor directe, l'AMD Ryzen 7 5800X3D, ens adonem que la diferència de preu no justifica la diferència entre els dos.

Principalment, el processador d'intel compta amb una freqüència de rellotge molt superior a la de AMD 5,5GHZ vs 3,4GHZ, mentre que AMD sobrepassa a intel incrementant la seva mida de la cache L3 a 96MB.

A més, si volem comparar els dos processadors, hem de tenir en compte les temperatures màximes que poden assolir, tractant-se de 90°C en el d'intel i 80°C en el cas d'AMD.

Si tenim en compte tot això, AMD potencia molt el rendiment en el jocs que admeten aquest tamany adicional que ofereix la seva cache L3, reduint exponencialment les diferències de rendiment amb el processador intel, tenint en compte la seva diferència de preu.

En conclusió, ambdós processadors tenen una potència molt alta, tot i que si hem de triar basant-nos en la relació qualitat-preu, AMD s'emportaria la victòria desde la nostra perspectiva.

Bibliografía

- Bhati, K. (2021, August 20). *In-Depth Analysis Of Intel 12th Generation Core Alder Lake, Thread Director, And Other Tech.* SPARROWS NEWS. Retrieved September 29, 2022, from <https://sparrowsnews.com/2021/08/20/intel-12th-generation-core-alder-lake/>
- Chiappetta, M. (2022, April 14). *AMD Ryzen 7 5800X3D CPU Review: The King Of PC Gaming - Page 2.* HotHardware. Retrieved September 27, 2022, from <https://hothardware.com/reviews/amd-ryzen-7-5800x3d-review-and-benchmarks?page=2>
- CPU-world. (2022, May 29). *AMD Ryzen 7 5800X3D - 100-000000651 / 100-100000651WOF.* CPU-World. Retrieved September 27, 2022, from <https://www.cpu-world.com/CPUs/Zen/AMD-Ryzen%207%205800X3D.html>
- Cutress, I., & Frumusanu, A. (2020, November 5). *AMD Zen 3 Ryzen Deep Dive Review: 5950X, 5900X, 5800X and 5600X Tested.* AnandTech. Retrieved September 27, 2022, from <https://www.anandtech.com/show/16214/amd-zen-3-ryzen-deep-dive-review-5950x-5900x-5800x-and-5700x-tested/3>
- Intel Alder Lake: Todo sobre la Arquitectura, Núcleos y Rendimiento.* (2022, September 7). Asys Computadores Unilago. Retrieved September 29, 2022, from <https://asyscomputadores.com/intel-alder-lake-todo-sobre-la-arquitectura-nucleos-y-rendimiento/>
- Olšan, J. (2021, August 27). *Intel Alder Lake/Golden Cove CPU core unveiled (μarch analysis).* HWCooling.net. Retrieved September 29, 2022, from

<https://www.hwcooling.net/en/intel-alder-lake-golden-cove-cpu-core-unveiled-microarch-analysis/>

*Popping the Hood on Golden Cove – Chips and Cheese.* (2021, December 2). *Chips and Cheese.* Retrieved September 29, 2022, from <https://chipsandcheese.com/2021/12/02/popping-the-hood-on-golden-cove/>

*Wikichip.* (2022, June 7). *Zen 3 - Microarchitectures - AMD.* WikiChip. Retrieved September 27, 2022, from [https://en.wikichip.org/wiki/amd/microarchitectures/zen\\_3](https://en.wikichip.org/wiki/amd/microarchitectures/zen_3)