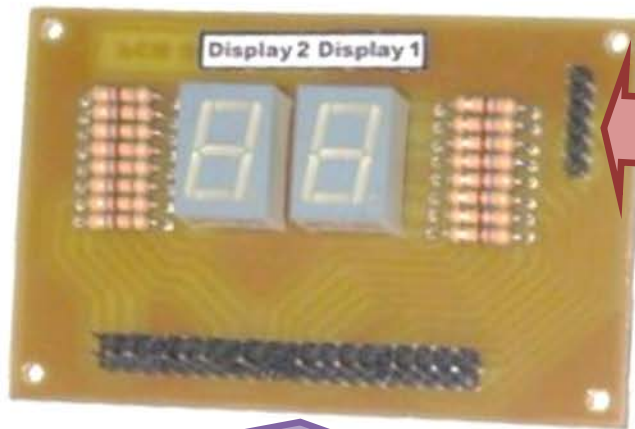


MÓDULO DE PRÁCTICAS DE
SISTEMAS ELECTRÓNICOS RECONFIGURABLES

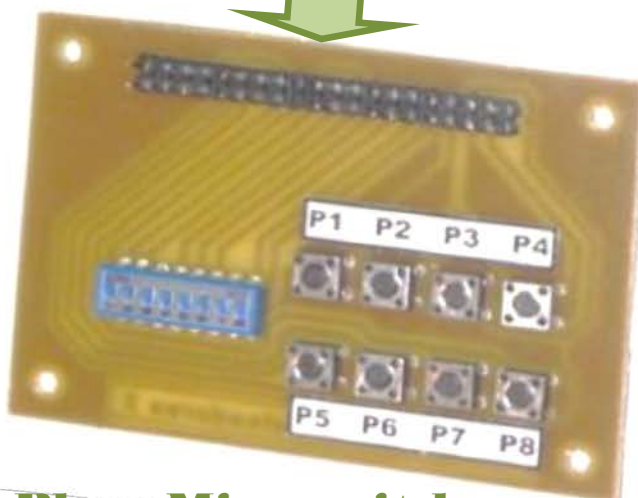
Placa Displays



**Convertidor Luz
Frecuencia**

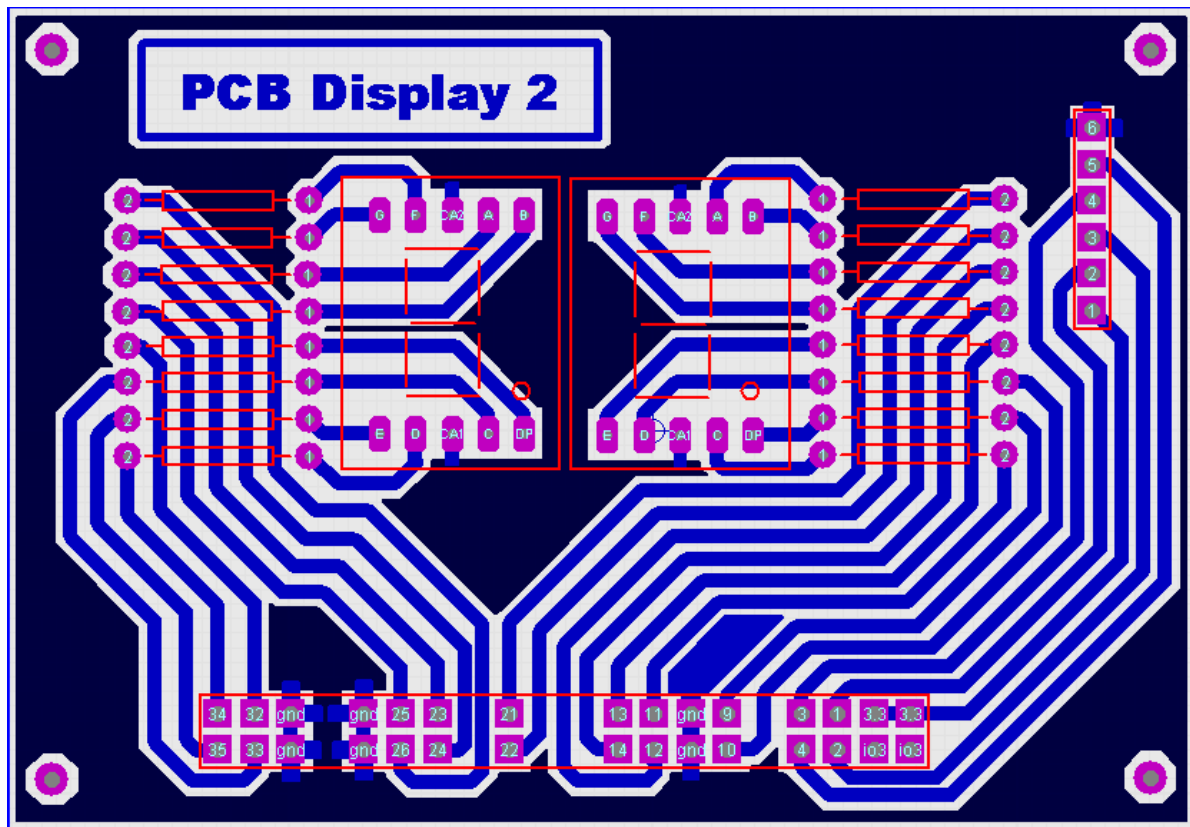


**Placa MachX02
Breakout Board**



**Placa Microswitch
y Pulsadores**

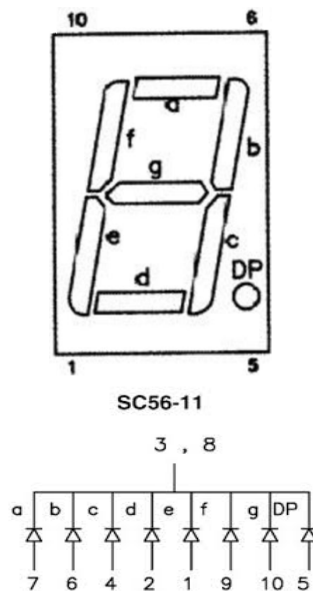
PLACA PCB DISPLAY 2



PINOUT DE LA FPGA ASIGNADO EN LA PLACA PCB DISPLAY 2:

DISPLAY 2 (A LA IZQDA)

A2	PIN7	23
B2	PIN6	25
C2	PIN4	33
D2	PIN2	34
E2	PIN1	35
F2	PIN9	26
G2	PIN10	24
DP2	PIN5	32



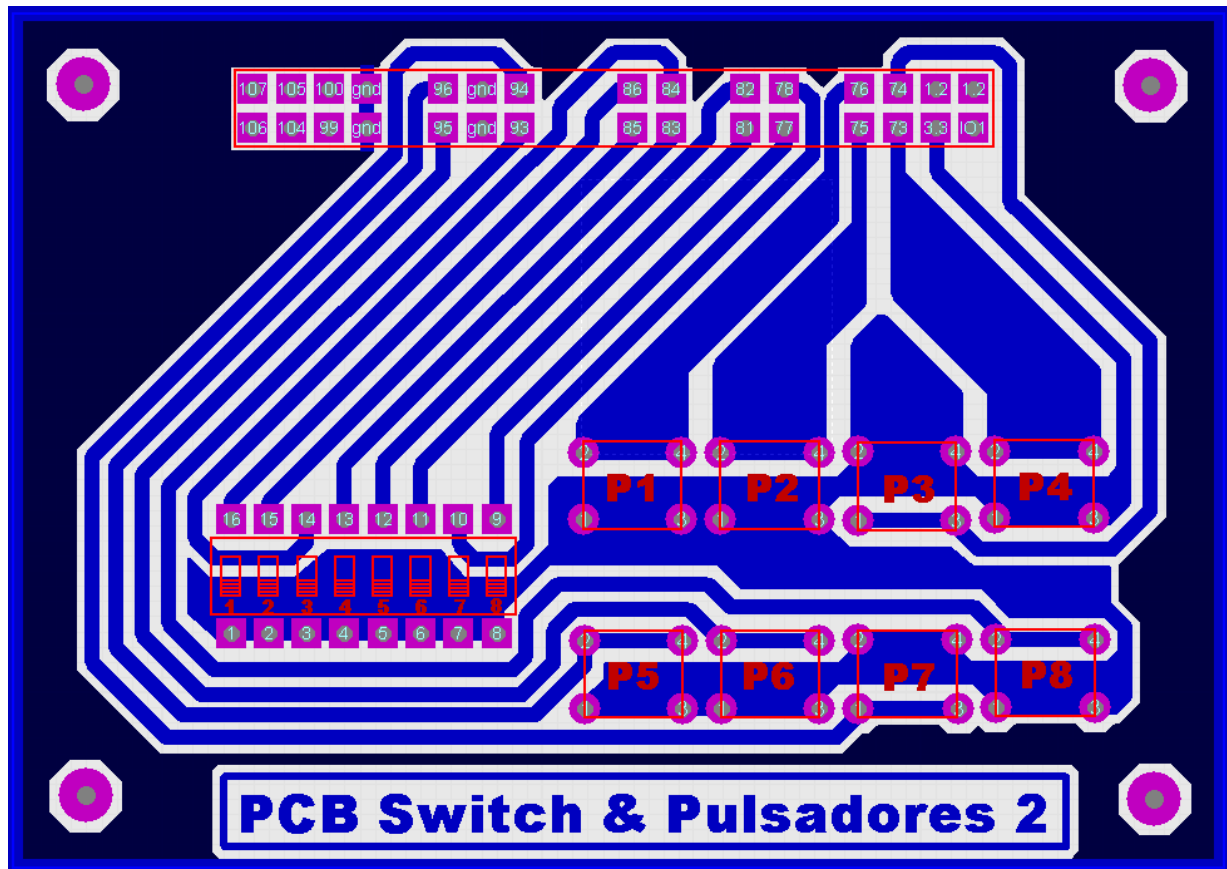
DISPLAY1 (A LA DRCHA)

A1	PIN7	21
B1	PIN6	22
C1	PIN4	11
D1	PIN2	10
E1	PIN1	13
F1	PIN9	12
G1	PIN10	14
DP1	PIN5	9

PINES AUXILIARES PARA OTRA PLACA DE AMPLIACIÓN (DE ABAJO A ARRIBA)

PIN1	VCC (3.3v)	PIN4	3
PIN2	1	PIN5	4
PIN3	2	PIN6	GND

PLACA PCB SWITCH & PULSADORES 2



PINES MICROSWITCH

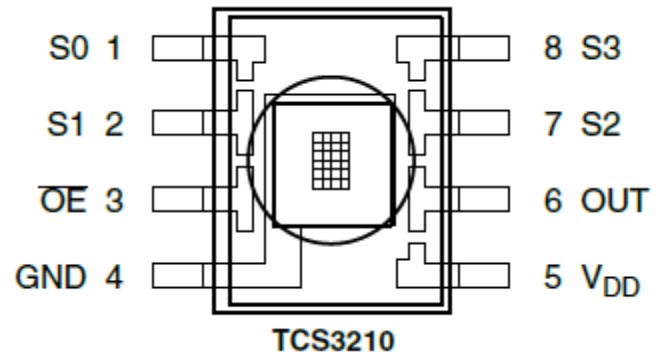
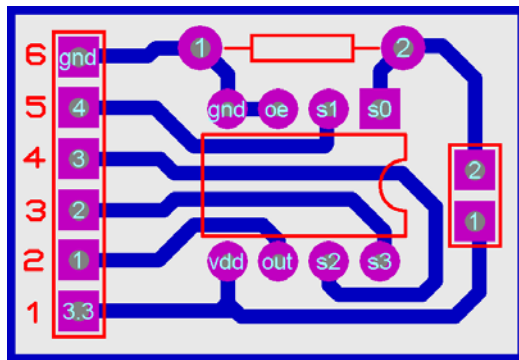
SW1	86
SW2	85
SW3	84
SW4	83
SW5	82
SW6	81
SW7	78
SW8	77

PINES PULSADORES

PULS1	76
PULS2	75
PULS3	74
PULS4	73
PULS5	96
PULS6	95
PULS7	94
PULS8	93

NOTA: Al subir a 'ON' un microswitch o presionar un pulsador el estado de la entrada correspondiente en la FPGA se pone a nivel alto (3.3 V).

PLACA PCB MÓDULO LUZ FRECUENCIA



El Chip TCS3210 es un convertidor luz frecuencia con color programable y salida en frecuencia ajustable. Con los pines S0 y S1 se configura la frecuencia y con los pines S2 y S3 el color. A continuación se muestran las tablas que determinan el comportamiento del convertidor.

S0	S1	OUTPUT FREQUENCY SCALING (f_0)
L	L	Power down
L	H	2%
H	L	20%
H	H	100%

S2	S3	PHOTODIODE TYPE
L	L	Red
L	H	Blue
H	L	Clear (no filter)
H	H	Green

Dentro de nuestro módulo la asignación de pines es la siguiente:

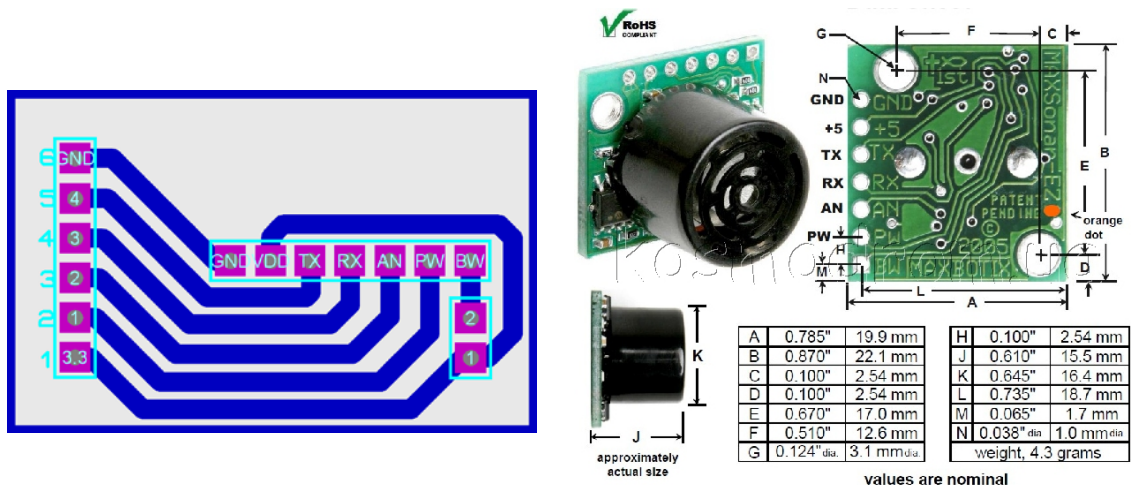
PIN1	VDC (3.3v)	
PIN2	OUT	1
PIN3	S3	2
PIN4	S2	3
PIN5	S1	4
PIN6	GND	

La placa también dispone de un Jumper que define el valor del pin 'S0'.

Si JMP está cerrado S0='1' y si se retira el jumper entonces S0='0'.

Nota: Esta placa solo se puede conectar mediante el conector de ampliación de la placa PCB Display.

PLACA PCB MÓDULO ULTRASONIDOS



El LV-MaxSonar-EZ3 es un sensor ultrasónico que tiene integrado emisor y receptor en un solo módulo. Tiene un rango de detección de 0 cm a 6.45 m. Desde 15.24 cm hasta los 6.45 m tiene una resolución de una pulgada (2.54 cm). Dispone de tres formatos de salida:

- Ancho de pulso a través de la patilla PW (Pin 1 de la FPGA). La distancia se determina aplicando el factor de escala de 147uS por pulgada.
- Salida de tensión analógica AN (Pin 2 de la FPGA). La distancia se determina en nuestro caso para una Vcc de 3.3 voltios aplicando el factor de escala de 6.4mV/pulgada (El factor de escala es $V_{cc}/512$ V/pulgada).
- Salida digital serie TX (Pin 4 de la FPGA). Para habilitar esta salida hay que poner a nivel bajo o sin conexión la patilla BW. Esta salida emplea comunicación RS232. Inicia la trama mandando el código ASCII 'R', después manda tres dígitos en ASCII indicando la distancia en pulgadas hasta un valor máximo de 255 y finalmente termina la trama mandando un retorno de carro (valor ASCII 13).

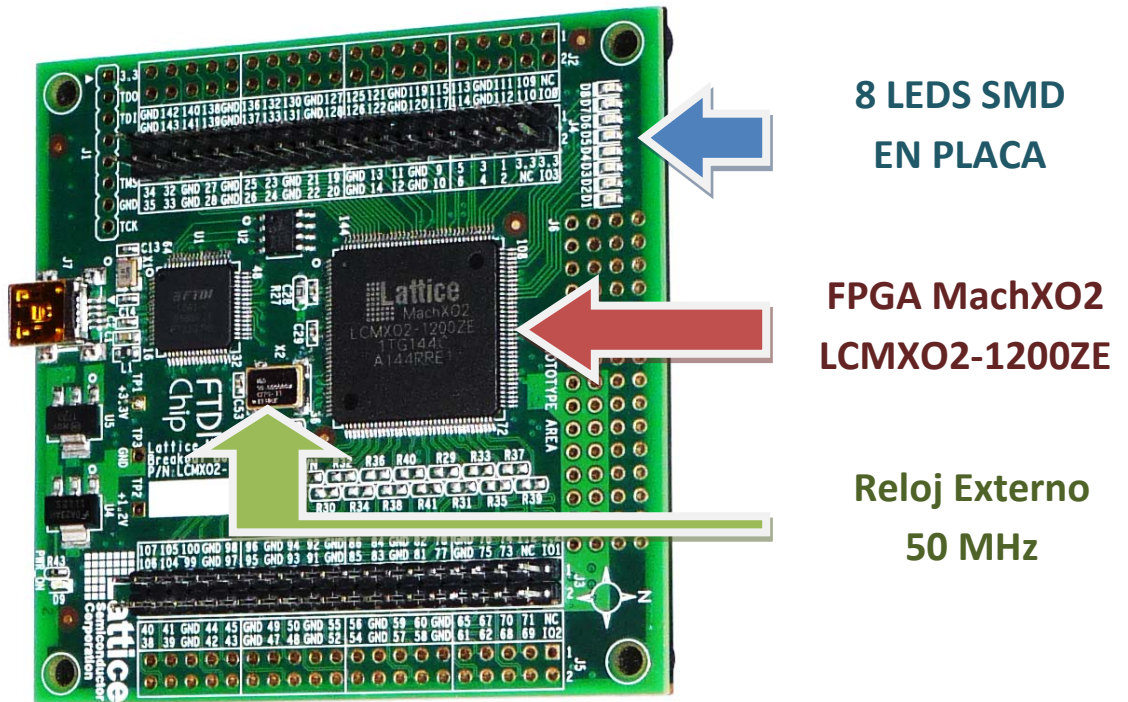
El Pin 3 de la FPGA va al pin 'RX' del módulo. La entrada RX a nivel alto durante un mínimo de 20 uS realiza una lectura. En caso de permanecer a nivel alto realizará lecturas continuadas y a nivel bajo detiene la medición.

La placa dispone de un Jumper que define el valor del pin 'BW'. La entrada BW como se ha comentado anteriormente solo sirve para habilitar (BW='0') o deshabilitar (BW='1') la salida digital serie.

Si JMP está cerrado BW='1' y si se retira el jumper entonces BW='0'.

Nota: Esta placa solo se puede conectar mediante el conector de ampliación de la placa PCB Display.

PLACA MachXO2 BREAKOUT BOARD



- **RELOJ EXTERNO**

Se ha agregado a la placa un reloj externo de 50 MHz. El reloj dispone de una patilla de habilitación CLK_EN que va al PIN 32 de la FPGA. A nivel alto el Cristal externo esta habilitado y a nivel bajo deshabilitado. La salida del reloj CLK_OUT va al PIN 27 de la FPGA.

CLK_OUT PIN 27

CLK EN PIN 32

- **LEDS ON BOARD**

D1 -> PIN 97

D5 -> PIN 104

D2 -> PIN 98

D6 -> PIN 105

D3 -> PIN 99

D7 -> PIN 106

D4 -> PIN 100

D8 -> PIN 107