

Laboratório 1 - MC613 Turma B

Alunos:

- Bruno Franco Scott Varella RA084294
- Carlos Henrique Rodrigues Araújo RA083345

Questão 1.)

A)

Q01. $a_5 a_4 a_3 a_2 a_1$

$a_5=0$

$a_4 a_3 \backslash a_2 a_1$	00	01	11	10
00	0	1	0	0
01	0	0	1	0
11	0	1	1	0
10	1	0	0	0

$a_5=1$

$a_4 a_3 \backslash a_2 a_1$	00	01	11	10
00	0	0	0	1
01	0	1	0	0
11	0	1	1	0
10	1	0	0	0

$a_5=0$

- 00000
- 00010
- 00101
- 01000
- 01101
- 01111

$a_5=1$

- 10010
- 10101
- 11000
- 11101
- 11111

$a_4 a_3 a_2 a_1 + a_3 a_2 a_1 + a_4 a_3 a_2 a_1 + a_5 a_3 a_2 a_1 + a_5 a_3 a_2 a_1$

$a_4 a_3 a_2 a_1 + a_3 a_2 a_1 + a_4 a_3 a_2 a_1 + a_5 a_3 a_2 a_1 + a_5 a_3 a_2 a_1$

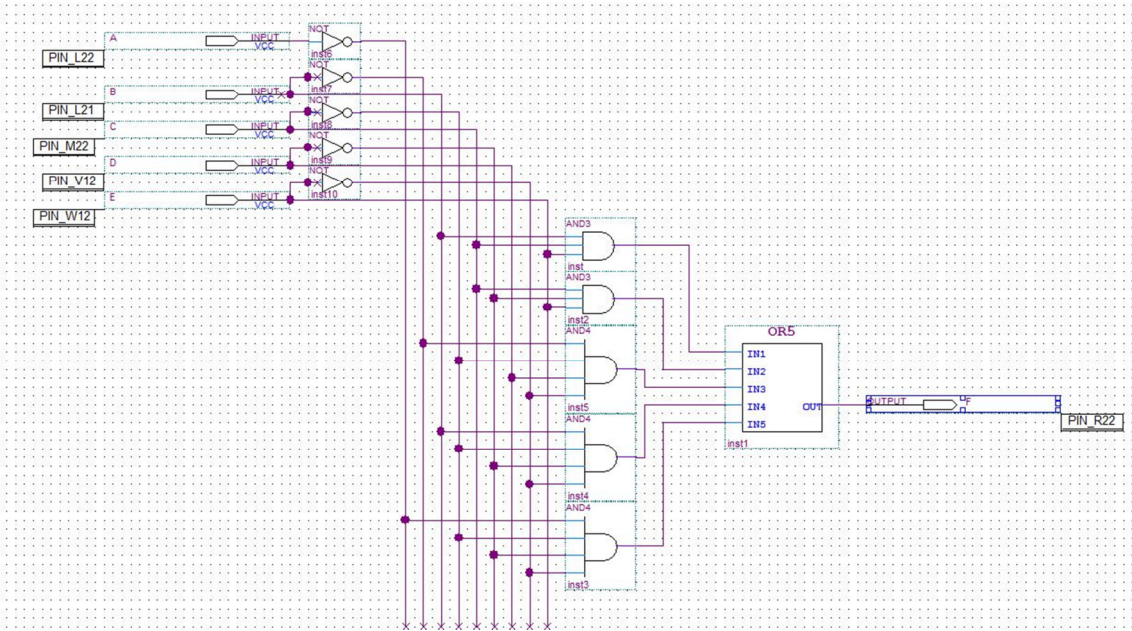
a_2

$F(A, B, C, D, E) = F(a_5, a_4, a_3, a_2, a_1) = a_4 a_3 a_1 + a_3 a_2 a_1 + a_4 a_3 a_2 a_1 + a_5 a_3 a_2 a_1 + a_5 a_3 a_2 a_1$

B)

N	A	B	C	D	E	BCE	CD'E	B'C'DE'	BC'D'E'	A'C'D'E'	F(A,B,C,D,E)	
0	0	0	0	0	0	0	0	0	0	1	1	0
1	0	0	0	0	1	0	0	0	0	0	0	
2	0	0	0	1	0	0	0	1	0	0	1	2
3	0	0	0	1	1	0	0	0	0	0	0	
4	0	0	1	0	0	0	0	0	0	0	0	
5	0	0	1	0	1	0	1	0	0	0	1	5
6	0	0	1	1	0	0	0	0	0	0	0	
7	0	0	1	1	1	0	0	0	0	0	0	
8	0	1	0	0	0	0	0	0	1	1	1	8
9	0	1	0	0	1	0	0	0	0	0	0	
10	0	1	0	1	0	0	0	0	0	0	0	
11	0	1	0	1	1	0	0	0	0	0	0	
12	0	1	1	0	0	0	0	0	0	0	0	
13	0	1	1	0	1	1	1	0	0	0	1	13
14	0	1	1	1	0	0	0	0	0	0	0	
15	0	1	1	1	1	1	0	0	0	0	1	15
16	1	0	0	0	0	0	0	0	0	0	0	
17	1	0	0	0	1	0	0	0	0	0	0	
18	1	0	0	1	0	0	0	1	0	0	1	18
19	1	0	0	1	1	0	0	0	0	0	0	
20	1	0	1	0	0	0	0	0	0	0	0	
21	1	0	1	0	1	0	1	0	0	0	1	21
22	1	0	1	1	0	0	0	0	0	0	0	
23	1	0	1	1	1	0	0	0	0	0	0	
24	1	1	0	0	0	0	0	0	1	0	1	24
25	1	1	0	0	1	0	0	0	0	0	0	
26	1	1	0	1	0	0	0	0	0	0	0	
27	1	1	0	1	1	0	0	0	0	0	0	
28	1	1	1	0	0	0	0	0	0	0	0	
29	1	1	1	0	1	1	1	0	0	0	1	29
30	1	1	1	1	0	0	0	0	0	0	0	
31	1	1	1	1	1	1	0	0	0	0	1	31

C)



D)

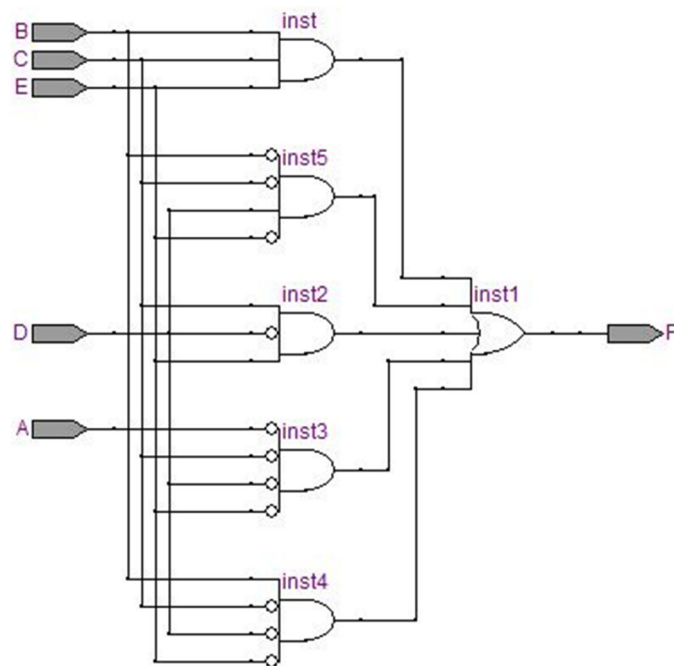
```
LIBRARY ieee ;
USE ieee.std_logic_1164.all ;

ENTITY Laboratorio1 IS
    PORT (
        A, B, C, D, E : IN STD_LOGIC ;
        F : OUT STD_LOGIC ) ;
END Laboratorio1;

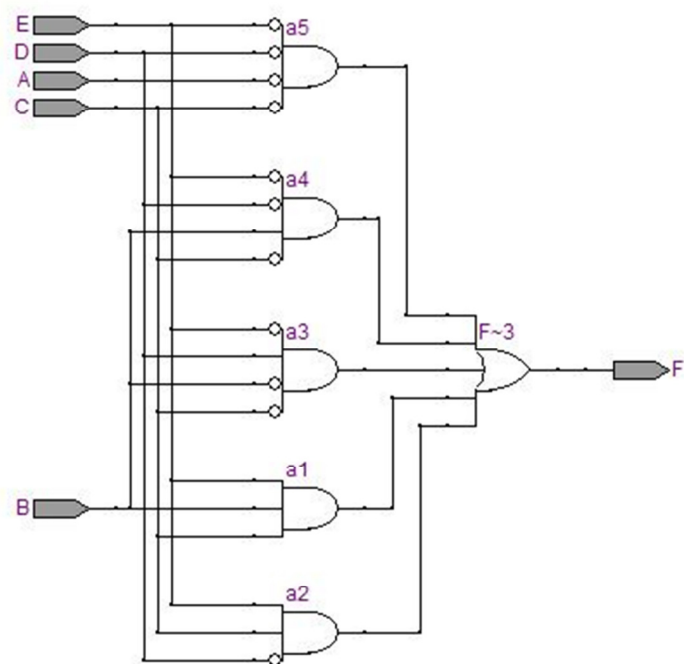
ARCHITECTURE FunctionLab1 OF Laboratorio1 IS
    SIGNAL a1, a2, a3, a4, a5 : STD_LOGIC ;
BEGIN
    F <= a1 OR a2 OR a3 OR a4 OR a5;
    a1 <= B AND C AND E;
    a2 <= C AND (NOT D) AND E;
    a3 <= (NOT B) AND (NOT C) AND D AND (NOT E);
    a4 <= B AND (NOT C) AND (NOT D) AND (NOT E);
    a5 <= (NOT A) AND (NOT C) AND (NOT D) AND (NOT E);
END FunctionLab1;
```

E)

NETLIST gerado a partir do arquivo BDF

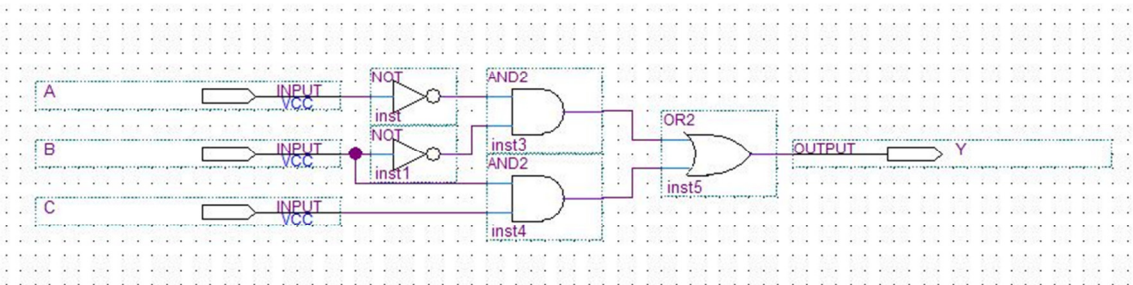


NETLIST gerado a partir do arquivo VHDL



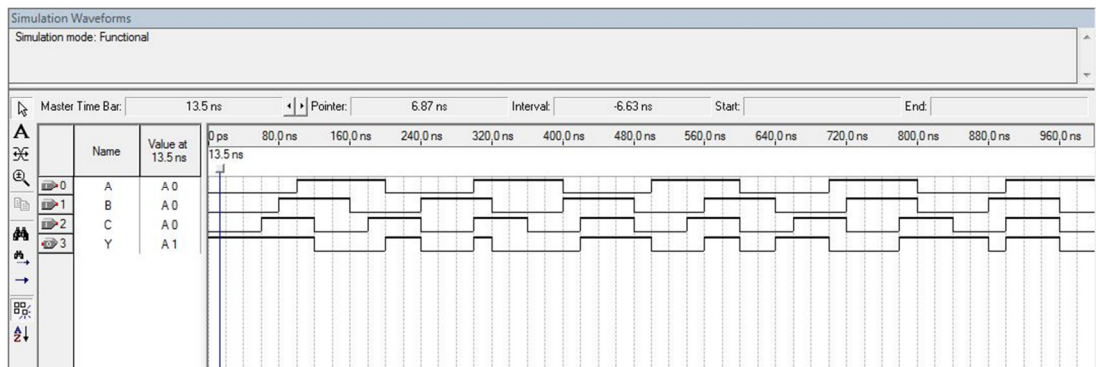
Questão 2.)

A)



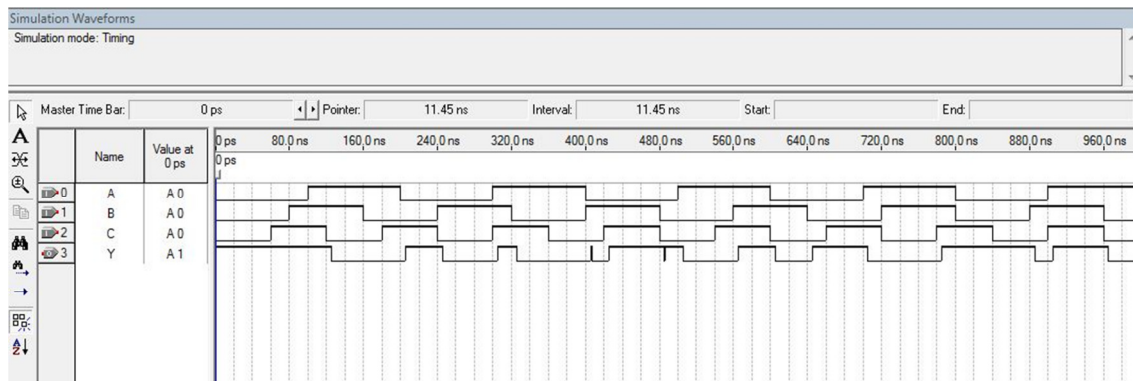
B)

Exemplo da simulação em modo funcional – sem atraso



C)

Exemplo da simulação em modo timing – com atraso



Diferente do que era esperado para o modo funcional, onde não há atrasos de propagação, pode-se notar, em dois pontos, que houve aparecimento de Hazards (Glitches). Em um deles o atraso de propagação provocou um pico instantâneo para cima (pico alto, $V = V_{dd}$) e no outro um pico instantâneo para baixo (pico baixo, $V = 0$).

D)

O aparecimento de HAZARDS deve-se à diferença no tempo de propagação da mudança de sinal. Essa mudança, ao percorrer diferentes caminhos no circuito, sofrem diferentes atrasos que, ao chegar à saída, pode gerar resultados temporários misturando-se o sinal antigo de uma das portas com o novo sinal.

No exemplo desse exercício, vê-se que a diferença na propagação do sinal B quando passa pela porta lógica (NOT) e quando vai primeiramente para a porta logica (AND) provoca um pico forçando o sinal de saída para cima, quando da subida do sinal B, seguida pelo abaixamento instantâneo na medida em que o sinal oriundo do outro caminho chega ao final. O mesmo efeito acontece em seguida, na queda do sinal B, provocando um pico para baixo na saída sendo rapidamente complementada com o sinal oriundo do outro caminho.