

Práctica 3 Núcleo del camino de datos de un procesador y buffer circular

Nombre y Apellidos	Victor Correal Ramos
Nombre y Apellidos	Carlos Rodríguez Martínez

Numero de grupo de laboratorio	1
--------------------------------	---

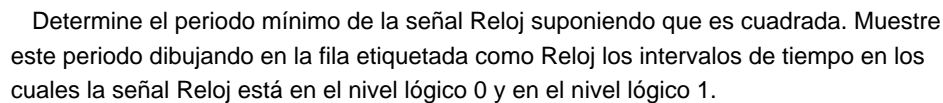
Preguntas

En la siguiente tabla se indican los tiempos de retardo de los distintos elementos incluidos en el núcleo del camino de datos de un procesador (página 186).

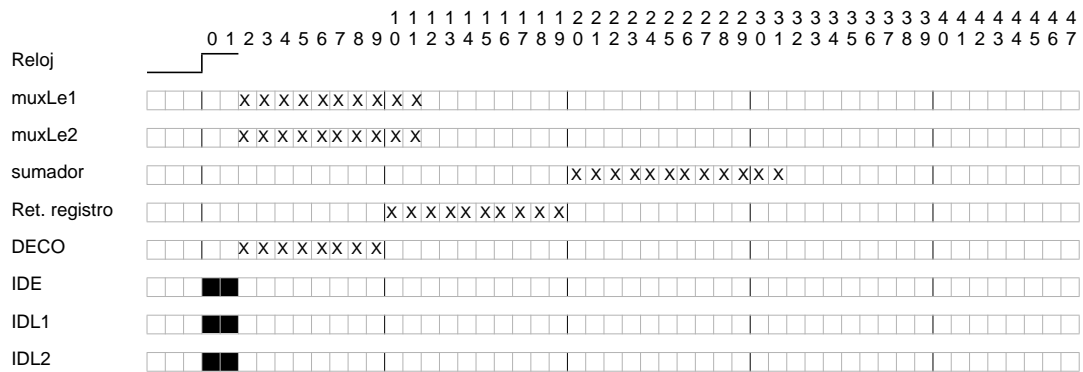
Componentes	Elementos	retardo (ns)
Banco de registros	Decodificador (DECO)	$t_{deco} = 8$
	Multiplexor (muxL)	$t_{muxL} = 10$
	Registro	$t_p = 14$
	Multiplexor (muxE)	$t_{muxE} = 0$
	puerta AND	$t_{AND} = 0$
Sumador		$t_{sum} = 16$
Generador de identificadores de registro		$t_{cont} = 2$

- 1 Considere el proyecto del diseño del banco de registros (página 185). Entregue una copia de la ventana temporal de la simulación que muestre el retardo de los componentes del Banco de registros involucrados en una operación de lectura por el puerto 1. Muestre en el mismo diagrama los retardos de los componentes involucrados en una operación de escritura. Para ello, modifique el programa de prueba si es necesario. Utilice los cursores para mostrar los retardos.

3 Suponga la secuencia de operaciones independientes (página 186). Marque, oscureciendo las casillas, los retardos de cada componente para el segundo ciclo de la secuencia de operaciones ($IDL1 = 1$, $IDL2 = 10$, $IDE = 19$). El retardo de un componente se empieza a marcar a partir del instante de tiempo en el cual todas las señales de entrada, que determinan el valor de su salida, son válidas. En un ciclo de la señal Reloj, entendemos que una señal es válida a partir del instante de tiempo en que no se modifica.



- 4 Suponga la secuencia de operaciones dependientes (página 186). Marque, oscureciendo las casillas, los retardos de cada componente para el segundo ciclo de la secuencia de operaciones (IDL1 = 1, IDL2 = 10, IDE = 10).



Determine el periodo mínimo de la señal Reloj suponiendo que es cuadrada. Muestre este periodo dibujando en la fila etiquetada como Reloj los intervalos de tiempo en los cuales la señal Reloj está en el nivel lógico 0 y en el nivel lógico 1.

Tiempo de ciclo mínimo (ns)

- 5 Entregue una copia del contenido de la ventana temporal que se obtiene con Modelsim cuando el camino de datos procesa la secuencia de operaciones dependientes (página 186). El objetivo es mostrar que el periodo del reloj es correcto. Por tanto, en la ventana de tiempo se debe poder identificar claramente el periodo de la señal de reloj. Identifique en el cronograma el ciclo correspondiente a la segunda operación y muestre los retardos de los componentes mediante cursores.

Las siguientes preguntas se corresponden con el diseño del Buffer circular (página 197).

- 6 En el programa de prueba asociado al diseño del elemento de acceso al banco de registros del buffer circular (página 205) se planifican 4 acciones de escritura. Sin embargo, al final de la simulación se observa que el valor del puntero cola es 5, por tanto, se efectúan 5 escrituras. Justifique este comportamiento. Analice los procesos estímulos y gen_reloj del programa de prueba y los procedimientos involucrados.

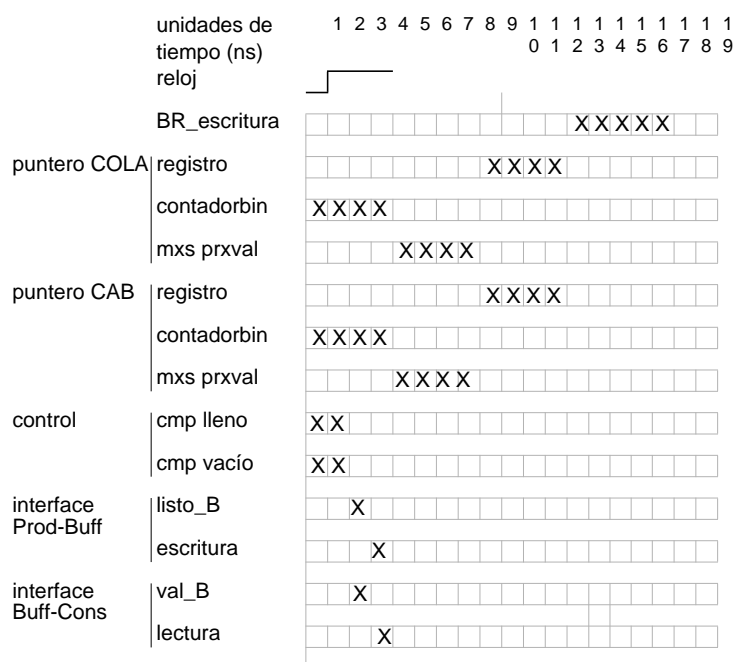
Justificación

Porque la última instrucción del proces estímulo que es condesclec, activa la señal de escritura y se queda activada hasta que la señal final sea 1, y por lo tanto parece que haya una escritura más, pero simplemente es porque se queda activada un ciclo más.

En la siguiente tabla se indican los tiempos de retardo de los distintos elementos incluidos en el buffer circular ("Implementación del buffer circular. Elementos constituyentes." en la página 203).

Componentes		retardo (ns)
Banco de registros	BR_escritura: actualización de la entrada que indica cola	5
puntero	registro	4
	contador binario	4
	multiplexor	2
control	comparador	2
interface	puertas	1

7 Indique el retardo necesario en una acción de actualización del buffer circular. Considere el diseño que no utiliza todas las entradas.



Retardo actualización buffer circular (ns)	17 ciclos
--	-----------

Las dos siguientes preguntas corresponden al diseño del buffer cuando se utilizan todas las posiciones de almacenamiento del banco de registros (página 209).

- 8 Entregue una copia del esquema RTL de la unidad de control del buffer (página 210) efectuada por Quartus. Identifique en el esquema la lógica de próximo estado del autómata.
- 9 Entregue una copia del contenido de la ventana de tiempo que se obtiene con Modelsim al simular el buffer circular con el programa de prueba. Identifique en el diagrama temporal (página 208) los 3 casos: 1) lectura y escritura concurrente; 2) buffer lleno con escritura pendiente; 3) buffer vacío con lectura pendiente. Para ello, modifique el programa de prueba si es necesario. Muestre un ciclo para cada caso. Utilice la funcionalidad de los cursores de Modelsim.

