

ARQUITECTURA DE COMPUTADORES II

Junio de 2020

Duración: 3 horas como máximo.

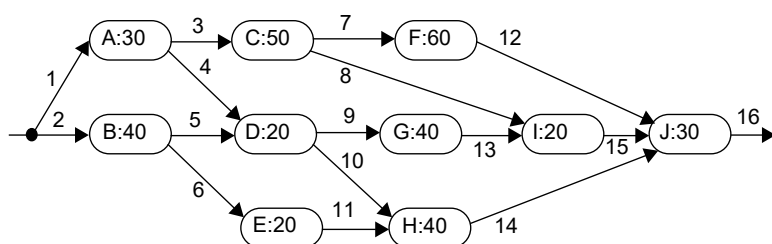
Publicación de notas: 24 - junio - 2020

Revisión: 25 - junio - 2020 (correo electrónico y en su caso videoconferencia)

NOTA: el valor final de un cálculo debe ir acompañado de las unidades, si es el caso. Los valores numéricos deben expresarse en notación científica y con redondeo al número más próximo en las centésimas.

EJERCICIO 1: (2 puntos)

Considere el siguiente circuito donde se muestran bloques combinatoriales y el flujo de información entre bloques, el cual es de izquierda a derecha. Así mismo, dentro de cada bloque, se ha anotado la latencia en picosegundos. El ordinal en el enlace entre dos bloques se utiliza para identificar el camino cuando se solicite.



Pregunta a: ¿Cuál es la latencia del circuito no segmentado en picosegundos?. Identifique en la siguiente tabla, mediante una cruz, los bloques incluidos en el camino crítico.

Bloques	A	B	C	D	E	F	G	H	I	J

Suponga que el retardo de almacenamiento en los registros de desacoplo es cero.

Pregunta b: ¿Cuál es la máxima productividad, en giga-operaciones por segundo, que se puede obtener al segmentar el circuito?.

En las siguientes preguntas un bloque debe incluirse en la primera etapa en la que pueda ubicarse. Recuerde que el flujo de información es de izquierda a derecha.

Pregunta c: Muestre una organización segmentada que maximice la productividad.

Pregunta d: Muestre una organización segmentada que minimice el número de etapas y mantenga una productividad de al menos una operación cada 85 ps.

Entre dos etapas puede haber varios flujos de información. Cada uno de ellos requiere de un registro de desacoplo. Este registro de desacoplo transfiere la información, que hay en la entrada, a la salida en el flanco ascendente de la señal de reloj. Suponga la segmentación que se muestra a la derecha.

	bloques
1ª etapa	A, B, D, G
2ª etapa	C, F, E
3ª etapa	H, I, J

Pregunta e: Indique los registros de desacoplo. Para ello utilice los ordinales

con los cuales están etiquetadas las conexiones entre los bloques. Dado un ordinal indique si hay ubicados registros de desacoplo en la conexión. Para los registros de desacoplo de salida de la 1ª etapa se utiliza el acrónimo R1 y para los registros de desacoplo de la 2ª etapa el acrónimo R2. Marque la ubicación de un registro con una cruz en la siguiente tabla.

	ordinales	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
Registros	R1																
	R2																

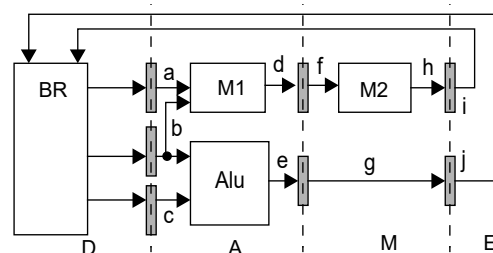
EJERCICIO 2: (3 puntos)

Tenemos un procesador segmentado lineal, donde los accesos a memoria tardan 2 ciclos y están totalmente segmentados, con las etapas que se muestran en la parte izquierda de la siguiente figura. En este procesador distinguiremos los 3 tipos de instrucciones de lenguaje máquina que se muestran en la parte derecha de la siguiente figura.

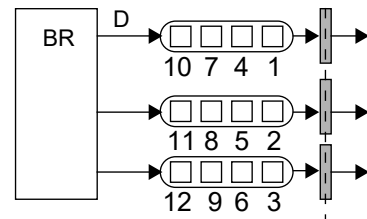
ETAPA	FUNCIONALIDAD	Tipo	Descripción
CP	determinar la dirección de la instrucción	oper Ri, Rk, Rj	$Ri \leftarrow Rk \text{ op } Rj$
B	búsqueda de la instrucción	load Ri, Rk, Rj ($Ri < Rk$)	1) $Ri \leftarrow \text{Mem}(Rk)$ 2) $Rk \leftarrow Rk + Rj$
DL	decodificación, detección de riesgos, lectura de operandos en registros	store Ri, Rk, Rj	1) $\text{Mem}(Rk) \leftarrow Ri$ 2) $Rk \leftarrow Rk + Rj$
A / M1	operación aritmética o lógica, 1ª etapa del acceso a memoria (etiquetas)		
M2	2ª etapa del acceso a memoria (datos)		
E	escritura en el banco de registros		

La figura ubicada a la derecha muestra el camino de datos, que no incluye las etapas CP y B.

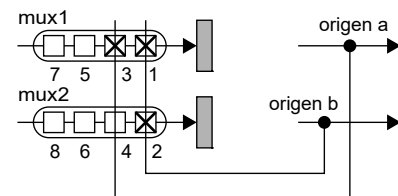
- La unidad funcional ALU efectúa todas las operaciones de cálculo.
- La unidad memoria se utiliza en las instrucciones load y store y está segmentada en 2 etapas M1 y M2.
- El banco de registros BR dispone de 3 caminos de lectura y 2 caminos de escritura. El BR permite escribir y leer, en este orden, un registro en un mismo ciclo.



En un diseño denominado A, la situación de los multiplexores de cortocircuito está preestablecida al final de la etapa D, tal como se muestra en la figura que se ubica a la derecha. Los ordinales se utilizan para identificar una entrada en el multiplexor.



Cuando se solicite, es necesario indicar claramente el origen (•) y el destino (X) de los cortocircuitos. En el ejemplo ubicado a la derecha: mux1 es un multiplexor donde llegan 2 cortocircuitos (de origen a y origen b) y mux 2 es un multiplexor donde sólo llega el cortocircuito con origen b. Cada multiplexor selecciona entre la salida del banco de registros y hasta 4 cortocircuitos. Otra alternativa para identificar los cortocircuitos es emparejar las letras con las cuales han sido etiquetados los cables en el camino de datos y los ordinales con los cuales se identifican las entradas de los multiplexores (fuente [letra], destino [ordinal]).



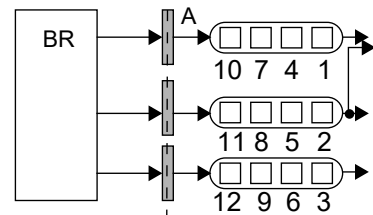
Disponemos información de retardos que se muestra en la parte derecha.

Pregunta a: En el diseño denominado A, dibuje o identifique los cortocircuitos necesarios para minimizar los bloqueos debidos a dependencias de datos.

Pregunta b: Las etapas que influyen en el tiempo de ciclo son D, A y M. En el diseño denominado A, calcule el tiempo que necesita cada etapa y el tiempo de ciclo mínimo del procesador.

Componente	retardo
Banco de registros	suministra los datos necesarios 55 nanosegundos después de iniciarse el ciclo
Registro de desacoplo	10 nanosegundos
Multiplexor	15 nanosegundos
ALU	30 nanosegundos
M1	40 nanosegundos
M2	50 nanosegundos
Detección y gestión de riesgos	cero

Para reducir el tiempo de ciclo, se propone situar los multiplexores de cortocircuito al principio de la etapa A, tal como se muestra en la siguiente figura. A este diseño lo denominamos B.



Pregunta c: Para el diseño B, dibuje o identifique los cortocircuitos necesarios para minimizar los bloqueos debidos a dependencias de datos.

Pregunta d: Para el diseño B, calcule el tiempo de cada etapa y el tiempo de ciclo mínimo.

Pregunta e: Una vez se dispone de los cortocircuitos en el diseño B, justifique si se pueden producir ciclos perdidos por riesgos de datos. Si es el caso, indique una secuencia de 3 instrucciones, como máximo, donde se pierdan ciclos.

Pregunta f: Indique el número de comparadores que son necesarios para gestionar los cortocircuitos en el diseño A. Justifique la respuesta.

Pregunta g: Un ingeniero ha diseñado el control de los cortocircuitos para el diseño A. Ahora, bien, la decisión final es utilizar el diseño B. ¿Es factible en el diseño B utilizar como punto de partida para controlar los cortocircuitos el control diseñado para el diseño A? Si es el caso, indique cuál es la modificación necesaria. Esta modificación debe ser externa al diseño base (o de partida), el cuál se considera una caja negra. Esto es, las entradas y salidas de la caja negra no se modifican. Justifique la respuesta.

EJERCICIO 3: (2 puntos)

En la figura ubicada a la derecha se muestra la segmentación en etapas del proceso de interpretación de las instrucciones en un procesador.

ciclos	1	2	3	4	5	6
etapas	CP	B	D/L	A	M	ES

La funcionalidad de las etapas y recursos básicos se describen en la siguiente tabla.

ETAPA	FUNCIONALIDAD	RECURSOS
CP	determinar el CP	sumador
B	búsqueda de la instrucción	memoria de instrucciones (MI)
D/L	decodificación, lectura de registros	decodificador, 2 caminos de lectura al banco de registros
ALU	operación aritmético-lógica	ALU
M	acceso a memoria de datos	memoria de datos (MD)
ES	escritura en el banco de registros	1 camino de escritura al banco de registros

El conjunto de instrucciones del procesador puede interpretarse sin que se produzcan riesgos estructurales. En el mismo ciclo se puede escribir y leer, en este orden, un registro del banco de registros. Las instrucciones de secuenciamiento actualizan el registro CP en la etapa ES.

Suponga la secuencia de instrucciones que se muestra a la derecha.

```
1$: load R1, 0(R2)
    cmpeq R4, R1, R6
    add R2, R2, #8
    beq R4, 1$
```

La instrucción `cmpeq` es de tipo ENT y utiliza la ALU para efectuar la comparación. La semántica se muestra a la derecha. El contenido del registro `ra` se

cmpeq rc, ra, rb: comparación de igualdad.
`cmpeq if (raV = rbV) then rcV = 1`
`else rcV = 0`

compara con el contenido del registro `rb`, interpretando ambos contenidos como números enteros. Si la relación especificada en la instrucción se cumple, se almacena el valor 1 en el registro `rc`, en caso contrario se almacena el valor 0 en el registro `rc`.

Pregunta a: Dibuje un diagrama temporal que muestre la interpretación de una iteración del bucle y la 1ª instrucción de la siguiente iteración. En el diagrama temporal debe mostrarse la inyección de instrucciones `nop` cuando se gestiona un riesgo. Indique los ciclos perdidos por cada tipo de riesgo y calcule el CPI de una iteración.

El computador donde se ejecuta el programa funciona a una frecuencia de 500 Mhz y consume una potencia de 30 W (vatios). La batería que alimenta al procesador suministra 1 A · H (amperios por hora) a 5 voltios.

Pregunta b: Calcule la energía de la batería.

Pregunta c: Calcule la energía consumida por el procesador en un ciclo.

Pregunta d: ¿Cuántas iteraciones del bucle se pueden ejecutar antes de que la carga de la batería se reduzca a la mitad?. Exprese el resultado en millones de iteraciones.

EJERCICIO 4: (3 puntos)

Un procesador, que interpreta las siguientes instrucciones

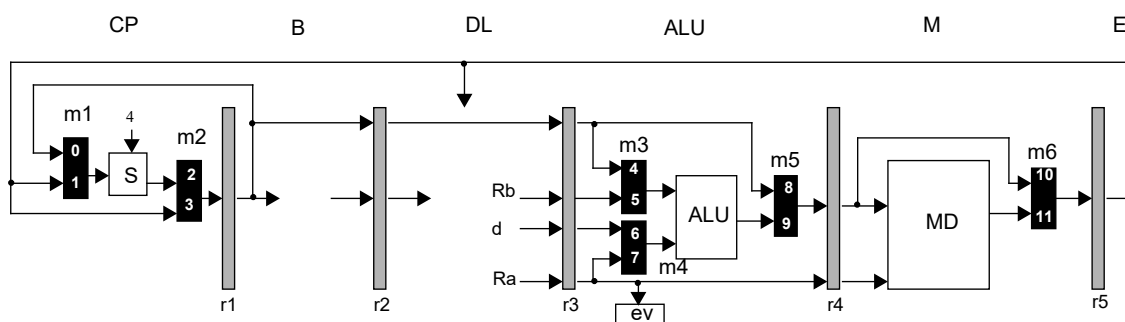
INT: $R_c = R_a \text{ op } R_b$
 Load: $R_c = \text{Mem}[R_b + d]$
 Store: $\text{Mem}[R_b + d] = R_a$
 Br: if cond (Ra) then PC = PC + d; else PC = PC + 4

está segmentado linealmente en 6 etapas:

ETAPA	FUNCIONALIDAD
CP	determinar la dirección de la instrucción
B	búsqueda de la instrucción
DL	decodificación, detección de riesgos, lectura de operandos en registros
ALU	operación aritmético-lógica (INT), o cálculo de la dirección efectiva (Load/store), o evaluación de la condición, cálculo de la dirección destino y selección de la dirección (Br)
M	acceso a memoria (Load, Store)
E	escritura en el banco de registros (INT, Load) y en el CP (Br)

El banco de registros permite la escritura y la lectura, en este orden, de un mismo registro en un ciclo de reloj. El camino de datos dispone de recursos suficientes para que no se produzcan riesgos estructurales.

La figura muestra el Camino de Datos del procesador (no se muestran en detalle las etapas B, DL y E). Tampoco se muestran los multiplexores que permiten retener la información o inyectar una instrucción nop en los registros de desacoplo).



Pregunta a: Indique las entradas de los multiplexores del camino de datos que hay que seleccionar para cada tipo de instrucción en los ciclos 4, 5 y 6 del proceso de interpretación. Por ejemplo, para una instrucción Store, donde la marca x denota indistinto:

	ciclo 4			5	6	
Instrucción	m3	m4	m5	m6	m1	m2
Store	5	6	9	x	0	2

Supongamos que el retardo de propagación (en ps) de los componentes mostrados en el camino de datos es

Componente	retardo
S:	150 (sumador)
ALU:	200 (unidad aritmético-lógica)
EV:	100 (evaluador de condiciones)
MD:	350 (memoria de datos)
mx:	100 (multiplexor)
ri:	50 (registro de desacoplo, donde r1 es el registro CP)
decodificadores y circuitos que generan señales de control: 0	

Pregunta b: Calcule el tiempo de etapa máximo y mínimo de CP, ALU y M. Considerando sólo las etapas CP, ALU y M, calcule el tiempo de ciclo de reloj.

En la etapa DL se detectan los riesgos de datos y de secuenciamiento. Cuando se detecta un riesgo de datos, la lógica de control bloquea la interpretación de las instrucciones que están en las etapas DL, B y CP mientras perdura el riesgo. En caso de riesgo de secuenciamiento, la lógica de control descarta las instrucciones buscadas hasta que se actualiza el Contador de Programa con la dirección de la siguiente instrucción.

El procesador ejecuta el siguiente programa, que localiza el elemento máximo de una lista.

```

for (; p!=NULL; p=p->next)
{
    if (p->dat > max)
    {
        max=p->dat;
        pos=p;
    }
}

1$: load r2, 8(r0)      ;r2 ← mem[r0+8]
    cmpgt r3, r2, r1    ;r3 ← (r2 > r1)
    beq r3, 2$          ;si (r3=0) saltar a 2$
    add r1, r2, r10     ;r1 ← r2
    add r5, r0, r10     ;r5 ← r0
2$: load r0, 0(r0)     ;r0 ← mem[r0+0]
    bne r0, 1$          ;si (r0≠0) saltar a 1$

Valores iniciales:
r0 = dirección del primer elemento de la lista
r1 = 0; r10 = 0

```

Pregunta c: Muestre el cronograma de ejecución de las instrucciones de una iteración entera del bucle y de la primera instrucción de la siguiente iteración, en el caso en que $p \rightarrow \text{dat} > \text{max}$. Identifique los ciclos perdidos en el cronograma e indique cuál es el motivo.

Pregunta d: Calcule el CPI medio suponiendo que la condición $p \rightarrow \text{dat} > \text{max}$ se cumple en el 10% de las iteraciones.