

西安电子科技大学

考试时间 120 分钟

试 题

题号	一	二	三	四	五	总分
分数						

1. 考试形式：闭卷 ☒ 开卷 ☐ ； 2. 本试卷共五大题，满分 100 分；
3. 考试日期：2022 年 月 日；（答题内容请写在装订线外）

一、 单项选择题（在每小题的四个备选答案中选出一个正确的答案，将其序号填写在下面表格中，未填入表格无分。每小题 2 分，共 20 分）

1.	2.	3.	4.	5.
6.	7.	8.	9.	10.

- 下面总线不属于典型 SoC 典型片上总线的是_____。 []
A. AXI 总线 B. AMBA 总线
C. PCI 总线 D. WishBone 总线
- 在元件例化语句中，用_____符号实现名称映射，将例化元件端口声明语句中的信号与 PORT MAP () 中的信号名关联起来。 []
A. = B. :=
C. <= D. =>
- 在 VHDL 编程设计中可使用_____实现不同层次模块之间信息的传递，并且可以从外部改变内部电路结构和规模。 []
A. GENERIC B. ENTITY
C. ARCHITECTURE D. PORT
- 微指令操作控制字段的每一位代表一个控制信号，这种微程序的控制（编码）方式是_____。 []
A. 字段直接编码 B. 直接编码
C. 混合编码 D. 字段间接编码
- VHDL 通过_____实现模块间数据传递。 []
A. 变量 B. 信号
C. 文件 D. 常量

6. 在 CPU 顶层设计过程中，使用以下哪一种 VHDL 描述方式进行设计？ []
- A. 行为描述方式 B. 结构描述方式
C. 数据流方式 D. 状态机方式
7. 在带符号的乘法器设计中，乘法器输出结果的符号位 Sout 是输入的符号位 Sin1 和 Sin2 进行_____操作的结果。 []
- A 相与 B 相或
C 异或 D 同或
8. 在逻辑电路设计过程中，对进程 PROCESS 使用正确的是_____。 []
- A. 一个进程可以同时描述多个时钟信号的同步时序逻辑进
B. 进程语句本身是并行语句
C. 进程之间可以通过变量进行通信
D. 程内部由一组并行语句来描述进程功能
9. 在取指周期中，是按照_____的内容访问程序存储器，以读取指令。 []
- A. 指令寄存器 IR B. 程序状态寄存器 PS
C. 存储器数据寄存器 MDR D. 程序计数器 PC
10. 若在 8 位 CPU 中程序指针的位宽为 15 位，则程序存储器的容量是____。 []
- A. 4KB B. 32KB
C. 8KB D. 256KB

二、VHDL 程序分析题（每小题 10 分，共 20 分）

1. 根据以下程序的分析，回答下列问题。

行号	程序 1 代码
1	library IEEE;
2	use IEEE.STD_LOGIC_1164.ALL;
3	use IEEE.STD_LOGIC_ARITH.ALL;
4	use IEEE.STD_LOGIC_UNSIGNED.ALL;
5	entity fre_div is
6	Port (clk : in STD_LOGIC;
7	rst : in STD_LOGIC;
8	clk_out : out STD_LOGIC);
9	end fre_div;
10	architecture Behavioral of fre_div is
11	signal cntA,cntB:integer range 0 to 6;
12	signal clk1,clk2:std_logic;
13	begin
14	clk_B1:process(clk,rst)
15	begin
16	if(rst='1') then
17	cntA<=0;
18	clk1<='0';

19	clk2<='0';
20	else
21	if(clk'event and clk='1') then
22	if(cntA<6) then
23	①_____;
24	else
25	cntA<=0;
26	end if;
27	if(cntA<3) then
28	clk1<='1';
29	else
30	②_____;
31	end if;
32	end if;
33	end if;
34	end process;
35	clk_B2:process(clk,rst)
36	begin
37	if(rst='1') then
38	cntB<=0;
39	clk2<='0';
40	else
41	if(③_____)
42	if(cntB<6) then
43	cntB<=cntB+1;
44	else
45	cntB<=0;
46	end if;
47	if(④_____)
48	clk2<='1';
49	else
50	clk2<='0';
51	end if;
52	end if;
53	end if;
54	end process;
55	clk_out<=⑤_____;
56	end Behavioral;
57	

(1) (4 分) 请问程序 1 实现了什么功能？

(2) (10 分) 请补充完成①②③④⑤处所缺少的代码。

2. (6分) 请根据以下程序的分析, 画出状态转换图。

行号	程序 2 代码
1	library IEEE;
2	use IEEE.STD_LOGIC_1164.ALL;
3	entity s_machine is
4	port(clk,reset: in std_logic;
5	inputs : in std_logic_vector (0 to 1);
6	outputs : out integer range (0 to 15);
7	end s_machine;
8	architecture behav of s_machine is
9	type states is (s0, s1, s2, s3);
10	signal current_state, next_state: states;
11	begin
12	
13	
14	reg: process (reset, clk) --状态切换
15	begin
16	if reset = '1' then current_state <= s0;
17	elsif clk='1'and clk'event then
18	current_state <= next_state;
19	end if;
20	end process;
21	com:process(current_state, inputs)--下一状态、
22	begin
23	case current_state is
24	when s0 => outputs<= 5 ;
25	if inputs="00" then next_state<=s0;
26	else next_state<=s1;
27	end if;
28	
29	when s1=> outputs<=8;
30	if inputs="00" then next_state<= s1;
31	else next_state<=s2;
32	end if;
33	when s2=> outputs<=12;
34	if inputs="11" then next_state<=s0;
35	else next_state<= s3;
36	end if;
37	when s3=> outputs<=14;
38	if inputs="11" then next_state <=s3;
39	else next state <=s0;
40	end if;
41	end case;
42	end process ;
43	end behav;
44	

装

订

线

三、设计分析题（本题共 20 分）

1.（10 分）先进先出队列(FIFO)可以实现数据的有序存储。同步 FIFO 和异步 FIFO 的区别是什么？若要实现一个环形的异步 FIFO 应当包含哪些功能模块？其空满标志如何判断？

2. (10 分) 算术逻辑单元 (ALU) 是处理器的核心。不同的总线结构对 ALU 的性能及实现方式具有重要的影响。

(1) 根据运算器内部总线与构成运算器的基本部件的连接情况, 运算器分为几种基本结构? 每种结构的特点是什么?

(2) 请画出其中一种 ALU 结构图。

四、指令寄存器编程设计（共 20 分）

在机器指令执行过程中，指令寄存器具有重要的作用。若指令集中包含了跳转及函数调用指令，现要设计一个程序存储器为 4KB 的 8 位 CPU，请按照下面需求，完成相关设计。

1. （5 分）该 CPU 所包含的程序指针的地址是多少位？应当包含哪些基本功能？

2. （15 分）指令寄存器应当包括哪些基本的功能？若数据存储器为 256 字节，采用 8 位定长指令码进行 CPU 设计，其中指令操作码为 6 位，后两位为寄存器地址。请使用硬件描述语言设计一个指令寄存器，其输入输出信号如下。编程要求写出完整的实体及结构体实现部分。

输入信号：时钟信号 `clk_IR`；复位信号 `rst`；输入控制信号 `LD_IR1`，`LD_IR2`，

`LD_IR3`；RAM 地址输出使能信号 `nAren`；

输出信号：指令编码 `IR(7 downto 2)`；程序指针地址 `PC(11 downto 0)`；

RAM 地址 `AR(7 downto 0)`；

源寄存器 `RS`；目的寄存器 `RD`；

双向信号：数据总线 `data(7 downto 0)`。

装

订

线

五、存储器设计（共 20 分）

1.（6 分）存储器是 SoC 系统的重要组成部分。CPU 的程序存储器和数据存储器可采用哪种存储器来实现。它们有哪些区别？

2.（14 分）请使用硬件描述语言设计一个存储深度和数据宽度可以配置的 RAM 存储器，其输入输出信号如下：

输入信号：时钟信号 `clk`；异步复位信号 `rst`；片选信号 `cs`；读写控制信号 `rd` 和 `wr`；

地址 `addr(M-1 downto 0)`

输入输出信号：双向数据总线 `data_out(N-1 downto 0)`；

功能要求：

- （1） 复位信号 `rst` 低电平有效时，RAM 内部数据清零；
- （2） 读写操作必须在片选信号 `cs` 低电平有效时进行；
- （3） 读信号 `rd` 低电平有效时，进行存储器读操作；
- （4） 写信号 `wr` 低电平有效时，进行存储器写操作。

