



Práctica 6

Procesador: segmentación lineal con cortocircuitos

.....


| | |
|--------------------|--|
| Nombre y Apellidos | |
| Nombre y Apellidos | |

| | |
|--------------------------------|--|
| Número de grupo de laboratorio | |
|--------------------------------|--|


Preguntas

Para todos los módulos que se solicita un diseño, el cual deba incluirse en el camino de datos para comprobar el funcionamiento del procesador, en la distribución del proyecto está incluido el fichero correspondiente, con la declaración de la interface y si es el caso, la sentencias concurrentes que especifican el retardo. No debe modificarse la interface ni la especificación de los retardos.

- 1 Diseñe el módulo LATPROH utilizando el menor número posible de registros y puertas lógicas, limitando el número de entradas de las puertas a 2. Justifique el diseño de forma sucinta y sistemática.

| Módulo LATPROH | Justificación |
|---|---------------|
|  | |

- | Módulo LDC | Justificación |
|------------|---------------|
| IDL1A | C1L1 |
| IDL2A | C1L2 |
| IDL1M | C2L1 |
| IDL2M | C2L2 |
| IDL1F | C3L1 |
| IDL2F | C3L2 |
| IDL1E | C4L1 |
| IDL2E | C4L2 |

- | Módulo LDRD | | Justificación |
|-------------|---|---------------|
| latphA |  | |
| latphM | | |
| IDL1A | | |
| IDL2A | | |
| IDL1M | | |
| IDL2M | | |

1. Tenga en cuenta que los multiplexores de cortocircuito están ubicados en las etapas DL y ALU. Por tanto, para determinar los cortocircuitos utilizados por una instrucción debe analizar al menos 2 ciclos consecutivos. El modelo de referencia determina las señales de control de los cortocircuitos independientemente de si hay que bloquearse debido a un riesgo de datos. Por tanto, las eventuales discrepancias en las salidas de los módulos LDC durante los ciclos de bloqueo deben ignorarse (página 453).

- 5 La siguiente tabla relaciona las entradas y las salidas de la lógica de interbloques LIBC durante 8 ciclos consecutivos. Suponga que en el ciclo 1 la etapa DL está ocupada por la instrucción “lw x3, 0(x1)” y que las etapas posteriores procesan datos inválidos. Deduzca una posible secuencia de las instrucciones que ocupan la etapa DL durante los siguientes 7 ciclos.

| ciclo | instrucción DL | Salidas control Cortocircuitos | | | | | | | | Salidas LGR | | | |
|-------|----------------|--------------------------------|------|------|------|------|------|------|------|-------------|----------|-------|-----------|
| | | C1L1 | C2L1 | C3L1 | C4L1 | C1L2 | C2L2 | C3L2 | C4L2 | CP bloq | BDL bloq | inyec | DLA inyec |
| 1 | lw x3, 0(x1) | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 2 | | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 |
| 3 | | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 |
| 4 | | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 5 | | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 6 | | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 7 | | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 8 | | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |

- 6 Para facilitar el cálculo del tiempo de ciclo utilizaremos un cronograma donde se representa el retardo de cada elemento del camino de datos. En el cronograma se han tenido en cuenta las etapas para agrupar los componentes del camino de datos. En la tabla siguiente se muestran los acrónimos utilizados para denominar los componentes del camino de datos. Todos deben interpretarse como el retardo del componente. Algunos componentes están incluidos dentro de un módulo que se visualiza, por ejemplo, el decodificador del identificador del registro cuando se escribe en un registro del banco de registros. Los retardos de los componentes utilizados se detallan en los apéndices de la documentación denominados “Retardos”, excepto los componentes de la lógica de interbloques LCIB. Estos retardos no son representativos de un diseño. Solo son de utilidad para efectuar los cálculos de retardo que se soliciten. Para los

componentes de la LCIB suponga los retardos indicados en la tabla.

| | | |
|------|-----------|---|
| ES | FE | |
| | retBRE | Retardo en la actualización de un registro del banco de registros |
| FMTL | MF | Registro de desacoplo de entrada de la etapa FMTL |
| | decBRE | Decodificador del puerto de escritura del banco de registros. No está representado en las figuras |
| | FMTL | Módulo para formatear el dato con el cual se actualiza el banco de registros |
| | mES | Multiplexor en la etapa ES |
| MD | AM | Registro de desacoplo de entrada de la etapa M |
| | MDE | Retardo de escritura en memoria |
| | MDL | Retardo de lectura en memoria |
| ALU | DLA | Registro de desacoplo de entrada de la etapa ALU |
| | C2L1/C2L2 | Multiplexores de cortocircuito |
| | C2L1/C2L2 | Multiplexores de cortocircuito |
| | mL1 | Multiplexor para seleccionar el operando a que utiliza la etapa ALU |
| | mL2 | Multiplexor para seleccionar el operando b que utiliza la etapa ALU |
| | ALU | Módulo ALU |
| | FMTE | Módulo para formatear el dato con el cual se actualiza memoria |
| | excepMD | Lógica de excepción |
| | decoMD | Decodificador de la dirección de memoria |
| | USE | |
| | mSI | Multiplexor |
| | SEVAL | Unidad de evaluación de la condición |
| | + | Sumador |
| | DECS | Módulo de secuenciamiento condicional |
| | mSIC | Multiplexor |

| | | |
|-----|-----------------|---|
| DL | BDL | Registro de desacoplo de entrada de la etapa DL |
| | UretBRL | Retardo en la lectura de un registro del banco de registros |
| | C4L1/C4L2 | Multiplexores de cortocircuito |
| | C3L1/C3L2 | Multiplexores de cortocircuito |
| | deco | Retardo del decodificador |
| | FMTD | Formateador del campo literal en la UC |
| | USE | Formateador del campo literal en la USE |
| | LCIB | |
| L | RD ^a | Riesgos de datos y cortocircuitos |
| | RS | Riesgos de secuenciamiento |
| | LGR | Lógica de Gestión |
| BUS | CP | Registro CP |
| | MI | Retardo de lectura de la memoria de instrucciones |
| CP | + | Sumador |
| | mescuseg | Multiplexor cuya salida es entrada en el registro CP |
| | decoMI | Decodificador de la dirección de memoria |
| | excepMI | Lógica de excepción |

a. Retardos de la LCIB:
retRD = 4 ns; retRS = 2 ns; retLGR = 1 ns.

Indique el retardo de cada etapa y el tiempo de ciclo mínimo.

| | etapa | | | | | | |
|----------------------|-------|---|----|---|---|---|---|
| | CP | B | DL | A | M | F | E |
| Tiempo de etapa (ns) | | | | | | | |
| Tiempo de ciclo (ns) | | | | | | | |

| | | | | | | | | | | | | | | | | | | |
|-------|-------------|----|---|---|---|---|----|---|---|---|----|----|----|----|----|----|----|----|
| | | ns | 0 | | | | 10 | | | | 20 | | | | 30 | | | |
| | | | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 |
| reloj | | | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 |
| ES | FE | | | | | | | | | | | | | | | | | |
| | retBRE | | | | | | | | | | | | | | | | | |
| FMTL | MF | | | | | | | | | | | | | | | | | |
| | decBRE | | | | | | | | | | | | | | | | | |
| | FMTL | | | | | | | | | | | | | | | | | |
| | mES | | | | | | | | | | | | | | | | | |
| MD | AM | | | | | | | | | | | | | | | | | |
| | MDE | | | | | | | | | | | | | | | | | |
| | MDL | | | | | | | | | | | | | | | | | |
| ALU | DLA | | | | | | | | | | | | | | | | | |
| | C2L1/C2L2 | | | | | | | | | | | | | | | | | |
| | C1L1/C1L2 | | | | | | | | | | | | | | | | | |
| | mL1 | | | | | | | | | | | | | | | | | |
| | mL2 | | | | | | | | | | | | | | | | | |
| | ALU | | | | | | | | | | | | | | | | | |
| | decoMD | | | | | | | | | | | | | | | | | |
| | excepMD | | | | | | | | | | | | | | | | | |
| | FMTE | | | | | | | | | | | | | | | | | |
| | U mSI | | | | | | | | | | | | | | | | | |
| | S EVAL | | | | | | | | | | | | | | | | | |
| | E + | | | | | | | | | | | | | | | | | |
| | DECS | | | | | | | | | | | | | | | | | |
| | mSIC | | | | | | | | | | | | | | | | | |
| DL | BDL | | | | | | | | | | | | | | | | | |
| | U retBRL | | | | | | | | | | | | | | | | | |
| | C C4L1/C4L2 | | | | | | | | | | | | | | | | | |
| | + C3L1/C3L2 | | | | | | | | | | | | | | | | | |
| | U deco | | | | | | | | | | | | | | | | | |
| | S FMTD | | | | | | | | | | | | | | | | | |
| | E FMTS | | | | | | | | | | | | | | | | | |
| | L RD | | | | | | | | | | | | | | | | | |
| | C RS | | | | | | | | | | | | | | | | | |
| | I LGR | | | | | | | | | | | | | | | | | |
| BUS | CP | | | | | | | | | | | | | | | | | |
| | MI | | | | | | | | | | | | | | | | | |
| CP | + | | | | | | | | | | | | | | | | | |
| | msecuseg | | | | | | | | | | | | | | | | | |
| | decoMI | | | | | | | | | | | | | | | | | |
| | excepMI | | | | | | | | | | | | | | | | | |

- 7** Utilice el programa `char_sort` (Simulación en la página 422). Añada un proceso al programa de prueba (`ENSAMBLADO/PRUEBAS/prueba_Rproc_MD_MI_C.vhd`) para obtener las métricas indicadas en la tabla. Compare el rendimiento del procesador con cortocircuitos respecto del procesador segmentado sin cortocircuitos.

| | Procesador segmentado CON cortocircuitos | Procesador segmentado SIN cortocircuitos |
|--|---|---|
| Ciclos perdidos por riesgos de datos | | |
| Ciclos perdidos por riesgos de secuenciamiento | | |
| Ciclos de ejecución | | |
| Tiempo de ciclo (ns) | | |
| Ganancia | | |

- 8** Considere la unidad de secuenciamiento con reducción de la latencia de la instrucción “jal” (página 432). Diseñe el módulo LDRS utilizando el menor número posible de puertas lógicas, limitando el número de entradas de las puertas a 2. Justifique el diseño de forma sucinta y sistemática.

| Módulo LDRS | Justificación |
|--|---------------|
| <div> <div>opsec(3)</div> <div>opsecA(3)</div> <div>SInCon</div> </div> <div> <div>RS</div> </div> | |

Incluya el diseño en el fichero LDRS_ModSecu_rell.vhd (Organización de los ficheros: reducción de la latencia al ejecutar la instrucción “jal” en la página 473). El proyecto quartus está definido en el subdirectorio PROC_SEG_ModSecu_rell.

Indique, para el programa `fact_recurs`, la reducción en ciclos perdidos por riesgos de secuenciamiento cuando se reduce la latencia al ejecutar una instrucción “jal” (Simulación: reducción de la latencia al ejecutar la instrucción “jal” en la página 469). Para ello, añada un proceso al programa de prueba (`prueba_Rproc_MD_MI_C_ModSecu_rell.vhd`) que cuente los ciclos perdidos debidos a riesgos de secuenciamiento.

| | Ciclos perdidos por riesgos de secuenciamiento | | |
|-------------|--|------------------------------|---------------|
| Programa | Antes de reducir la latencia | Una vez reducida la latencia | Reducción (%) |
| fact_rekurs | | | |

Las siguientes preguntas corresponden a la USE con Predicción de seguir en secuencia en instrucciones de secuenciamiento condicional (página 436).

9 Diseñe el módulo Ersec utilizando el menor número posible de puertas lógicas, limitando el número de entradas de las puertas a 2. Justifique el diseño de forma sucinta y sistemática.

| Módulo Ersec | Justificación |
|---|---------------|
| <div>ErPred — opsec(3) — opsec(2) — opsec(1) — opsec(0) —</div> <div>msecuseg</div> | |

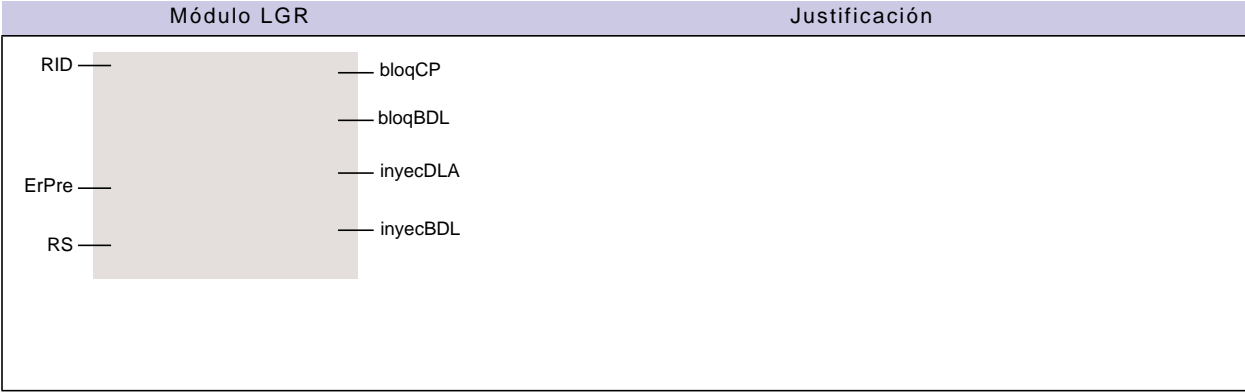
10 Diseñe el módulo Errell utilizando el menor número posible de puertas lógicas, limitando el número de entradas de las puertas a 2. Justifique el diseño de forma sucinta y sistemática.

| Módulo Errell | Justificación |
|--|---------------|
| <div>SinCond — ErPred —</div> <div>mrell</div> | |

11 Diseñe el módulo LDRS utilizando el menor número posible puertas lógicas, limitando el número de entradas de las puertas a 2. Justifique el diseño de forma sucinta y sistemática.

| Módulo LDRS | Justificación |
|--|---------------|
| <div>opsecDL(3) — SCond — opsecA(3) — SConDA — SInCond —</div> <div>RS</div> | |

12 Diseñe el módulo LGR utilizando el menor número posible puertas lógicas, limitando el número de entradas de las puertas a 2. Justifique el diseño de forma sucinta y sistemática.



13 Incluya los diseños anteriores en los ficheros correspondientes (Organización de los ficheros: predicción de seguir en secuencia en la página 483). El proyecto quartus está definido en el subdirectorio PROC_SEG_ModSecu_rell_PreSecu.

Indique para los siguientes programas la reducción en ciclos perdidos por riesgos de secuenciamiento cuando se predice seguir en secuencia (Simulación: predicción de seguir en secuencia en la página 479). Para ello modifique el programa de pruebas. Indique también el número de predicciones y el número de errores de predicción.

| Programa | Ciclos perdidos por riesgos de secuenciamiento | | | | |
|----------|--|--|-----------|--------------|---------|
| | Una vez reducida la latencia (jal) | Una vez reducida la latencia y predicción de seguir en secuencia | Reducción | Predicciones | Errores |
| Euclides | | | | | |
| Sort | | | | | |

14 Observe que los dos mecanismos de predicción fija descritos utilizan la misma unidad de secuenciamiento, solo cambia el control de los multiplexores de encaminamiento de direcciones (página 438, página 442). Indique, para cada mecanismo de predicción, qué multiplexores de la USE se podrían eliminar.

| Predicción | multiplexores que se pueden eliminar | Justificación |
|-----------------------------------|--------------------------------------|---------------|
| fija seguir en secuencia | | |
| fija modificar el secuenciamiento | | |