



Práctica 5

Procesador: segmentación lineal, camino de datos y control

.....

Nombre y Apellidos	
Nombre y Apellidos	


Número de grupo de laboratorio	
--------------------------------	--

Preguntas


Para todos los módulos que se solicita un diseño, el cual deba incluirse en el camino de datos para comprobar el funcionamiento del procesador, en la distribución del proyecto está incluido el fichero correspondiente, con la declaración de la interface y, si es el caso, la sentencias concurrentes que especifican el retardo. No debe modificarse la interface ni la especificación de los retardos.

- 1 Diseñe el módulo LDD utilizando el menor número posible de puertas lógicas y comparadores ("Diseño de la lógica de interbloqueos" en la página 368). Justifique el diseño de forma sucinta y sistemática.

- 3 Diseñe el módulo LDRS utilizando el menor número posible de puertas lógicas, limitando el número de entradas a 2. Justifique el diseño de forma sucinta y sistemática.

Módulo LDRS	Justificación
	

- 4 Diseñe el módulo LGR utilizando el menor número posible de puertas lógicas, limitando el número de entradas a 2. Justifique el diseño de forma sucinta y sistemática.

Módulo LGR	Justificación
	

- 5 En el subdirectorio LIB (Apéndice 5.2) se encuentran los ficheros asociados al diseño de la Lógica de InterBloqueos (proyecto quartus LIB.qpf). Describa en VHDL los 4 módulos anteriores (ficheros LDD.vhd, LDRD.vhd, LDRS.vhd y LGR.vhd), utilizando un modelo estructural. Los ficheros contienen la declaración de la interface. El módulo LDD tiene una estructura regular. Utilice sentencias generate en la descripción VHDL. Entregue el esquema RTL del módulo LDD elaborado por quartus. Compruebe conjuntamente el diseño de los 4 módulos anteriores. El programa de prueba suministrado (prueba_LIB.vhd) compara en cada ciclo las salidas de los módulos diseñados con los respectivos modelos de referencia correctos.
- 6 Utilice el programa euclides para comprobar el funcionamiento del procesador segmentado ("Simulación" en la página 380). Añada un proceso al programa de prueba (ENSAMBLADO/PRUEBAS/prueba_Rproc_MD_MI.vhd) para obtener las métricas indicadas en la tabla. Calcule la Ganancia respecto del procesador serie.

Instrucciones ejecutadas		Instrucciones de secuenciamiento	
Dependencias de datos 4 ciclos de bloqueo		Dependencias de datos 3 ciclos de bloqueo	
Dependencias de datos 2 ciclos de bloqueo		Dependencias de datos 1 ciclo de bloqueo	
Ciclos perdidos por riesgos de datos		Ciclos perdidos por riesgos de secuenciamiento	
CPI		Ganancia	

- 8** Suponga que se modifica el periodo de la señal de reloj para permitir leer en un mismo ciclo el valor con el cual se está actualizando un registro del banco de registros. Deduzca cuál debería ser el tiempo el tiempo de ciclo mínimo.

tiempo de ciclo mínimo (ns)	
-----------------------------	--

Utilizando los resultados de la pregunta 6 para el programa euclides, cuantifique si el rendimiento de esta opción sería mejor.

Instrucciones ejecutadas		Instrucciones de secuenciamiento	
Dependencias de datos 4 ciclos de bloqueo		Dependencias de datos 3 ciclos de bloqueo	
Dependencias de datos 2 ciclos de bloqueo		Dependencias de datos 1 ciclo de bloqueo	
Ciclos perdidos por riesgos de datos		Ciclos perdidos por riesgos de secuenciamiento	
CPI		Ganancia/Pérdida	