

Unidad 3 – El procesador y la memoria

El microprocesador (CPU)

Definición técnica

La **Unidad Central de Proceso (CPU)** es el componente encargado de **interpretar y ejecutar instrucciones** almacenadas en memoria.
Es el **cerebro del sistema**, responsable de realizar operaciones aritméticas, lógicas, de control y de entrada/salida.

Arquitectura base:

Todo procesador moderno sigue el **modelo de Von Neumann**, con tres bloques principales:

Unidad	Función
Unidad de Control (UC)	Interpreta las instrucciones, coordina la ejecución y controla los buses.
Unidad Aritmético-Lógica (ALU)	Realiza operaciones matemáticas y lógicas.
Registros	Memoria ultrarrápida interna donde se guardan datos temporales y direcciones.

Ciclo de instrucción (Fetch–Decode–Execute)

Cada instrucción pasa por tres fases:

- Fetch (búsqueda):**
La CPU obtiene la instrucción desde la memoria (usando el **Program Counter** o PC).
- Decode (decodificación):**
El decodificador traduce la instrucción a señales internas de control.
- Execute (ejecución):**
La ALU o FPU realiza la operación; los resultados se guardan en registros o memoria.

Ejemplo real:

Instrucción en ensamblador x86:

ADD AX, BX

→ Suma el registro BX al AX y almacena el resultado en AX.

Internamente: lectura, decodificación, ejecución, actualización de flags y registro.

Estructura interna moderna del procesador

Los procesadores actuales (Intel Core, AMD Ryzen, Apple M3) implementan una arquitectura **superescalar y multinúcleo**:

Componente	Descripción técnica
Núcleos (Cores)	Cada núcleo ejecuta un hilo independiente.
Hilos (Threads)	Ejecuciones virtuales simultáneas dentro de un núcleo (Hyper-Threading, SMT).
Caché L1/L2/L3	Memoria interna ultrarrápida para minimizar accesos a la RAM.
FPU (Floating Point Unit)	Procesamiento de números decimales (punto flotante).
ALU (Arithmetic Logic Unit)	Operaciones aritméticas y lógicas con enteros.
Decodificadores	Traducen instrucciones x86 o ARM a microoperaciones.
Branch Predictor	Predice saltos condicionales para evitar esperas en el pipeline.
Pipeline	Divide la ejecución en etapas paralelas (Fetch, Decode, Execute...).
Controladores integrados	RAM, PCIe, gráficos (GPU integrada).

Ejemplo visual (pipeline simplificado)

Instrucción 1 → F D E M W
Instrucción 2 → F D E M W
Instrucción 3 → F D E M W

F: Fetch | D: Decode | E: Execute | M: Memory access | W: Writeback
→ Varias instrucciones en ejecución simultánea.

Fabricación y arquitectura

Fabricante	Microarquitectura actual	Proceso de fabricación	Ejemplo
Intel	Raptor Lake, Meteor Lake	Intel 7 / 4	Core i9-14900K
AMD	Zen 4 / Zen 5	TSMC 5 nm	Ryzen 9 7950X
Apple	ARMv9 (M3)	TSMC 3 nm	Apple M3
ARM (SoC)	Cortex-A / Neoverse	5–3 nm	Snapdragon, Exynos

Concepto clave:

Cada nueva generación mejora la **IPC (Instrucciones por Ciclo)**, la **eficiencia energética** y la **paralelización**.

Tipos de procesadores

Tipo	Descripción	Ejemplo
CISC (Complex Instruction Set Computer)	Instrucciones complejas que realizan varias operaciones.	Intel x86, AMD64
RISC (Reduced Instruction Set Computer)	Instrucciones simples, rápidas y uniformes.	ARM, RISC-V
SoC (System on Chip)	Integra CPU, GPU, memoria y controladores.	Apple M3, Snapdragon 8 Gen 3

La memoria del sistema

La **memoria** es el conjunto de dispositivos electrónicos que almacenan datos e instrucciones de forma temporal o permanente.

Clasificación según función

Tipo	Función	Ejemplo
Principal (RAM)	Almacena datos e instrucciones en uso.	DDR4, DDR5
Caché	Memoria interna del procesador (L1, L2, L3).	SRAM
Secundaria	Almacenamiento masivo.	SSD, HDD
ROM / Flash	Contiene firmware o BIOS/UEFI.	SPI Flash

Jerarquía de memoria

Nivel	Tipo	Tamaño	Velocidad	Controlador
L1	Caché interna	32–128 KB	Ultra rápida (1 ciclo)	CPU
L2	Caché por núcleo	256 KB – 1 MB	Muy rápida	CPU
L3	Caché compartida	8–64 MB	Rápida	CPU
RAM	Memoria principal	8–128 GB	Media (10–50 ns)	Controlador integrado
SSD/HDD	Almacenamiento	512 GB–4 TB	Lenta (µs–ms)	Chipset o bus SATA/NVMe

Concepto clave:

A medida que subimos en la jerarquía → más capacidad, menos velocidad.
El rendimiento global depende del **tiempo medio de acceso (latencia efectiva)**.

Tipos de memoria RAM

Tipo	Tecnología	Frecuencia	Ejemplo
DDR3	SDRAM síncrona	800–2133 MHz	Obsoleta
DDR4	SDRAM síncrona	2133–3600 MHz	Estándar actual
DDR5	SDRAM síncrona	4800–8000 MHz	Alta gama actual
ECC (Error-Correcting Code)	RAM con detección y corrección de errores	Usada en servidores	
LPDDR5x	Versión de bajo consumo	5500–8533 MHz	Portátiles y móviles

Caché del procesador

La **caché** es una memoria intermedia **entre la CPU y la RAM**, que almacena los datos más utilizados para reducir latencias.

Nivel	Ubicación	Latencia típica	Capacidad
L1	Dentro del núcleo	1–3 ns	32–128 KB
L2	Por núcleo	3–10 ns	256 KB–1 MB
L3	Compartida	10–20 ns	4–64 MB

Concepto técnico:

El procesador utiliza algoritmos de predicción y reemplazo (LRU, MRU) para decidir qué datos mantener en caché.

El reloj del sistema

El **reloj** o **clock** del sistema genera señales eléctricas periódicas que sincronizan todas las operaciones.

- **Frecuencia de reloj:** número de ciclos por segundo (Hz).
Ejemplo: 3.6 GHz $\rightarrow 3.6 \times 10^9$ ciclos/s.
- **Ciclo de instrucción:** tiempo que tarda una operación básica.
- **Overclocking:** aumento de frecuencia por encima del valor nominal.
- **Turbo Boost / Precision Boost:** gestión dinámica de frecuencia según temperatura y carga.

Concepto:

Un procesador moderno no ejecuta más rápido solo por frecuencia, sino también por eficiencia y número de instrucciones por ciclo (**IPC**).

Interacción CPU–Memoria–Chipset

CPU ⇌ (DMI / Infinity Fabric) ⇌ Chipset ⇌ Dispositivos

└─> Controlador de memoria ⇌ RAM

- El **controlador de memoria** (IMC) integrado en la CPU se comunica directamente con la RAM.
- El **chipset (PCH)** gestiona los buses de expansión, almacenamiento y periféricos.
- El **bus del sistema (DMI o Infinity Fabric)** interconecta ambos.

Conceptos

- **Virtualización asistida por hardware (VT-x / AMD-V):** permite ejecutar sistemas operativos invitados sin pérdida de rendimiento.
- **Hyper-Threading / SMT:** ejecución simultánea de varios hilos por núcleo.
- **Turbo Boost / Precision Boost:** gestión dinámica de frecuencia por carga térmica.
- **Arquitectura híbrida (Intel P-core / E-core):** núcleos de rendimiento y eficiencia.
- **RISC-V:** arquitectura abierta y modular, tendencia educativa e industrial.

Conclusiones

- El **procesador** coordina todo el sistema y determina su rendimiento real.
- La **memoria (RAM y caché)** es el cuello de botella principal en la mayoría de arquitecturas.
- Entender la relación entre **CPU, memoria y buses** es esencial para diagnosticar cuellos de rendimiento o fallos de hardware.
- Los conceptos de **frecuencia, núcleos, arquitectura y jerarquía de memoria** deben dominarse antes de abordar la optimización del sistema.