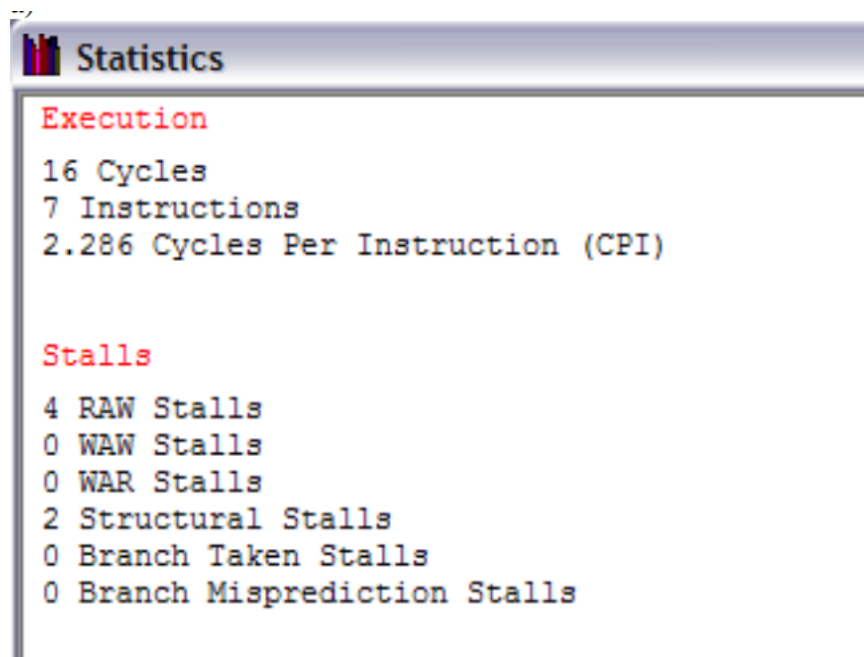


A)

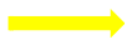


B)

Se generan 4 dependencias de datos verdaderas (4 RAW Stalls)

L.D F2, n2(R0)

ADD.D F3, F2, F1



Esta instrucción tiene que esperar a que la anterior escriba en F2 (1 RAW)

ADD.D F3, F2, F1

MUL.D F4, F2, F1

S.D F3, rs1(R0)



Esta instrucción tiene que esperar a que la suma termine (etapa A3) para usar F3 (2 RAW)

MUL.D F4, F2, F1

S.D F3, rs1(R0)

S.D F4, rs2(R0)



La instrucción S.D tiene que esperar a que MUL.D termine (etapa M6) para usar F4 (1 RAW)

C)

ADD.D F3, F2, F1

MUL.D F4, F2, F1

S.D F3, rs1(R0)



La etapa MEM de la instrucción S.D se encuentra al mismo tiempo con la etapa MEM de ADD.D (tarda más) y se produce un atasco estructural (Str) porque dos instrucciones quieren usar el mismo recurso.

MUL.D F4, F2, F1
 S.D F3, rs1(R0)
 S.D F4, rs2(R0)

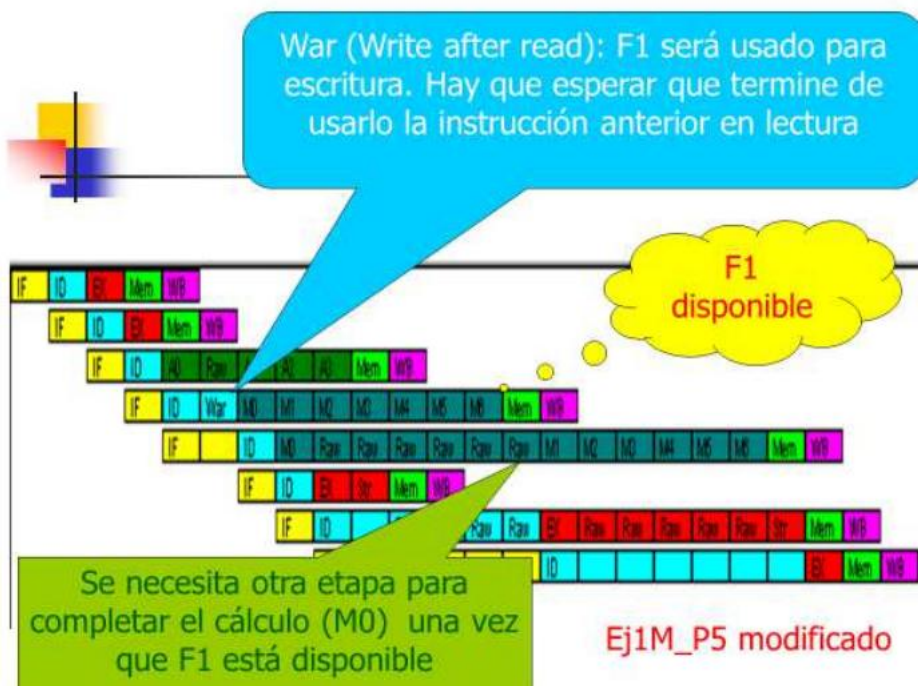
La etapa MEM de la instrucción S.D se encuentra al mismo tiempo con la etapa MEM de MUL.D (tarda más) y se produce un atasco estructural (Str) porque dos instrucciones quieren usar el mismo recurso.

D)

Modificado

```
.data
n1: .double 9.13
n2: .double 6.58
rs1: .double 0.0
rs2: .double 0.0

.code
L.D F1, n1(R0)
L.D F2, n2(R0)
ADD.D F3, F2, F1
MUL.D F1, F2, F1
MUL.D F4, F2, F1
S.D F3, rs1(R0)
S.D F4, rs2(R0)
HALT
```



E)

```

.data
n1:    .double 9.13
n2:    .double 6.58
rs1:   .double 0.0
rs2:   .double 0.0

.code
L.D    F1, n1(R0)
L.D    F2, n2(R0)
NOP
ADD.D  F3, F2, F1
MUL.D  F1, F2, F1
MUL.D  F4, F2, F1
S.D    F3, rs1(R0)
S.D    F4, rs2(R0)
HALT

```

