

a) Ejecución con Forwarding habilitado

Instrucciones del programa:

1. `ld r1, A(r0)` — Carga el valor de la dirección `A` en el registro `r1`.
2. `ld r2, B(r0)` — Carga el valor de la dirección `B` en el registro `r2`.
3. `loop: dsll r1, r1, 1` — Desplaza el valor de `r1` a la izquierda en 1 bit (multiplicación por 2).
4. `daddi r2, r2, -1` — Resta 1 de `r2`.
5. `bnez r2, loop` — Si `r2` no es cero, salta de nuevo a la etiqueta `loop`.
6. `halt` — Finaliza la ejecución.

Atascos tipo RAW (Read-After-Write):

Un **ataque tipo RAW** ocurre cuando una instrucción necesita leer un registro que aún no ha sido actualizado por una instrucción previa. En este caso, el programa genera atascos debido a las dependencias de datos entre las instrucciones que afectan los registros `r1` y `r2`.

1. La instrucción `dsll r1, r1, 1` necesita el valor actualizado de `r1` de la instrucción `ld r1, A(r0)`.
2. La instrucción `daddi r2, r2, -1` depende del valor de `r2` que se carga en la instrucción `ld r2, B(r0)`.

En el caso de **Forwarding habilitado**, los atascos tipo RAW se resuelven automáticamente al adelantar los datos del pipeline, pasando los valores de los registros desde las etapas de ejecución a las etapas de decodificación sin esperar a que se escriban en el registro.

Branch Taken Stalls:

Un **"Branch Taken" stall** ocurre cuando el procesador no sabe si debe tomar la rama de un salto (branch) hasta que se resuelva la instrucción de salto, lo que puede causar un atraso en el pipeline. En este caso, el programa tiene una instrucción de salto condicional (`bnez r2, loop`), que depende del valor de `r2` después de cada iteración del bucle.

La causa de este atasco es que el procesador debe esperar a que la instrucción `bnez` se resuelva para determinar si tomar la rama, lo que genera un retraso.

CPI de la ejecución con Forwarding habilitado:

El **CPI** se calcula dividiendo el número total de ciclos por el número de instrucciones ejecutadas. Dado que **Forwarding** elimina los atascos RAW y maneja las instrucciones de salto de manera eficiente, el CPI será cercano a **1 ciclo por instrucción**.