# MCP4725 使用 I<sup>2</sup>C-Bus インタフェース 12Bit D/A コンバータ (EEPROM 搭載) モジュール

## 12-Bit Digital-to-Analog Conveter with EEPROM Module

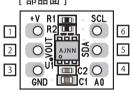
- ◆ 低消費電力、高精度 12 ビット D/A コンバータ MCP4725(SOT-23-6 パッケージ) を使いやすい 2.54mm ピッチ・300mil の6ピン DIP サイズのモジュールにしました。
- ◆ チップ内に不揮発メモリ (EEPROM) とプログラミング電圧生成機能 (チャージポンプ) が内蔵されています。
- ◆ 不揮発メモリに DAC データと動作モードを保存することができます (14bit、工場出荷時は 0010000000000)。
- ◆ SCL、SDA バス用プルアップ抵抗 ( 各 2.7kΩ) が基板に実装されています。(抵抗の接続はジャンパーパターンによって選択可)
- ◆ AO (I<sup>2</sup>C 最下位アドレス) ピンを外部からロジック制御することができます。(ジャンパーパターンによって選択可)

### 主な什様

- ・電源電圧:2.7V ~ 5.5V ・分解能:12Bit(4096 ステップ ) ・微分非直線性誤差:±0.2 LSB(typ.)
- ・I2C インタフェース: 100kbps, 400kbps, 3.2Mbps ・EEPROM 内蔵 ・チャージポンプ内蔵
- ・パワーダウンモード ・Rail-to-Rail 出力 ・セトリングタイム:6 μ S(typ.)

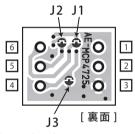
### ◆ ピン番号と機能

### [部品面]



ピン 番号	信号名	入出力	機能
1	+V (VDD)	ı	電源入力端子 (2.7V ~ 5.5V: DAC のリファレンス電圧 )
2	VOUT	出力	電圧出力端子 (0V ~ VDD 電位、12bit、4096 ステップ )
3	GND	_	電源グランド端子
4	A0	入力	I <sup>2</sup> C 最下位アドレス選択端子 ( オープンでの使用は不可です ) GND に接続する場合は、[J3] でおこないます。
5	SDA	双方向	I <sup>2</sup> C-Bus 通信用の双方向データ入出力端子 プルアップ抵抗 2.7kΩ接続選択は、[J2] でおこないます。
6	SCL	入力	I <sup>2</sup> C-Bus 通信用のシリアルクロック入力端子 プルアップ抵抗 2.7kΩ接続選択は、[J1] でおこないます。

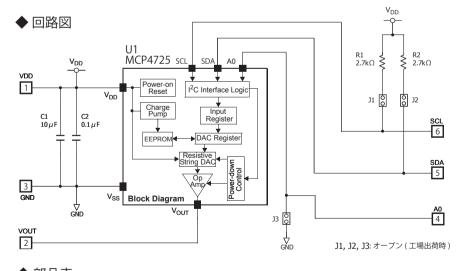
※ MCP4725A0T-E/CH 「アドレスオプション A0(00)」が基板に実装されています。スレーブアドレスは A0 を GND に接続すると (J3 ショート)1100000(60h、0x60) に、A0 を VDD に接続すると 1100001 (61h、0x61) になります。外部からロジックレベルでのアドレス制御も可能です。A0 をオープンの まま使用することはできません (I<sup>2</sup>C 通信時にアドレスが不確定となり、動作が安定しません)。



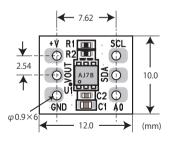
### ◆ ジャンパーパターンについて

プルアップ抵抗と A0 選択は、はんだ付に よるジャンパー接続でおこないます。

のパターンにはんだを このように 盛ります。ルーペで必ず目視確認しをてく ださい。解除する場合には、ジャンパのは んだを除去するだけです。



## 基板寸法図



### すべての部品は、基板に実装済みです。(ピンヘッダを除く)

品番	部品	備考
U1	MCP4725	12Bit D/A コンバータ (EEPROM 搭載 )
C1	10μF(定格 10V 以上)	電源ライン用パスコン
C2	0.1 μF(定格 10V 以上)	電源ライン用パスコン
R1	2.7kΩ	SCL 用プルアップ抵抗 (接続選択可)
R2	2.7kΩ	SDA 用プルアップ抵抗 (接続選択可)
_	1×3 ピンヘッダ (細ピン)	基板にはんだ付けします: 1~3用
_	1×3 ピンヘッダ (細ピン)	基板にはんだ付けします: 4~6用

### ◆ 初期動作試験

MCP4725 の不揮発メモリには工場出荷時に、あらかじめデータがストアされています。 これを利用して動作試験をすることができます。 DAC モジュールに電源を供給すると、 パワーオンリセット後にメモリからデータが読み出され DAC がセットされます I<sup>2</sup>C から制御されなくても VOUT から電圧が出力されます (ノーマルモード設定時) メモリ内容[0010000000000]の上位2桁の00は動作モード(ノーマル)、次の12桁 の 100000000000 は D/A 変換のデータ (2<sup>11</sup>、2048d) です。リファレンス電圧 (VDD) に 2048/4096 を乗じた値が VOUT の出力電圧です。

5Vの電源を使用した場合には、VOUT-GND間の電圧は2.5Vとなります。

### ELECTRICAL CHARACTERISTICS 電気的特性

Electrical Specifications: Unless otherwise indicated, all parameters apply at  $V_{DD}$  = + 2.7V to 5.5V,  $V_{SS}$  = 0V,  $R_L$  = 5 kΩ from  $V_{OUT}$  to  $V_{SS}$ ,  $C_L$  = 100 pF,  $T_A$  = -40°C to +125°C. Typical values are at +25°C. Parameter Sym Min Тур Max Units Conditions Power Requirements Operating Voltage 2.7  $V_{\text{DD}}$ Supply Current Inn 400 Digital input pins are arounded, Output pin (VOLIT) is not connected (unload Code = 000h V<sub>DD</sub> = 5.5V Power-Down Current I<sub>DDP</sub> 0.06 2.0 μА Power-On-Reset VPOR 2 V Threshold Voltage DC Accuracy Resolution Bits Code Range = 000h to FFFh INL Error INI ±2 ±14.5 LSB Note 1 DNL -0.75 DNL ±0.2 ±0.75 LSB Note 1 Offset Error Vos 0.02 0.75 % of FSR Code = 000h Offset Error Drift ΔV<sub>OS</sub>/ ±1 ppm/°C -45°C to +25°C +2 ppm/°C +25°C to +85°C -2 Gain Error -0.1 2 % of FSR Code = FFFh Offset error is not included Gain Error Drift ΔG<sub>F</sub>/°C -3 ppm/°C Output Amplifier Phase Margin 66 Degree(°) C<sub>L</sub> = 400 pF, R<sub>L</sub> = ∞ рм  $R_1 = 5 k\Omega$ , Note 2 Capacitive Load Stability 1000 pF SR 0.55 Slew Rate V/µs Short Circuit Current 15 V<sub>DD</sub> = 5V, V<sub>OUT</sub> = Grounded Output Voltage Settling 119

Time						
Electrical Specifications: $R_L = 5 k\Omega$ from $V_{OUT}$ to $V_{S}$	Unless other $_{S}$ , $C_{L}$ = 100 p	wise indic F, T <sub>A</sub> = -40	ated, all pa 0°C to +12	rameters app 5°C. Typical v	oly at V <sub>DD</sub> = values are at	+ 2.7V to 5.5V, V <sub>SS</sub> = 0V, +25°C.
Parameter	Sym	Min	Тур	Max	Units	Conditions
Power Up Time	T <sub>PU</sub>	-	2.5	_	μs	V <sub>DD</sub> = 5V
		_	5	_	μs	V <sub>DD</sub> = 3V Exit Power-down Mode, (Started from falling edge of ACK pulse)
DC Output Impedance	R <sub>OUT</sub>	_	1	_	Ω	Normal mode (V <sub>OUT</sub> to V <sub>SS</sub> )
		_	1	_	kΩ	Power-Down Mode 1 (V <sub>OUT</sub> to V <sub>SS</sub> )
		_	100	_	kΩ	Power-Down Mode 2 (V <sub>OUT</sub> to V <sub>SS</sub> )
		_	500	_	kΩ	Power-Down Mode 3 (V <sub>OUT</sub> to V <sub>SS</sub> )
Supply Voltage Power-up Ramp Rate for EEPROM loading	V <sub>DD_RAMP</sub>	1	_	_	V/ms	Validation only.
Dynamic Performance						
Major Code Transition Glitch		_	45	_	nV-s	1 LSB change around major carry (from 800h to 7FFh) (Note 2)
Digital Feedthrough		_	<10	_	nV-s	Note 2
Digital Interface						
Output Low Voltage	V <sub>OL</sub>	_	_	0.4	V	I <sub>OL</sub> = 3 mA
Input High Voltage (SDA and SCL Pins)	V <sub>IH</sub>	0.7V <sub>DD</sub>	-	_	V	
Input Low Voltage (SDA and SCL Pins)	V <sub>IL</sub>	_	_	0.3V <sub>DD</sub>	V	
Input High Voltage (A0 Pin)	V <sub>A0-Hi</sub>	0.8V <sub>DD</sub>	_	_		Note 4
Input Low Voltage (A0 Pin)	V <sub>A0-IL</sub>	_	_	0.2V <sub>DD</sub>		Note 4
Input Leakage	ILI	_	_	±1	μА	SCL = SDA = A0 = V <sub>SS</sub> or SCL = SDA = A0 = V <sub>DD</sub>
Pin Capacitance	C <sub>PIN</sub>	_	_	3	pF	Note 2
EEPROM						-
EEPROM Write Time	TWRITE	_	25	50	ms	
Data Retention		_	200	_	Years	At +25°C, (Note 2)
Endurance		1	_	_	Million Cycles	At +25°C, (Note 2)

- Test Code Range: 100 to 4000. Note 1:
  - This parameter is ensure by design and not 100% tested.
  - Within 1/2 LSB of the final value when code changes from 1/4 to 3/4 (400h to C00h) of full scale range. 3:
  - Logic state of external address selection pin (A0 pin).

### TABLE 5-1: LSB SIZES FOR MCP4725 (EXAMPLE)

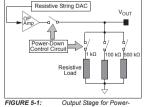
LSB のサイズ (最小分解電圧単位)

Full Scale Range (V <sub>DD</sub> )	LSB Size	Condition
3.0V	0.73 mV	3V / 4096
5.0V	1.22 mV	5V / 4096

TΔRI F 5-2: POWER-DOWN BITS

PD1	PD0	Function
0	0	Normal Mode
0	1	1 kΩ resistor to ground (1)
1	0	100 kΩ resistor to ground (1)
1	1	500 kΩ resistor to ground (1)

Note 1: In the power-down mode: V<sub>OUT</sub> is off and most of internal circuits are disabled.



Down Mode パワーダウンモードの出力段構成

### EEPROM MEMORY AND FACTORY DEFAULT SETTINGS (TOTAL NUMBER OF BITS: 14 BITS) TABLE 5-3: FFPROM のデフォルト設定値 ( 工場出荷時 ): 全 14bit

	-		VI 0) )	, /-	I MAN	n= ( -	- WI III II	-0 / -						
Bit Name	PD1	PD0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
Bit Function	Power-Down Select (2 bits)			DAC Input Data (12 bits)										
Factory Default Value	0	0 (1)	1 (2)	0	0	0	0	0	0	0	0	0	0	0

See Table 5-2 for details

2: Bit D11 = '1' (while all other bits are "0") enables the device to output 0.5 \* V<sub>DD</sub> (= middle scale output).

TABLE 5-4: DAC REGISTER DAC レジス	タ
---------------------------------	---

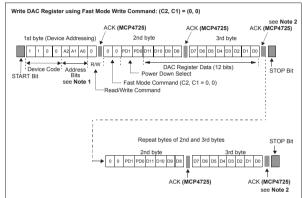
Bit Name	C2	C1	CO	RDY/ BSY	POR	PD1	PD0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
Bit Function	Co	mma Type		(1)		Power- Down Select		Data (12 bits)											

Note 1: Write EEPROM status indication bit (0:EEPROM write is not completed. 1:EEPROM write is complete.)

### TABLE 6-2: WRITE COMMAND TYPE 書込みコマンドタイプ

C 2	C 1	C0	Command Name	I Name Function							
0	0	х	Fast Mode	This command is used to change the DAC register. EEPROM is not affected							
0	1	0	Write DAC Register	Load configuration bits and data code to the DAC Register							
0	1	1	Write DAC Register and EEPROM	(a) Load configuration bits and data code to the DAC Register and (b) also write the EEPROM							
1	0	0	Reserved	Reserved for future use							
1	0	1	Reserved	Reserved for future use							
1	1	0	Reserved	Reserved for future use							
1	1	1	Reserved	Reserved for future use							

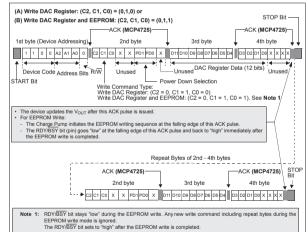
2: The MCP4725 ignores the "Reserved" commands



Note 1: A2 and A1 bits are programmed at the factory by hard -wired, and A0 bit is determined by the logic state of A0 pin.

2: The device updates V<sub>OUT</sub> at the falling edge of the ACK pulse of the 3rd byte.

FIGURE 6-1: Fast Mode Write Command. 高速モード書込みコマンド



Write Commands for DAC Input Register and EEPROM. FIGURE 6-2: DAC レジスタと FFPROM への書込みコマンド

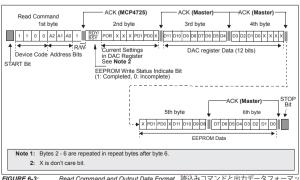


FIGURE 6-3: Read Command and Output Data Format. 読込みコマンドと出力データフォーマッ