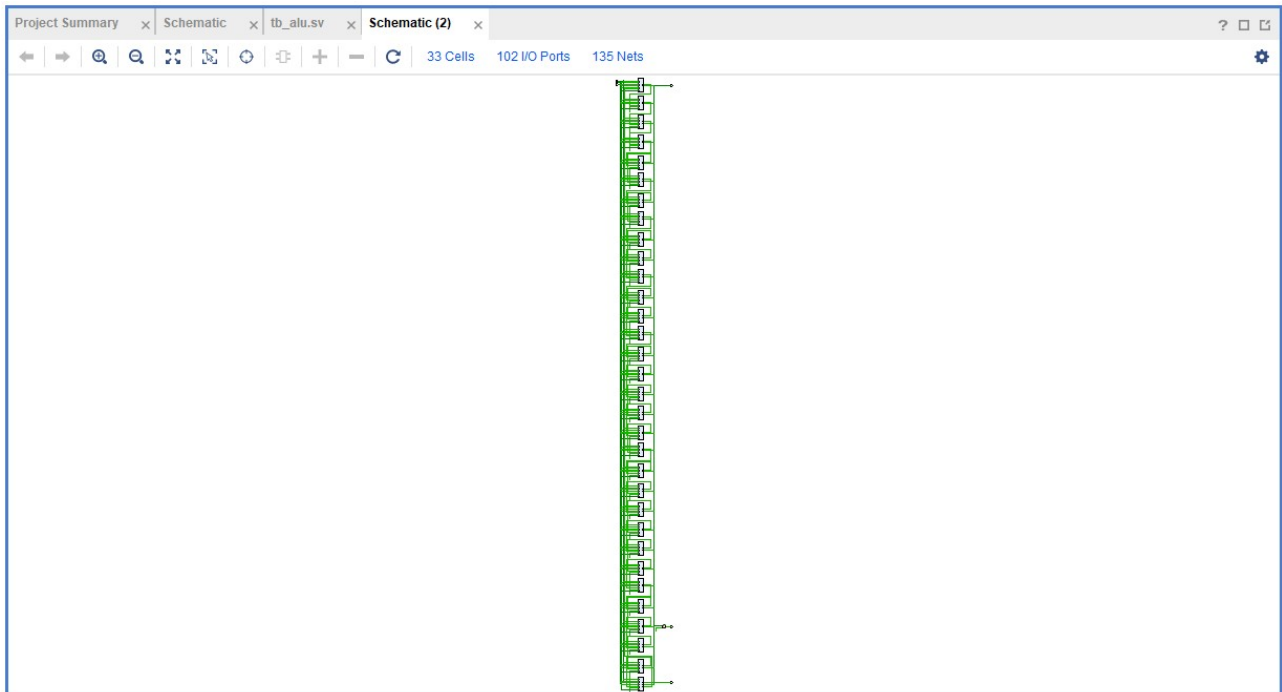


Lab1 Report

1. Architecture Diagrams



2. Answer the following questions

1. How overflow is calculated?

在計算最高位元時檢查operation是否為加法(2'b10)，如果是的話則計算overflow的值 (carry_in XOR carry_out)，如果不是的話則直接輸出0。因為在ALU中減法會被視為補數加法(承2.)，也就是說「負數A-負數B」的情況會變成「負數A+(負數B的補數)」，所以才只需要考慮operation為加法的情況，不需另外考慮減法。

2. Explain why ALU control signal SUB is 0110 and NOR is 1100?

ALU中的前兩位分別代表A,B要不要取補數，而後兩位則是代表1個 4-1 的mux的控制 signal。而因為在二進制中減法可以用補數加法去替代，因此將SUB的控制碼設為0(A不用取 invert)1(B要取invert)10(add)。而NOR則是以1(A要取invert)1(B要取invert)00(and)去實現。

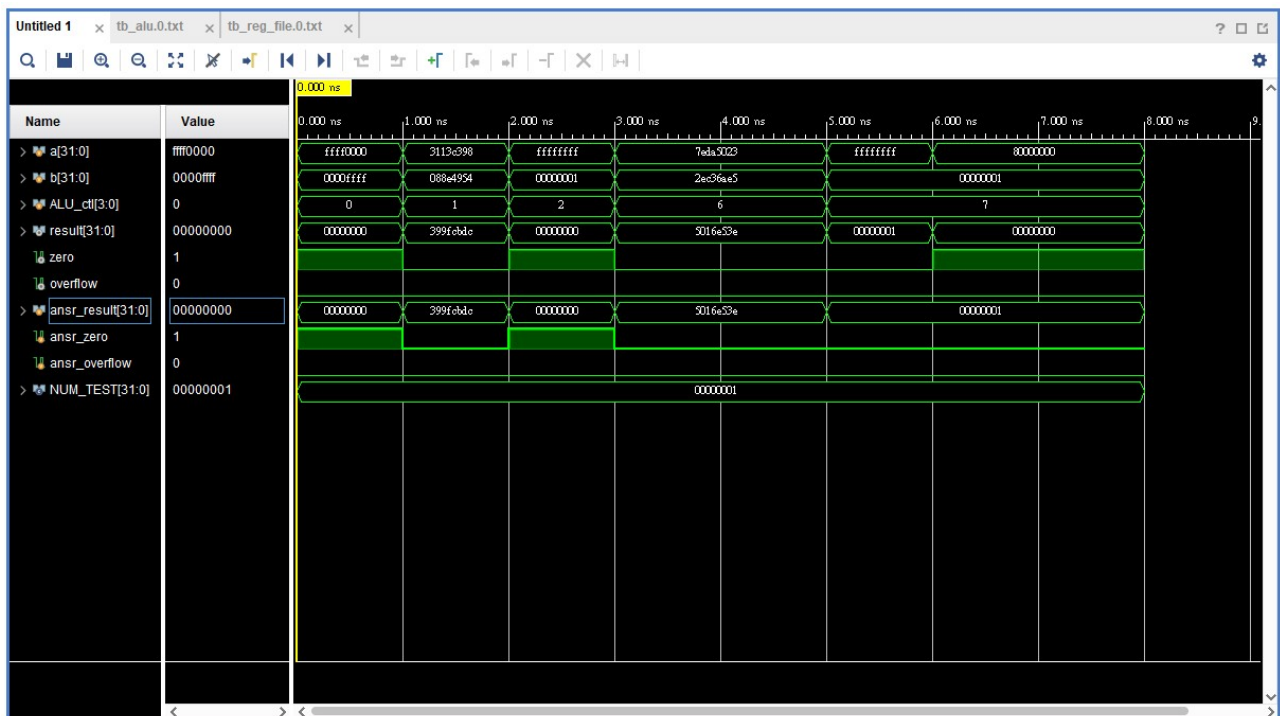
3. If you assign different signal to these operation, what problems you may encountered?

因為當初的ALU就是依照上述邏輯信行邏輯閘的配置與運算，所以現在如果將ALU的 signal改變會使得ALU在計算上出現錯誤，就好比現在我們現在將SUB的控制 signal改為 0010，輸出結果會變成ADD的，因而錯誤。

4. (F) Because the register file is both read and written on the same clock cycle, any MIPS datapath using edge-triggered writes must have more than one copy of the register file. -> 因為值會在下一個clock cycle的時候才改變，所以不需要多register去區分儲存新舊數值。

3. Experimental Result

1. Screen shot of test bench



2. 觀察輸出結果的overflow都為0，表示題目所給的測資並沒有測試overflow的正確與否，因此另外測試了「正+正」與「負+負」的情況，確保overflow會正確運作。

4. Problems Encountered

因為平時是拿Mac在寫作業，但Verilog只有在Windows上才可以安裝，所以在安裝時遇到了許多問題，問了好幾個同學也都不清楚，所幸最後再重新安裝並依照跳出的error訊號進行修正之後就可以順利運行了。