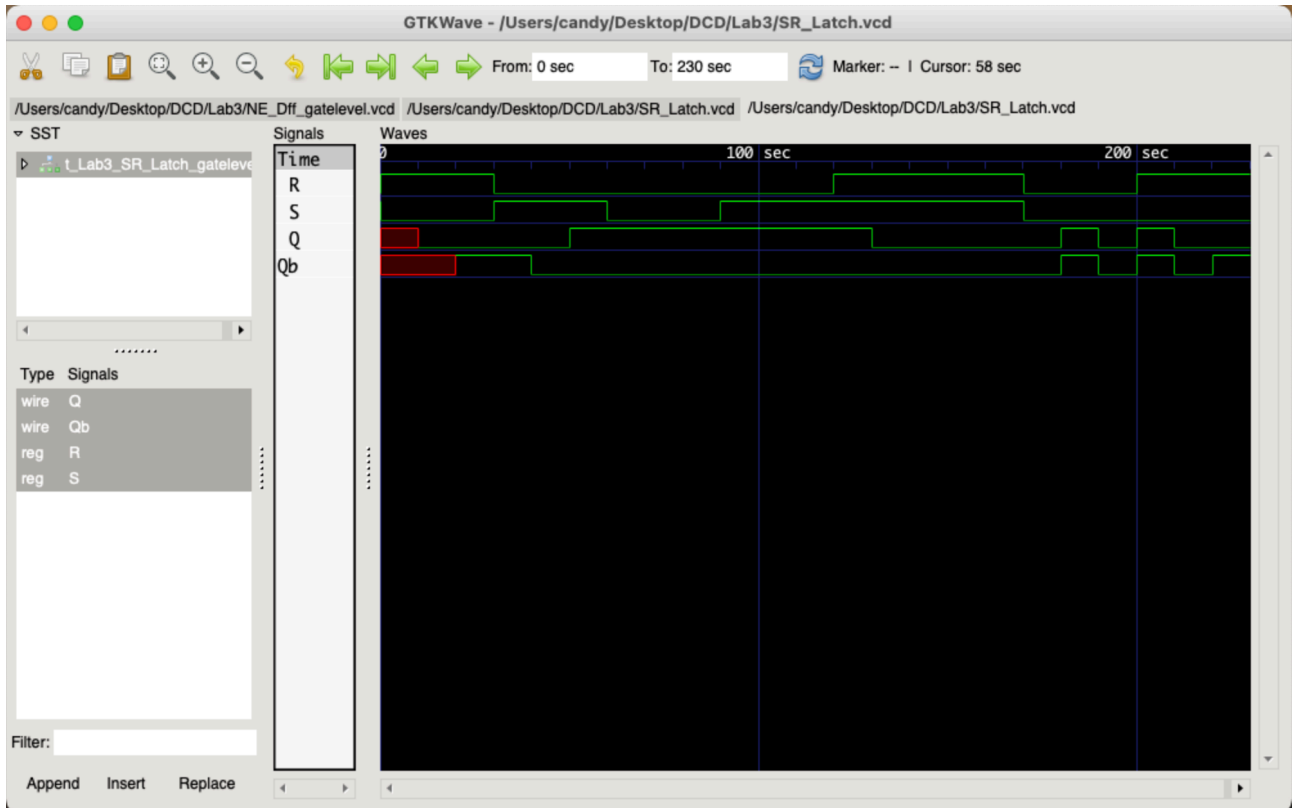
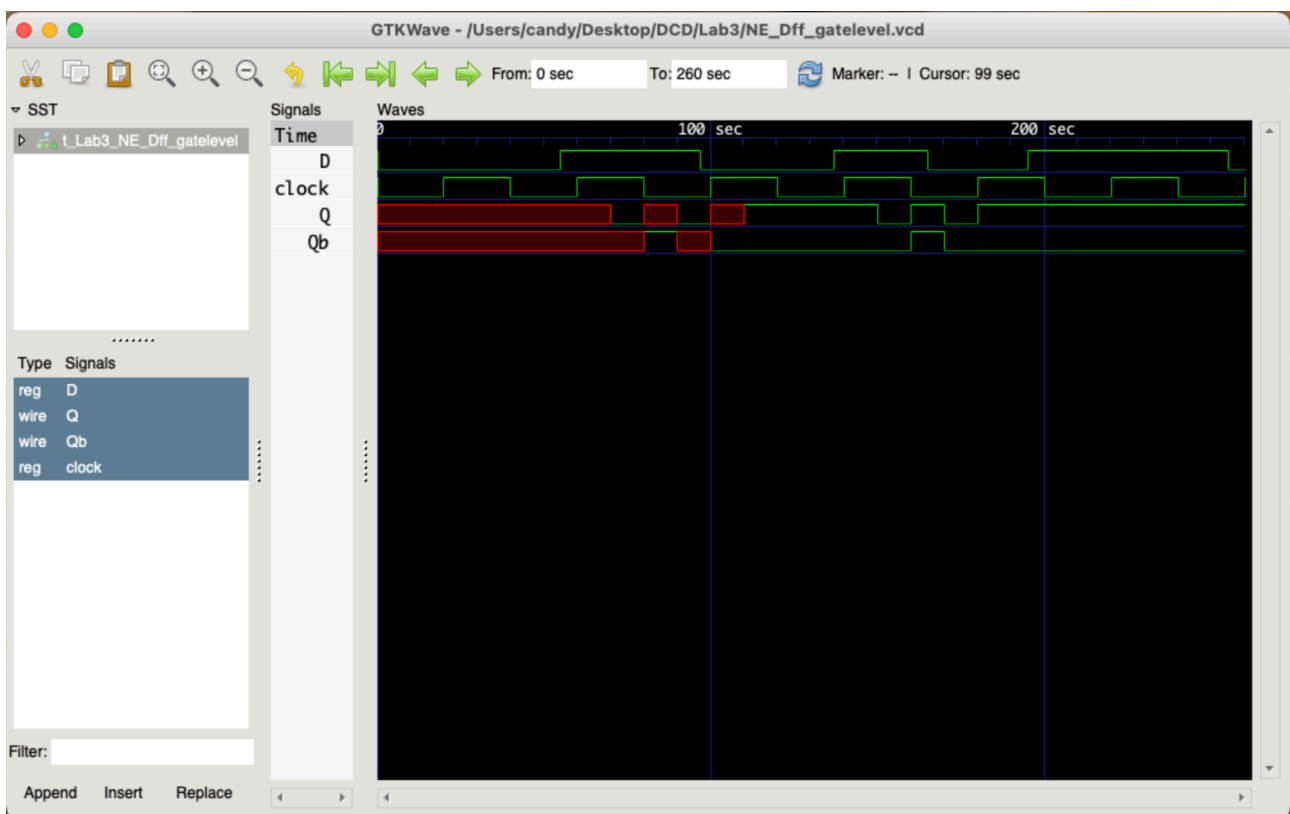


1. 2A(a)之模擬結果波形圖，並說明其模擬結果波形圖是否正確。



圖形結果正確，因為 nor gate 有 delay，所以Q剛開始會延遲10秒(因為R的 input 是1，經過nor gate 後會直接使輸出值為0，接收到R的訊號後就可以直接 output，只經過一次 nor gate 所以延遲10秒)，Qb則會延遲20秒(因為S的 input 是0，經過 nor gate 不會影響輸出值，必須有Qb的結果才能夠輸出，因此延遲時間為Q的10秒再加上自己本身 nor gate 的10秒，總共延遲20秒)。

2. 2B之模擬結果波形圖，並說明其模擬結果波形圖是否正確。



圖形結果正確，Q最多會經過6個 nor gate，但還需要考慮 set up time(因為要考慮跑進去的訊號是不是0，如果是0的話無法決定輸出值)，所以剛開始時Q才會有70秒的延遲。Qb同理，因此有80秒延遲。此外，Q及Qb的相互交錯 (Q與Qb只有一個有值) 也是因為 Latch 的 set up time 。

3. 敘述2C之Mealy-type同步順序電路之設計過程，以D正反器為儲存元件，推導出其電路圖。而後，列出 2C 之模擬結果波形圖，並說明其 testbench 如何設計、針對 input stimulus 預期之狀態轉換與輸出值為何、及 i.和 ii.兩種電路模組之模擬 結果波形圖是否正確。

Present ABC	Next State		Out put	
	X=0	X=1	X=0	X=1
000	001	100	0	0
001	001	010	0	0
010	011	100	1	0
011	110	010	0	0
100	101	100	0	0
101	110	010	0	0
110	110	110	0	0

$$X_+ = A'BC'X'$$

AB\CX	00	01	11	10
00	0	1	0	0
01	0	1	0	1
11	1	1	X	X
10	1	1	0	1

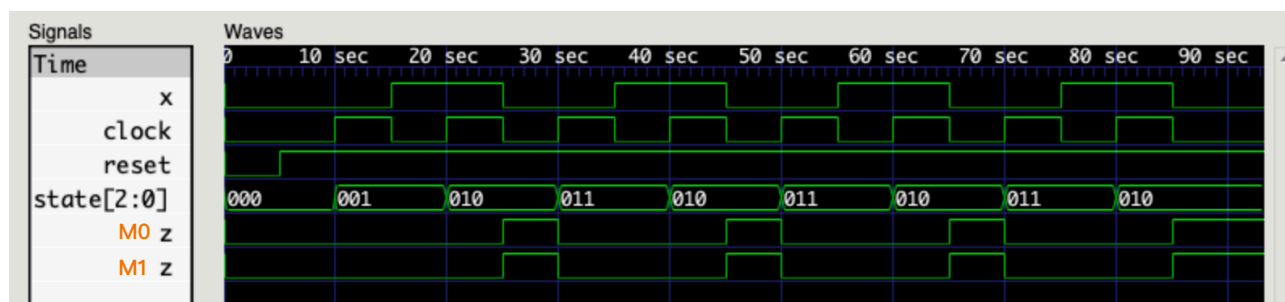
$$A_+ = AX' + C'X + BCX'$$

AB\CX	00	01	11	10
00	0	0	1	0
01	1	0	1	1
11	1	1	X	X
10	0	0	1	1

$$B_+ = AB + CX + AC + BX'$$

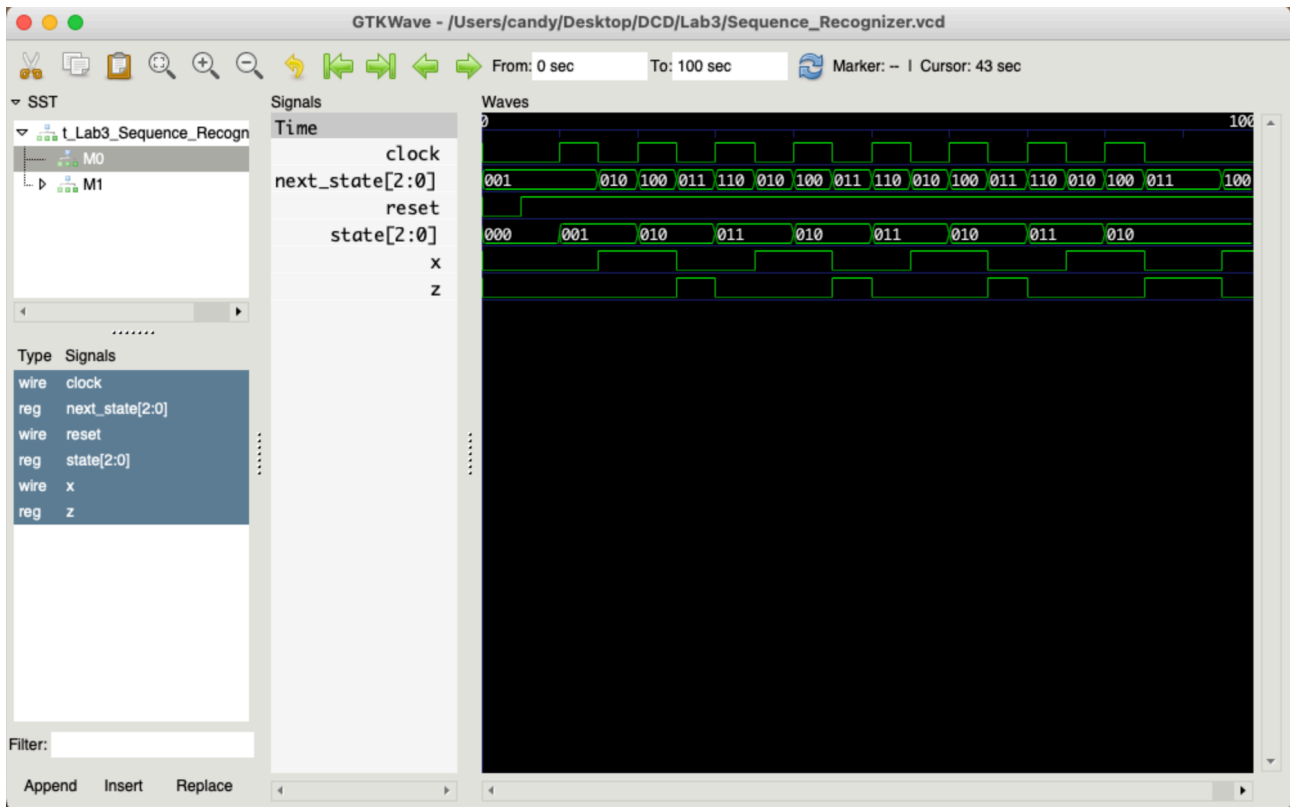
AB\CX	00	01	11	10
00	1	0	0	1
01	1	0	0	0
11	0	0	X	X
10	1	0	0	0

$$C_+ = A'C'X' + B'C'X' + A'B'X'$$

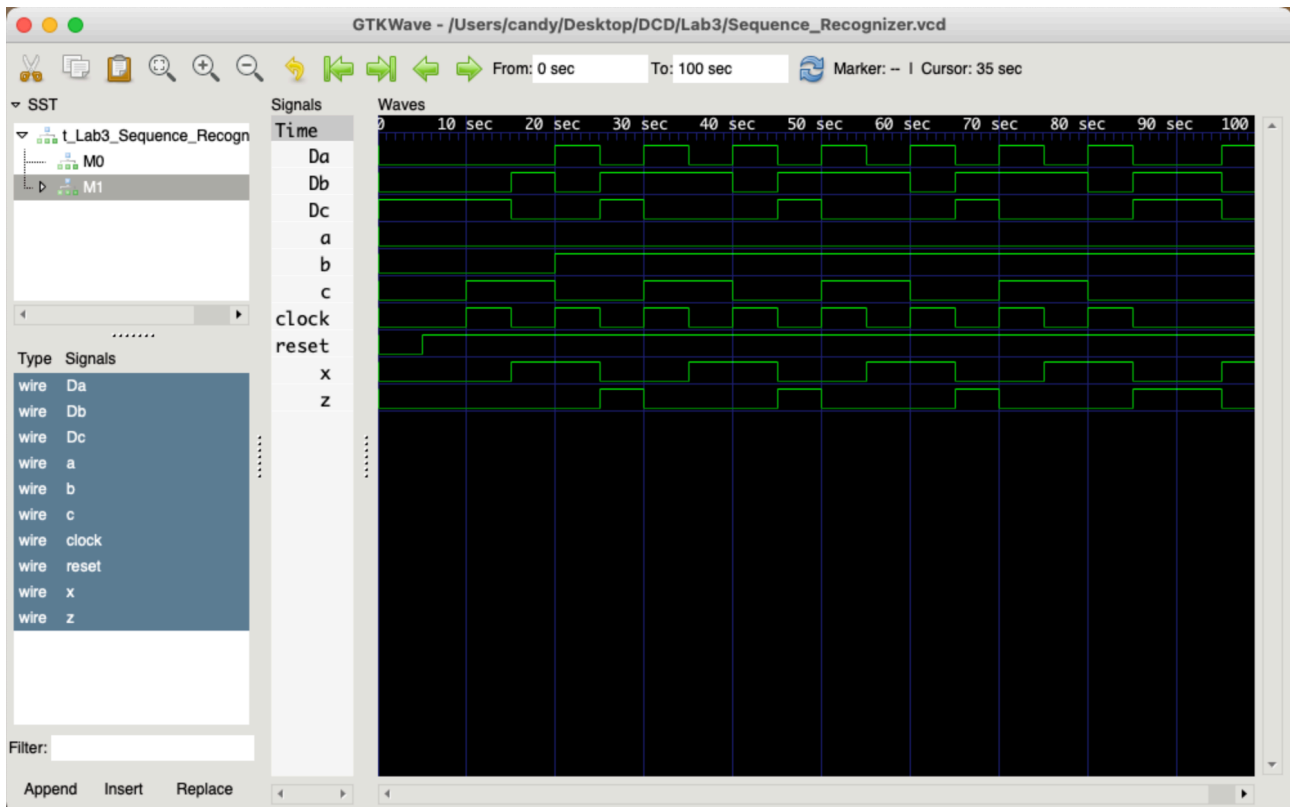


對照M1, M2兩個輸出結果，兩者相同，且只有在經過 S2(010) 時輸出為1，其餘輸出結果均為0，reset為1時state亦是 S0(000)，故結果圖形正確。

## Lab3\_Sequence\_Recognizer\_state\_diagram M0



## Lab3\_Sequence\_Recognizer\_structure M1



#### 4. 心得與感想、及遭遇到的問題或困難。

前兩次的 Test bench 形式較為簡單，只需要用暴力法將所有輸入直列出來就可以進行模擬圖形，但這次比之前多了 reset 以及 clock 兩個訊號，因此在設置時更為複雜。此外，以前多數的代碼都是以 gatelevel 的方式呈現，也較為直觀，而這次指定要求使用 state-diagram-based 的方式書寫，也是一大挑戰。但無論如何，這學期的 Lab 使我對於 Verilog 硬體語言有了進一步的認識，希望在下學期數位電路實驗中也能夠更快上手。