**Завдання № 1**

**Дослідити базові схеми 2І-НЕ та 3І-НЕ**

**Вихідні дані для розрахунку:**

E = 5В

U0ВХ ­= 0,15 В

U1ВХ = 4,414 В

I0вх max = 0.0017 А

U0ВИХ max­= 0,21В

U1ВИХ min = 4,414 В

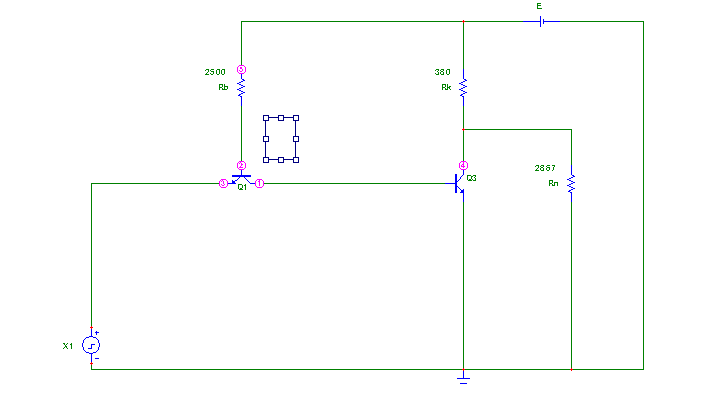
Теоретична частина

Транзисторно-транзисторна логіка — перша широко поширена технологія виготовлення напівпровідникових інтегральних схем. Найпростіший базовий елемент ТТЛ виконує логічну операцію І-НЕ, повторює структуру ДТЛ мікросхем, але у той же час за рахунок використання багатоемітерного транзистора об’єднує властивості діода і транзисторного посилювача, що дозволяє підвищити швидкодію, знизити споживну потужність і удосконалити технологію виготовлення мікросхеми. При переході від схем ДТЛ до схем ТТЛ вхідний блок, що реалізує функцію “І”, замінюється багатоемітерним транзистором. Інтегральні схеми ТТЛ бувають стандартної або середньої швидкодії (СТТЛ), малопотужні (МпТТЛ), потужні (ПТТЛ). Крім цього близькими за параметрами є схеми з діодами Шоткі (ТТЛШ).

Багатоемітерний транзистор працює як в прямому, так і в інверсному режимах. Якщо хоча б на одному з емітерів низький рівень, то транзистор працює в прямому режимі, тобто струм потрапляє на базу та проходить через перехід база-емітер, оскільки цей перехід має пряме зміщення (відкритий). Якщо ж на всі емітери подаються високі рівні, то транзистор працює в інверсному режимі, оскільки переходи база-емітер мають зворотнє зміщення, а переходи база-колектор — пряме. В інверсному режимі колектор та емітер як би змінюються місцями, причому коефіцієнт підсилення при інверсному включенні близький до одиниці. У програмі Micro-Сap ми будуємо БЕТ за допомогою паралельного з’єднання n-p-n транзисторів.

Розрахунок параметрів загальної схеми

Розрахунки значень опорів резисторів, струмів на них і напруг на базі та колекторі вхідного тразнзистора будемо вести для схеми з одним транзистором, оскільки паралельне підключення керуючих транзисторів на вході схеми суттєво на них не впливає.



Коли Uвх=U0вх - транзистор Q1 знаходиться в прямому включенні, тоді напруга у вузлі b:

Через опір RБ проходить струм IRб= I0вхmax, відповідно

Оскільки транзистор Q1 знаходиться в прямому включенні, струм у вузлі c практично дорівнює нулю, тому транзистор Q2 закритий.

Розглянемо випадок, коли Uвх=U1вх, тоді транзистор Q1 працює в інверсному режимі. Знайдемо напругу у вузлі b:

Тоді струм через резистор RБ:

Якщо Uвих= U1вих, то IRк= IRн= I1вих, тоді

= 2867(Ом)

Якщо транзистор Q2 знаходиться в режимі насичення, то UВИХ= U0ВИХ, тоді струм через опір колектора RК дорівнює:

У подальшому будемо використовувати наступні розраховані значення:

|  |  |  |
| --- | --- | --- |
| Rб, Ом | RК, Ом | RH, Ом |
| 2500 | 380 | 2867 |

* коли на всіх входах багатоемітерного транзистора високі рівні:

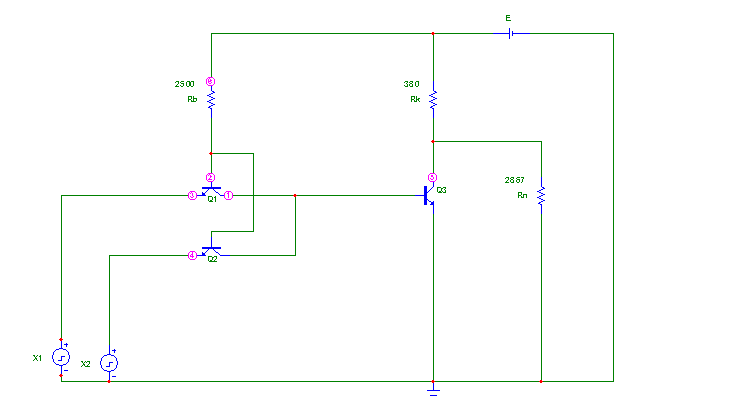
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Ub, B | IRб, мА | IRк, мА | IRн, мА | Uвих, В |
| 1.15 | 1.54 | 12.60 | ≈0 | ≤0.21 |

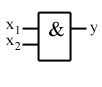
* коли хоча б на одному вході — низький рівень

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Ub, B | IRб, мА | IRк, мА | IRн, мА | Uвих, В |
| 0.75 | 1.70 | 1.54 | 1.54 | 4.414 |
|  |  |  |  |  |

Дослідження багатоемітерного транзистора на схемі 2І-НЕ

Умовне графічне зображення схеми 2І-НЕ

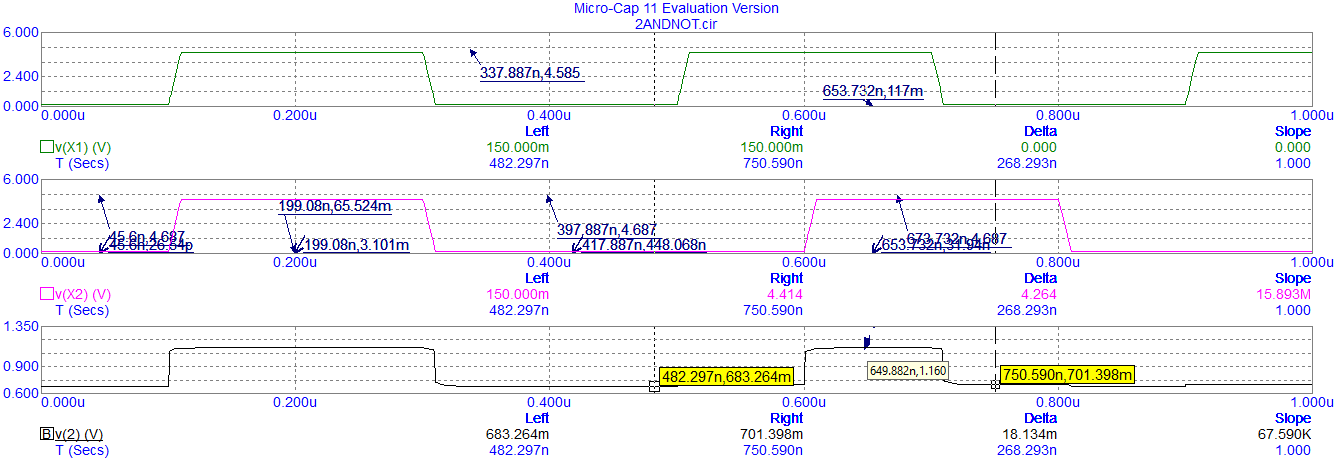


Електронна схема 2І-НЕ

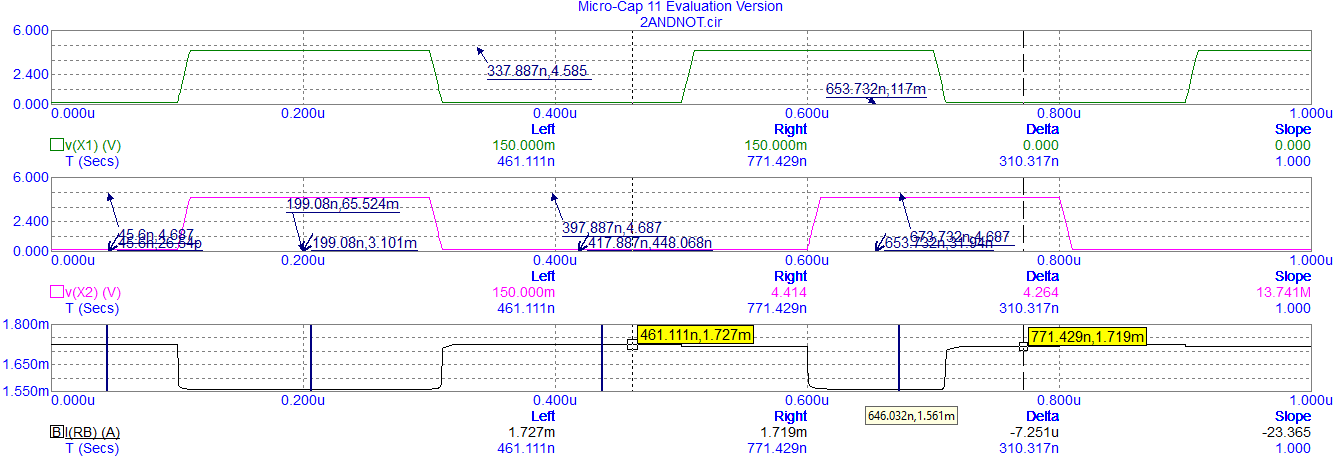
Таблиці результатів і графіки досліджень для схеми 2І-НЕ

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Параметри | | U2, В | IRб, мА | IRк, мА | IRн, мА | Uвих, В |
| Розраховані значення | X1 = X2 = H | 1.15 | 1.54 | 12.6 | ≈0 | ≤0.21 |
| X1 = L, X2 = H | 0.75 | 1.7 | 1.54 | 1.54 | 4.414 |
| X1 = X2 = L | 0.75 | 1.7 | 1.54 | 1.54 | 4.414 |
| Реальні значення | X1 = X2 = H | 1.110 | 1.561 | 13.027 | ≈0 | 0.049 |
| X1 = L, X2 = H | 0.701 | 1.719 | 1.540 | 1.540 | 4.415 |
| X1 = X2 = L | 0.683 | 1.727 | 1.540 | 1.540 | 4.415 |

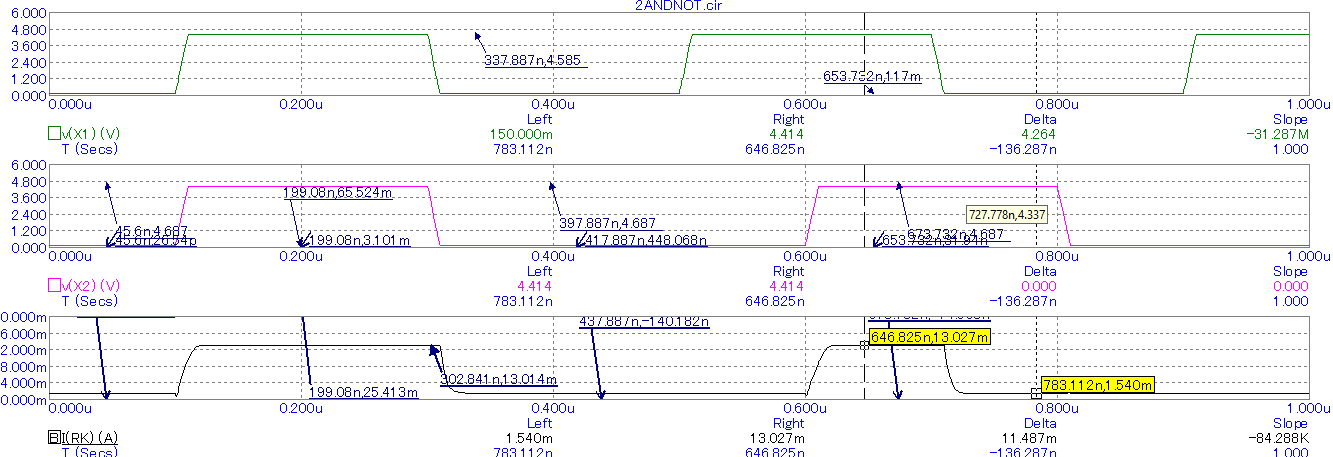
U2:

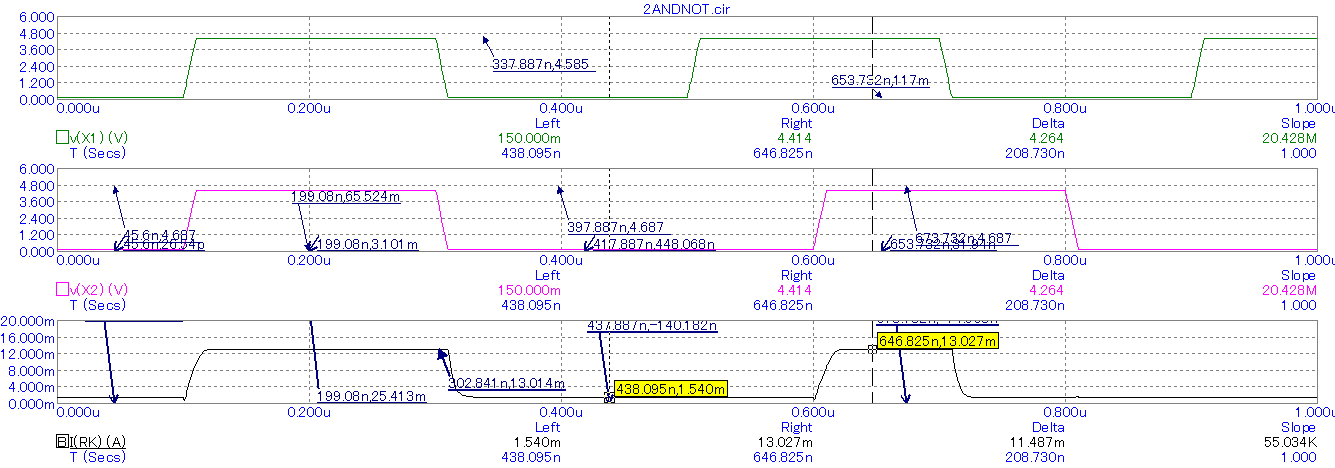


IRб:

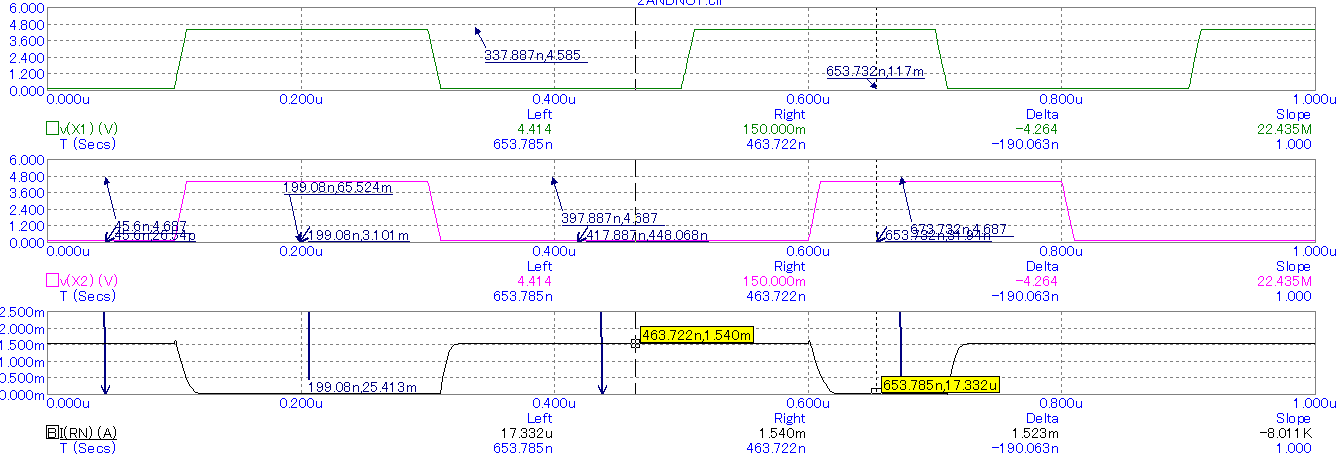


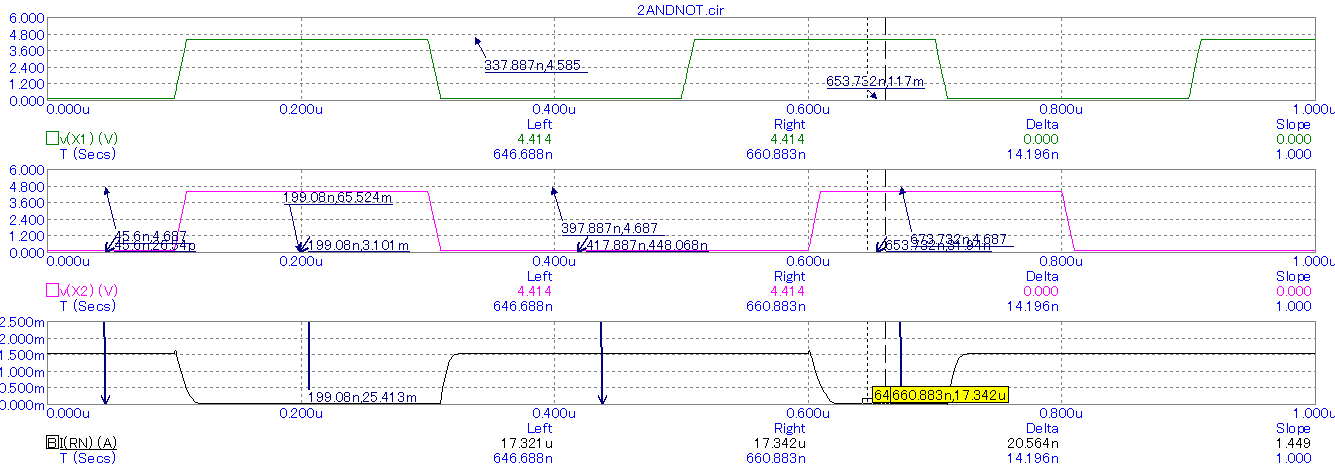
IRк:



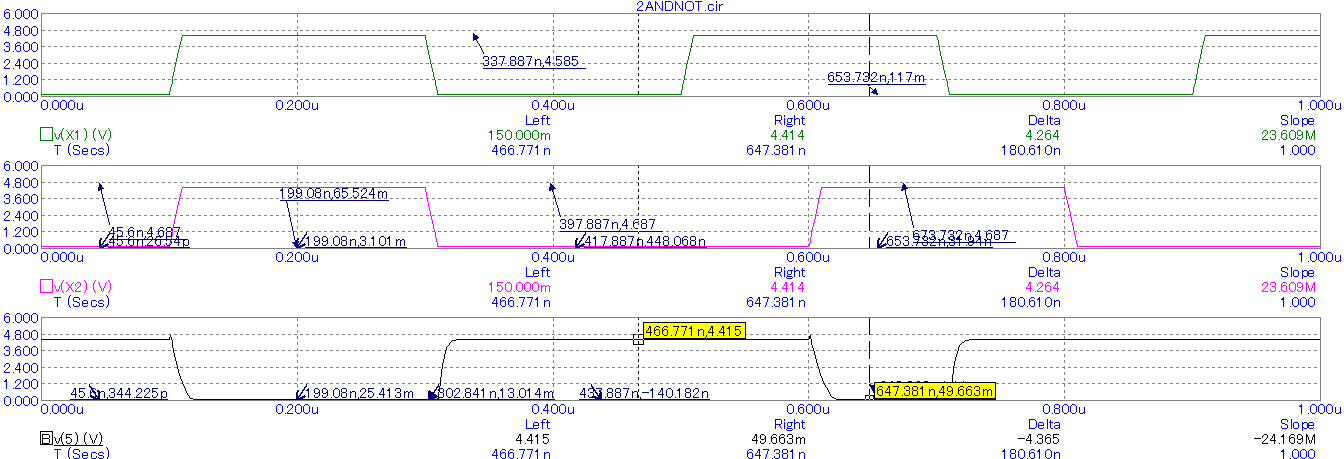


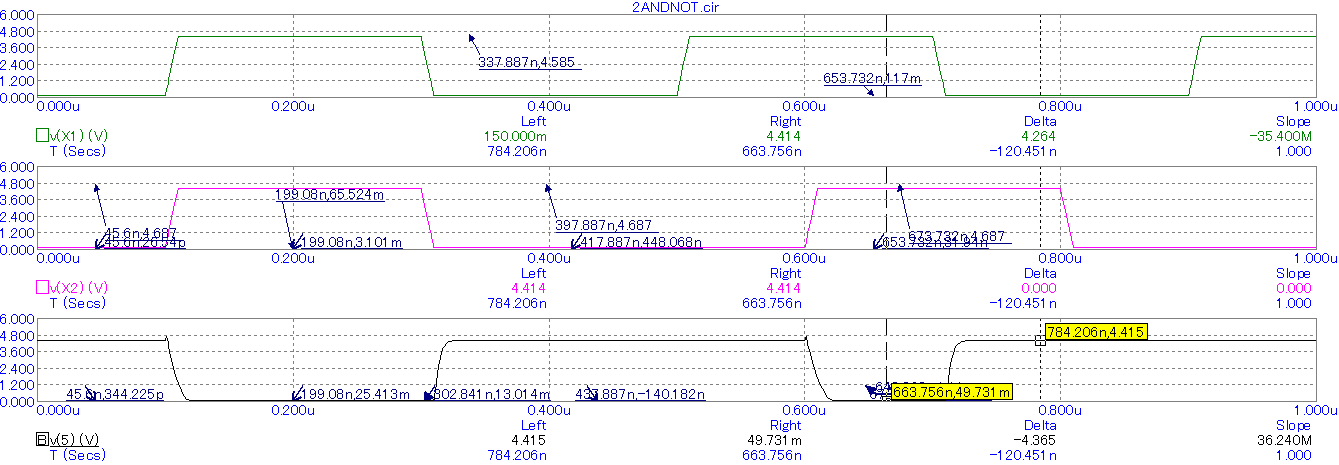
IRн:





Uвих(5):





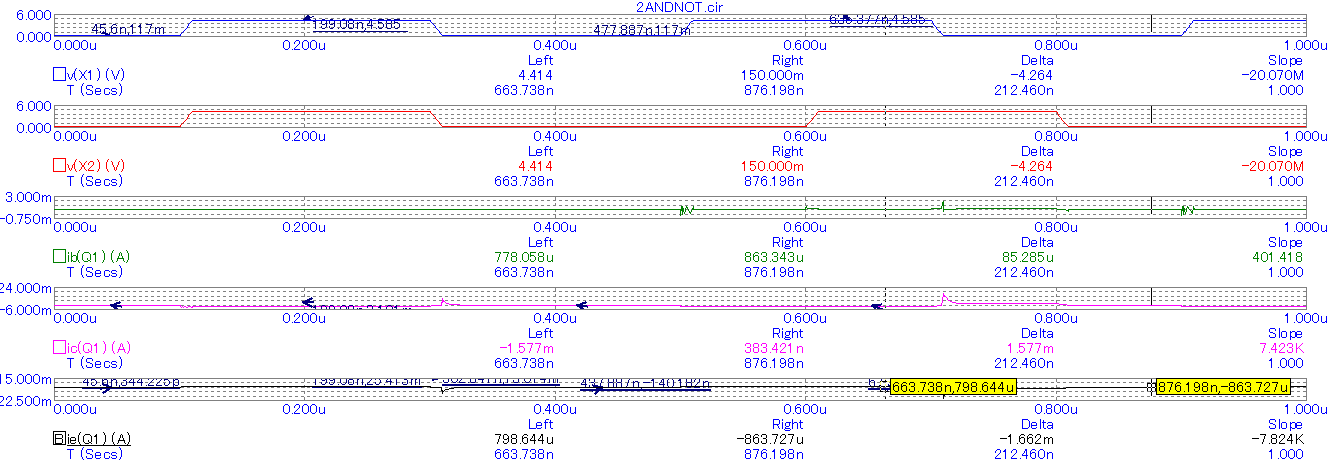
Перевірка виконання функції

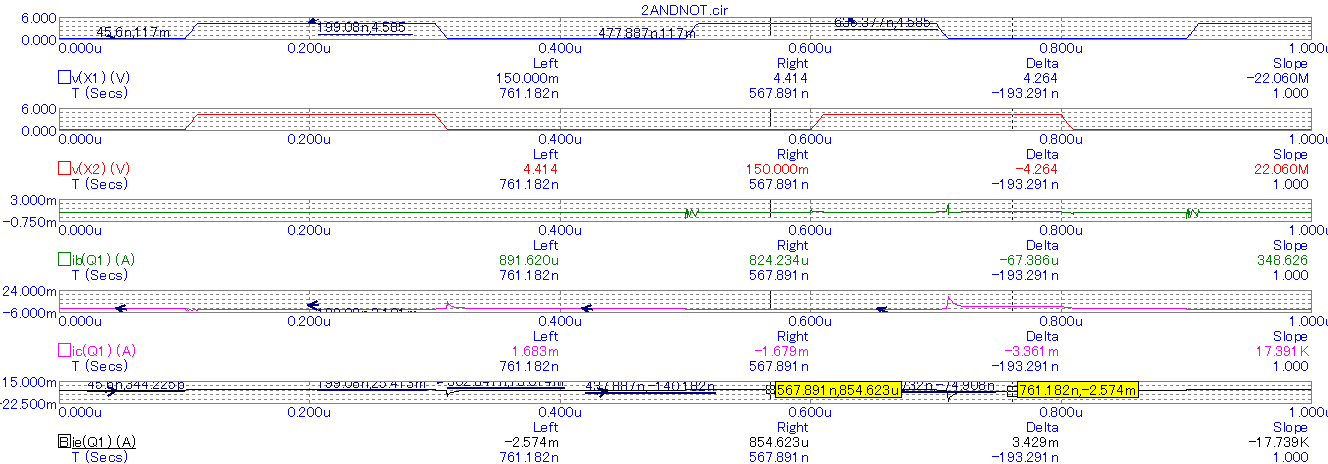
|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| X1 | X2 | Y | X1 | X2 | Y |
| H | H | L | 4.414 | 4.414 | 0.49 |
| L | H | H | 0.15 | 4.414 | 4.415 |
| L | L | H | 0.15 | 0.15 | 4.415 |

Значення струмів на транзисторах

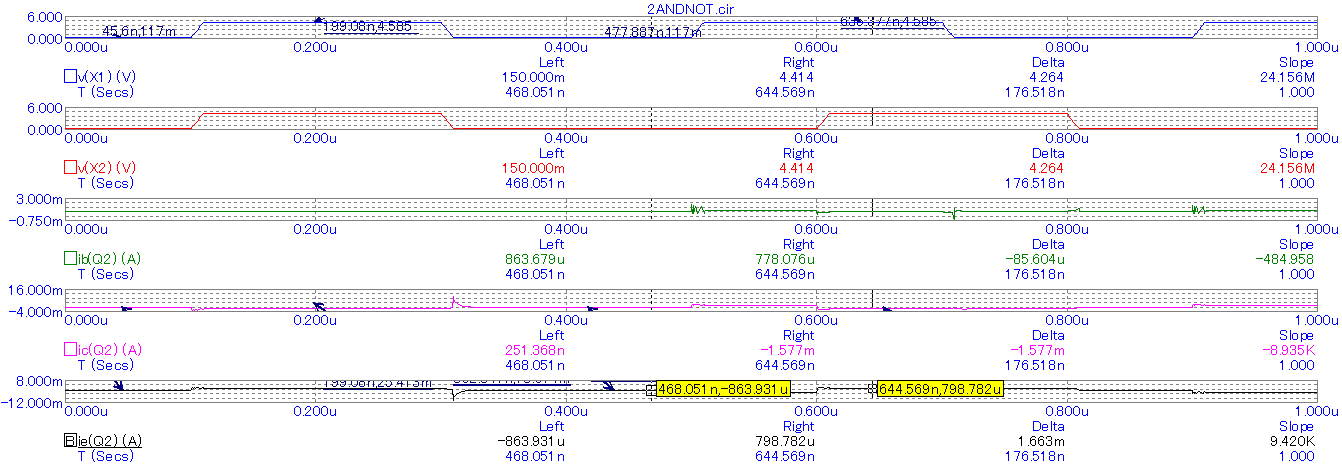
|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Параметри | Ib(Q1), мА | Ic(Q1), мА | Ie(Q1), мА | Ib(Q2), мА | Ic(Q2), мА | Ie(Q2), мА | Ib(Q3), мА | Ic(Q3), мА | Ie(Q3), мА |
| X1 = X2 = H | 0.778 | -1.577 | 0.798 | 0.778 | -1.679 | 0.798 | 3.154 | 13.011 | -16.165 |
| X1 = L, X2 = H | 0.891 | 1.683 | -2.574 | 0.828 | -1.683 | 0.854 | -0.0017 | ≈0 | -0.011 |
| X1 = X2 = L | 0.863 | 0.383 | -0.863 | 0.863 | 0.251 | -0.863 | ≈0 | ≈0 | ≈0 |

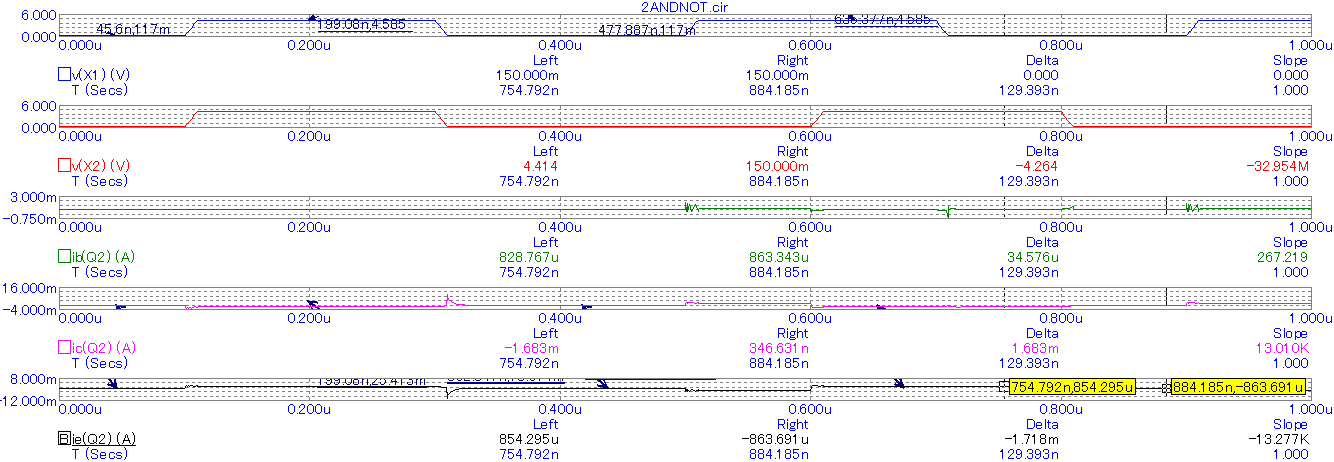
Ib(Q1), Ie(Q1), Ic(Q1):



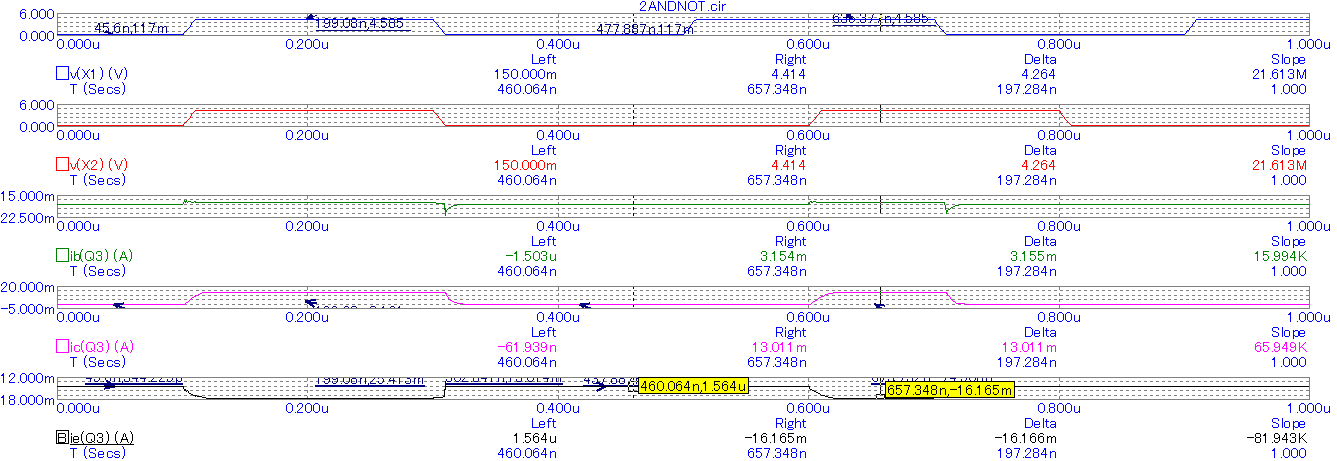


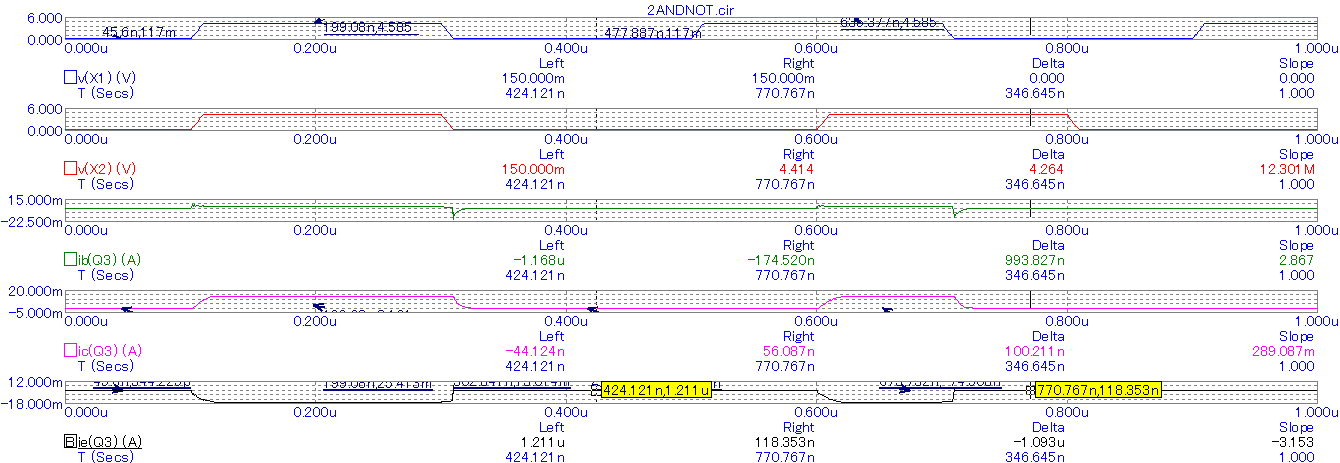
Ib(Q2), Ie(Q2), Ic(Q2):



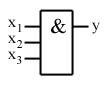


Ib(Q3), Ie(Q3), Ic(Q3):





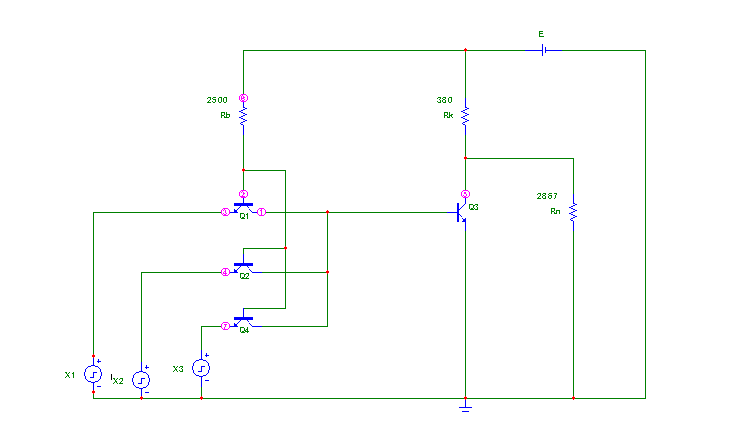
Дослідження багатоемітерного транзистора на схемі 3І-НЕ

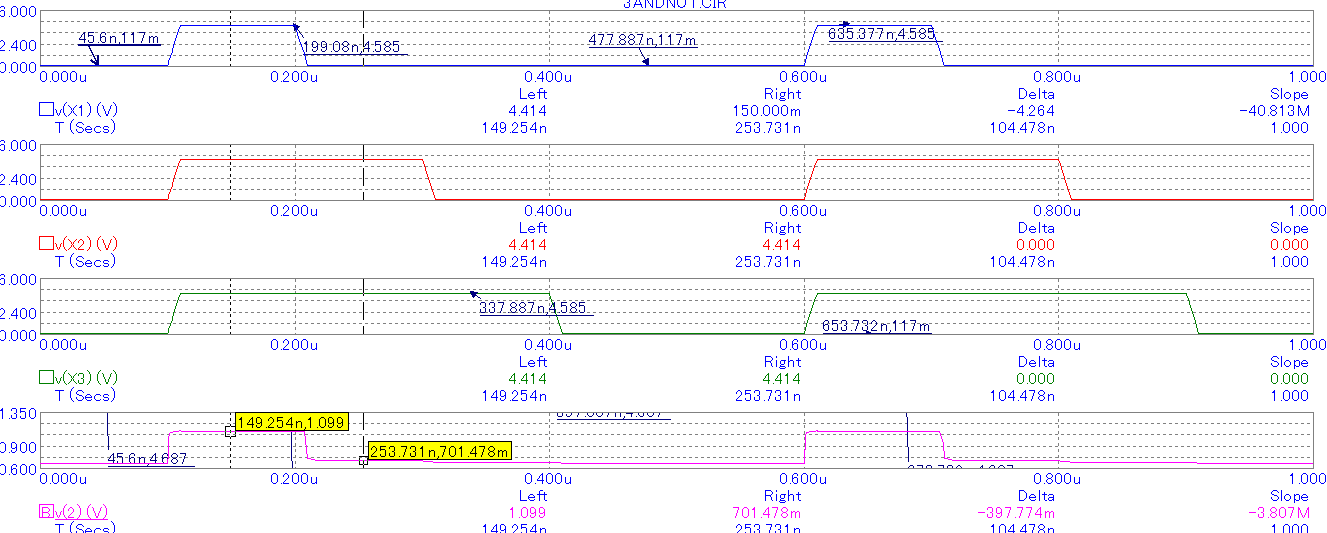
Умовне графічне зображення схеми 3І-НЕ

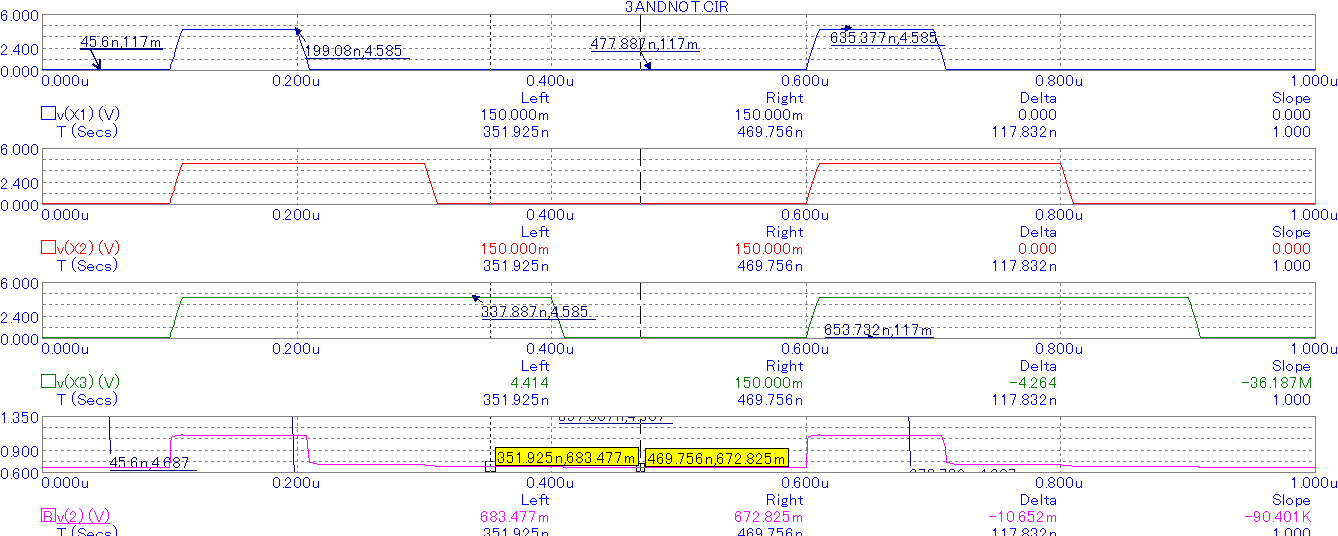
Таблиці результатів і графіки досліджень для схеми 3І-НЕ

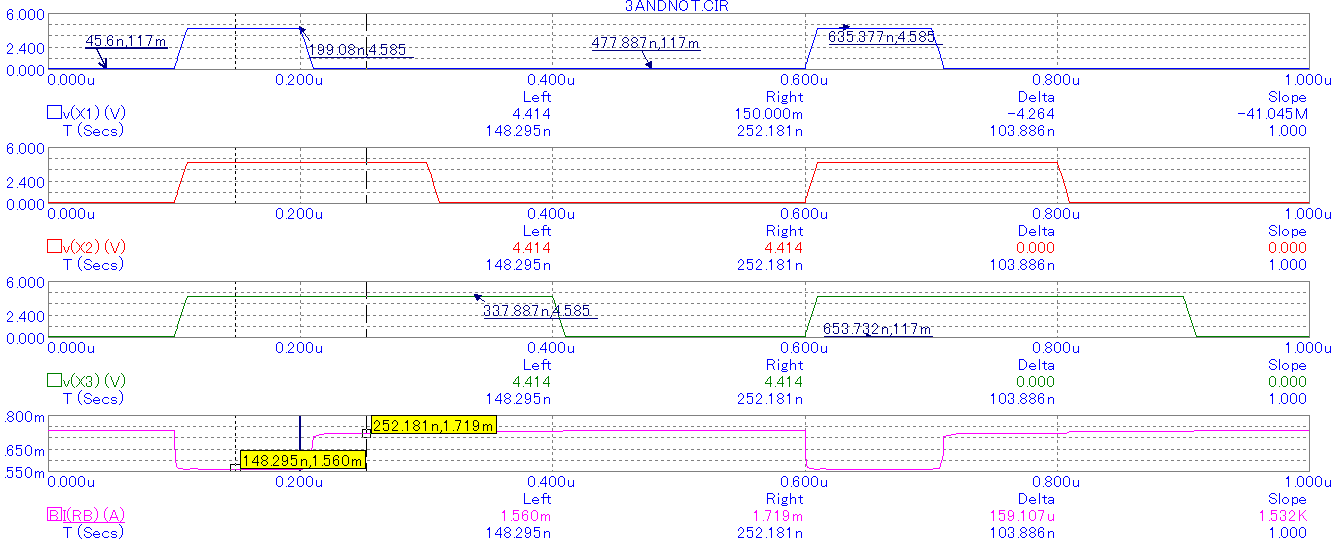
|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Параметри | | U2, В | IRб, мА | IRк, мА | IRн, мА | Uвих, В |
| Розраховані значення | X1 = X2 = X3= H | 1.15 | 1.54 | 12.6 | ≈0 | ≤0.21 |
| X1 = L, X2 = X3 = H | 0.75 | 1.7 | 1.54 | 1.54 | 4.414 |
| X1 = X2 = L, X3 = H | 0.75 | 1.7 | 1.54 | 1.54 | 4.414 |
| X1 = X2 = X3 = L | 0.75 | 1.7 | 1.54 | 1.54 | 4.414 |
| Реальні значення | X1 = X2 = X3= H | 1.099 | 1.56 | 13.027 | 0.017 | 0.172 |
| X1 = L, X2 = X3 = H | 0.701 | 1.719 | 1.540 | 1.540 | 1.540 |
| X1 = X2 = L, X3 = H | 0.683 | 1.727 | 1.540 | 1.540 | 1.540 |
| X1 = X2 = X3 = L | 0.672 | 1.731 | 1.540 | 1.540 | 1.540 |

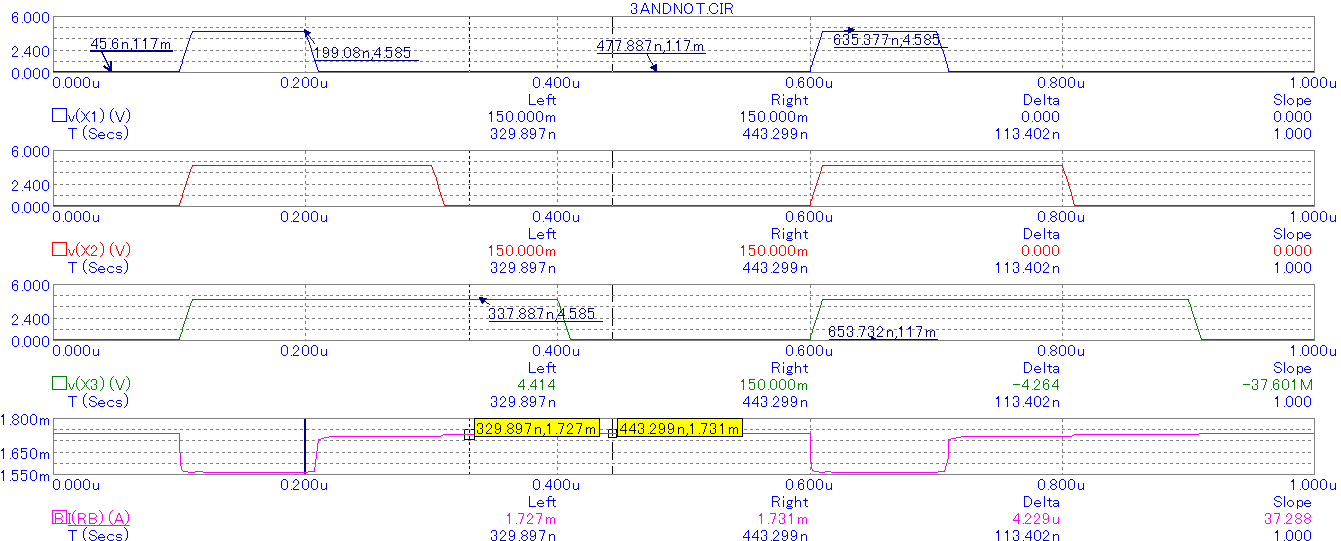
Електронна схема



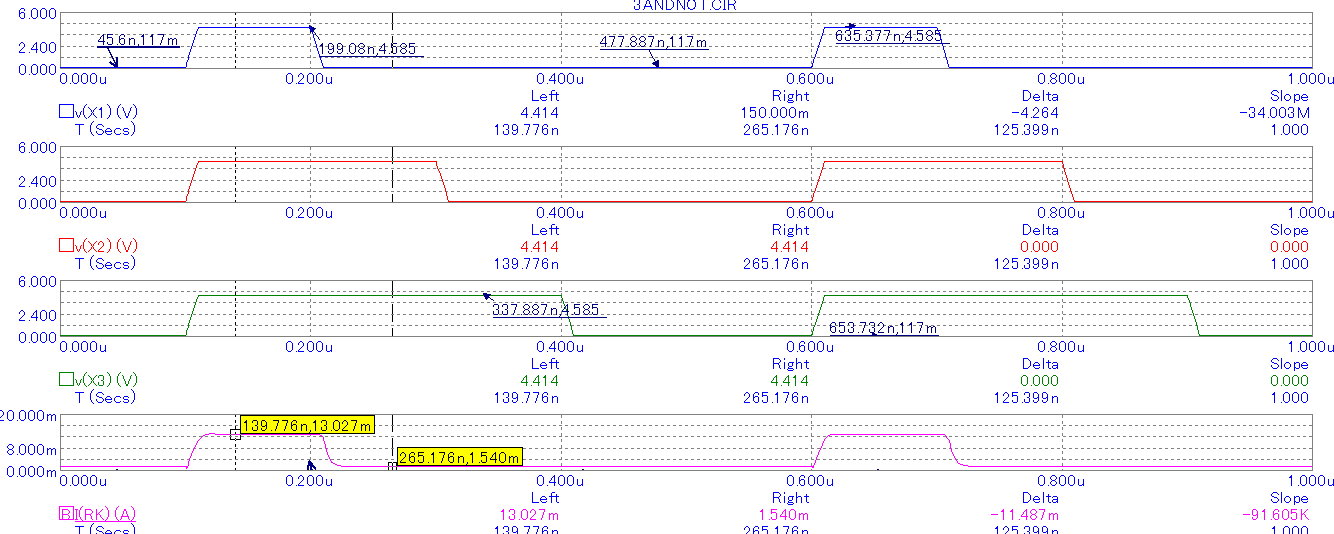
U2:

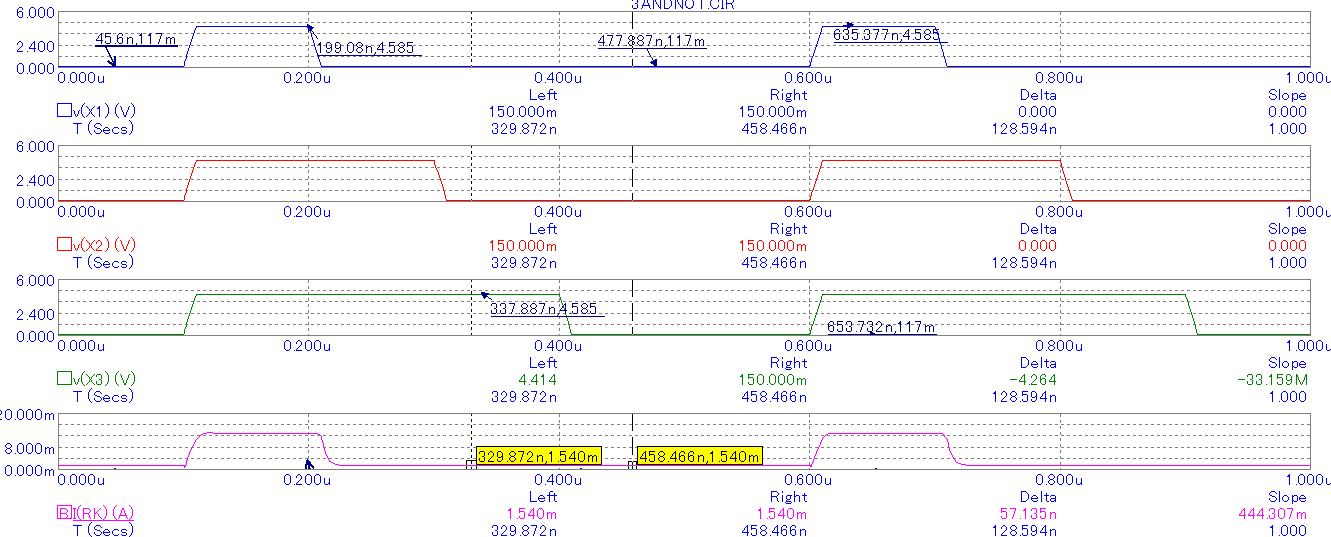


IRб: 

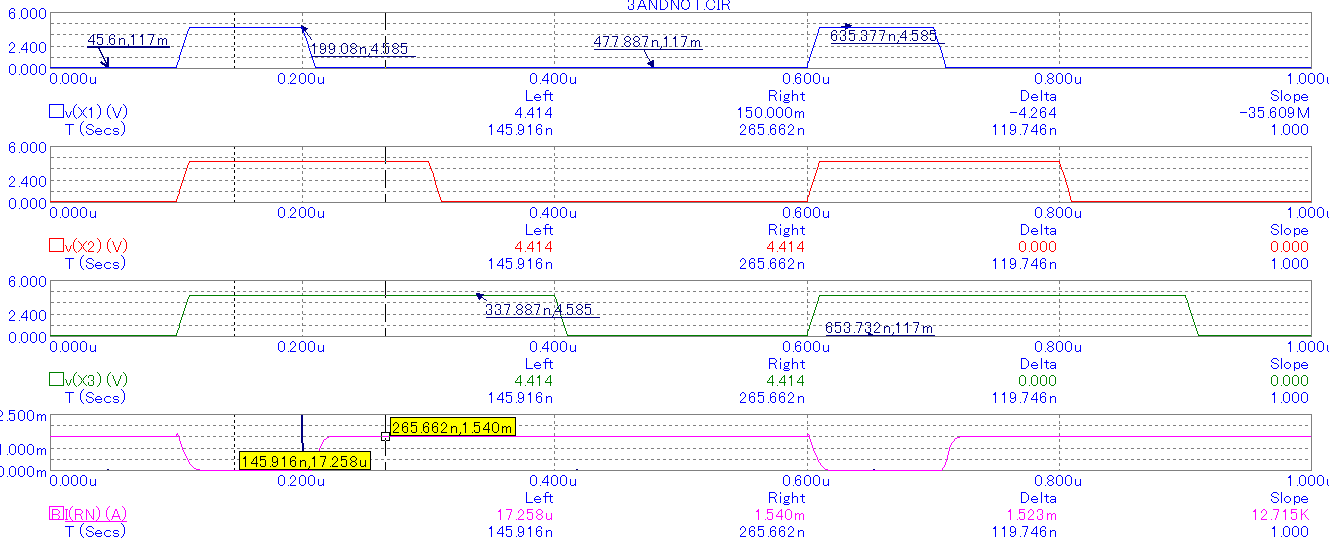


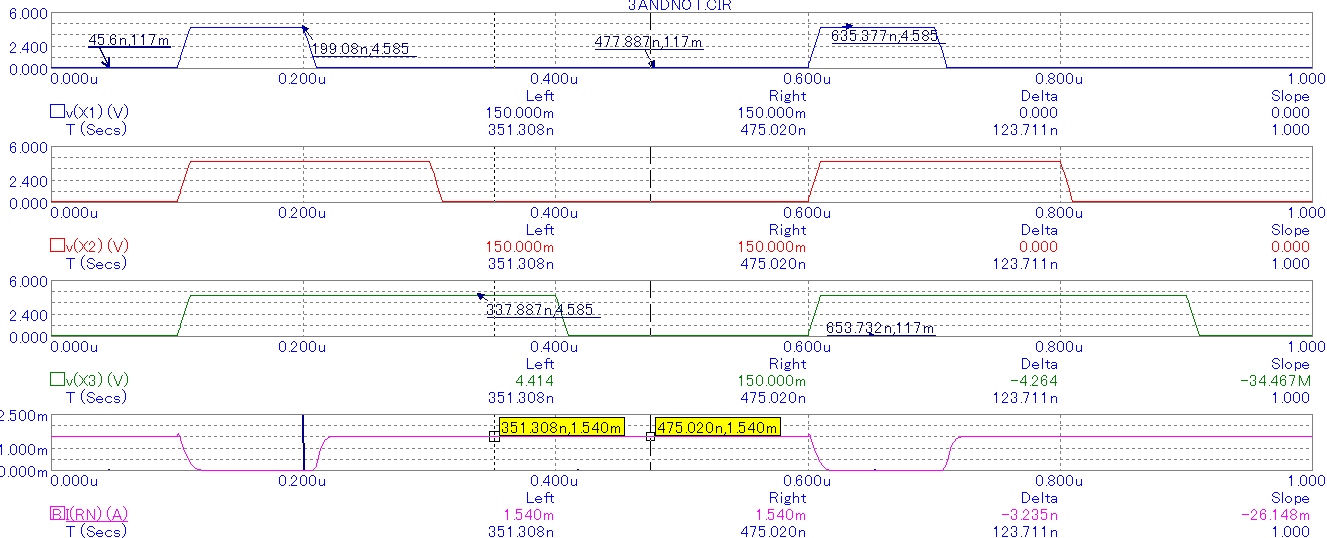
IRк:





IRн:

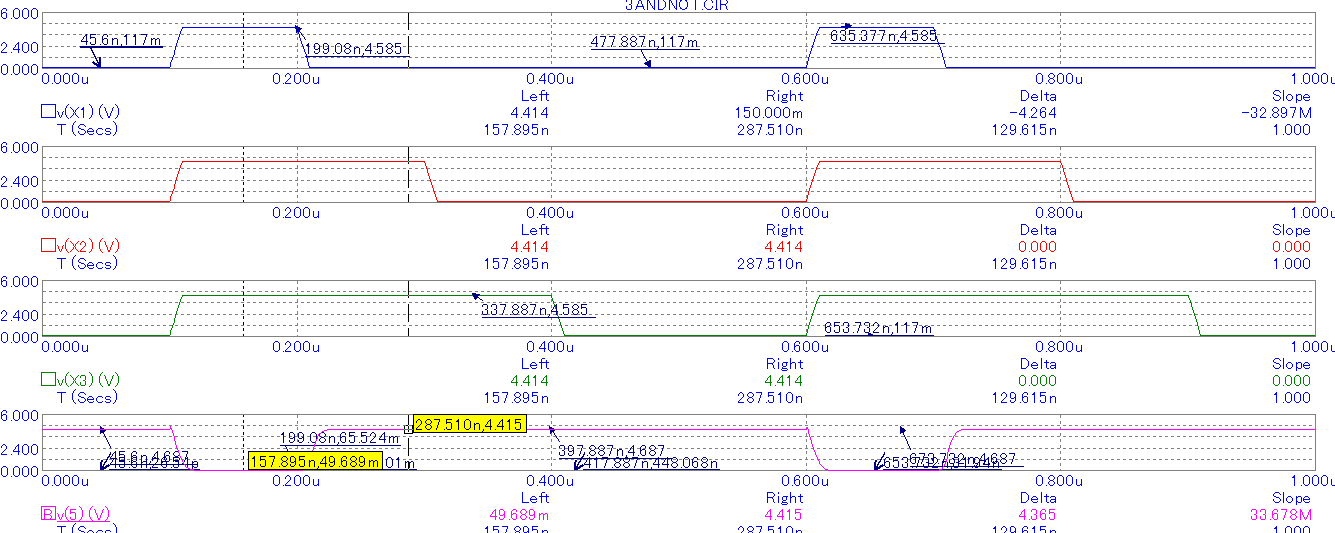


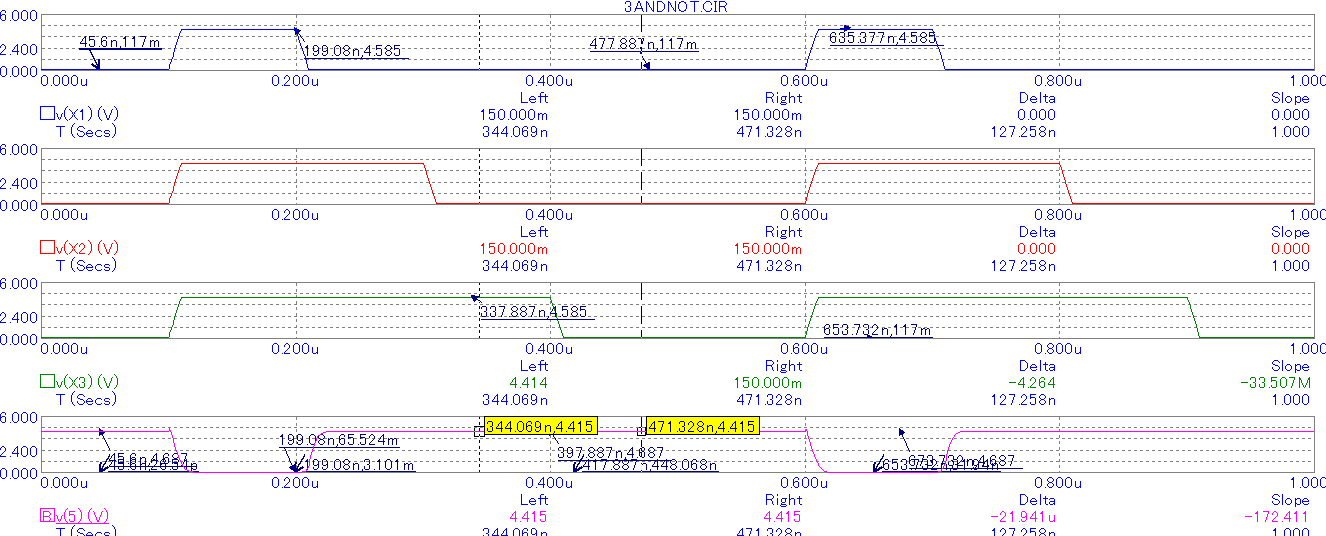


Перевірка виконання функції

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| X1 | X2 | X3 | Y | X1 | X2 | X3 | Y |
| H | H | H | L | 4.414 | 4.414 | 4.414 | 0.49 |
| L | H | H | H | 0.15 | 4.414 | 4.414 | 4.415 |
| L | L | H | H | 0.15 | 0.15 | 4.414 | 4.415 |
| L | L | L | H | 0.15 | 0.15 | 0.15 | 4.415 |

U5:

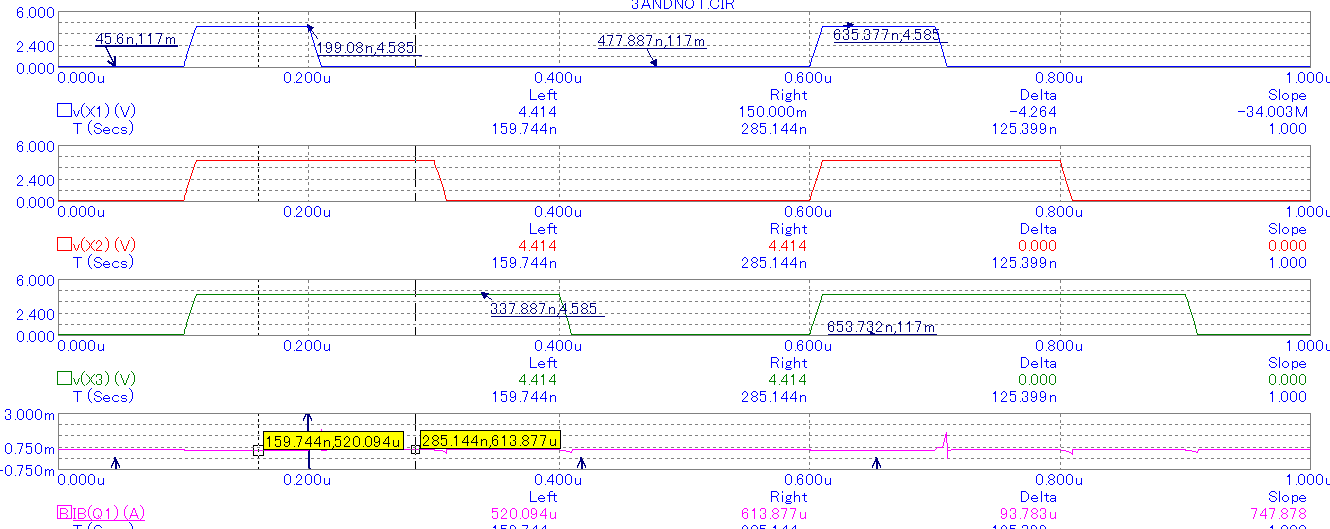


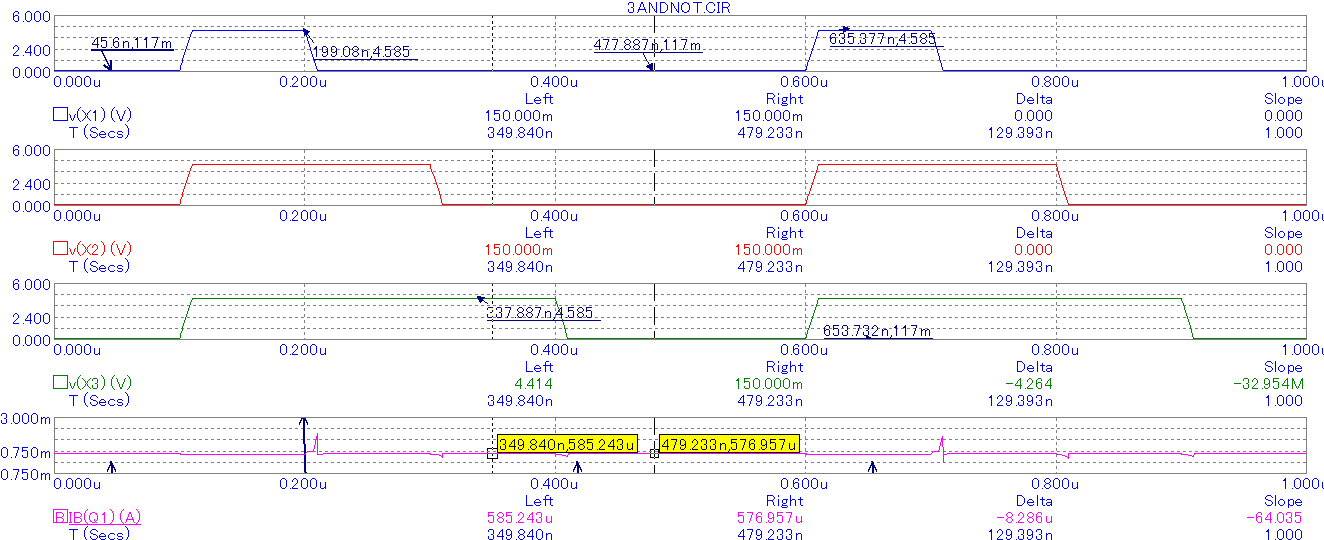


Значення струмів на транзисторах

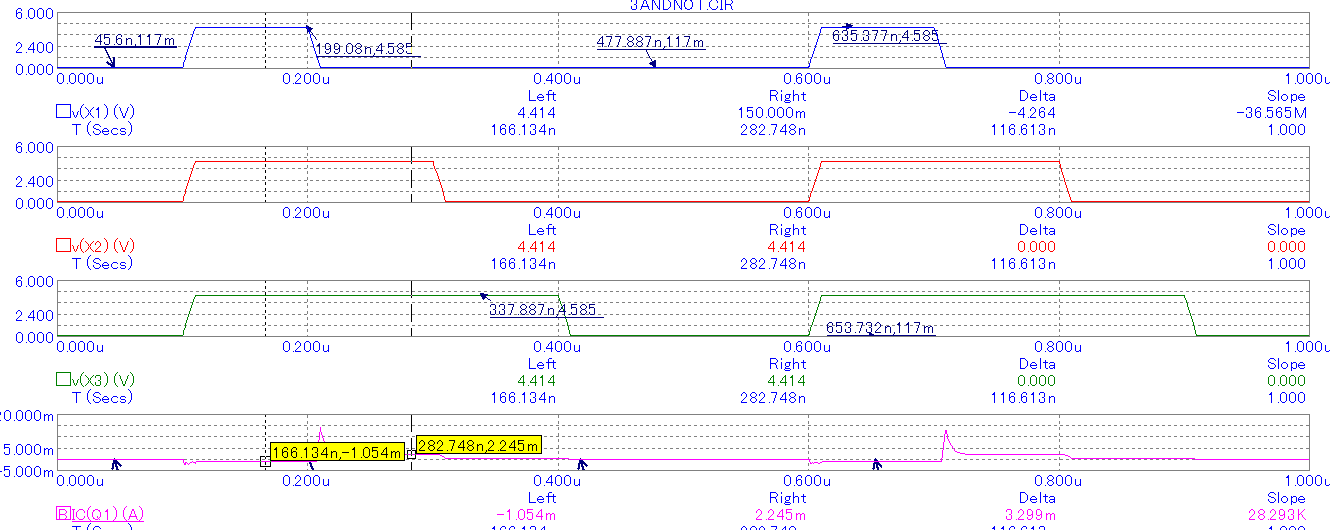
|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Параметри | Ib(Q1), мА | IK(Q1), мА | IE(Q1), мА | Ib(Q2), мА | IK(Q2), мА | IE(Q2), мА | Ib(Q4), мА | IK(Q4), мА | IE(Q4), мА | Ib(Q3), мА | IK(Q3), мА | IE(Q3), мА |
| X1 = X2 = X3= H | 0.520 | -1.054 | 0.534 | 0.520 | -1.054 | 0.534 | 0.520 | -1.054 | 0.534 | 1.975 | 7.966 | -16.172 |
| X1 = L, X2 = X3 = H | 0.613 | 2.245 | -2.859 | 0.552 | -1.123 | 0.569 | 0.552 | -1.123 | 0.569 | 0.031 | -0.012 | ≈0 |
| X1 = X2 = L, X3 = H | 0.585 | 0.564 | -1.150 | 0.585 | 0.562 | -1.150 | 0.554 | -1.127 | 0.572 | 0.018 | ≈0 | ≈0 |
| X1 = X2 = X3 = L | 0.576 | ≈0 | -0.576 | 0.576 | ≈0 | -0.576 | 0.576 | ≈0 | -0.577 | ≈0 | ≈0 | ≈0 |

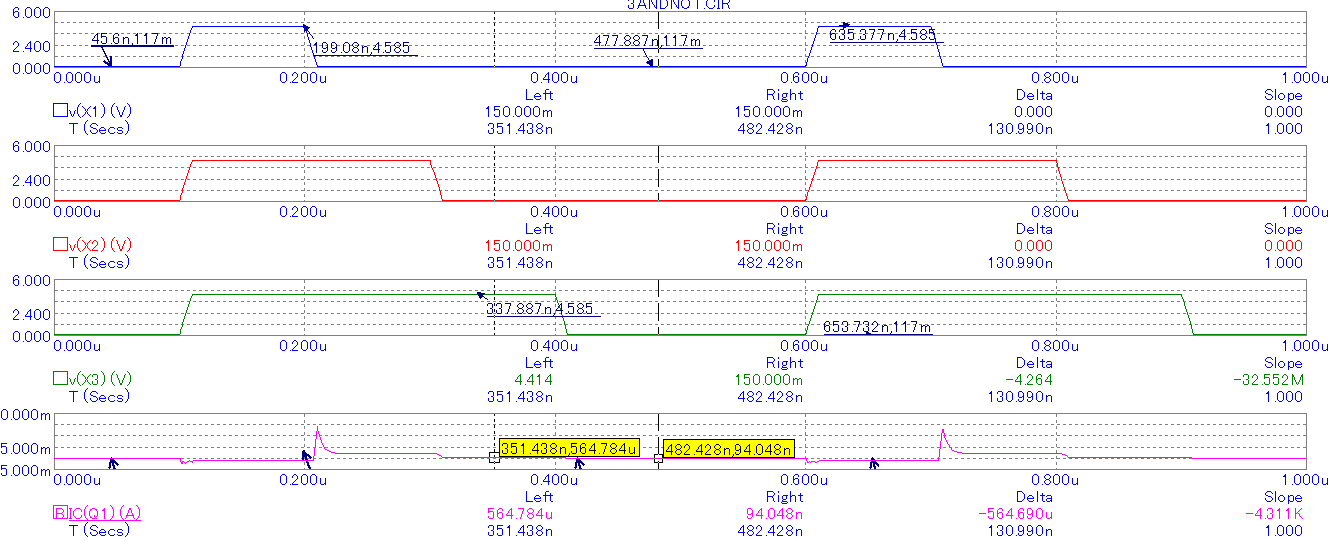
Ib(Q1):



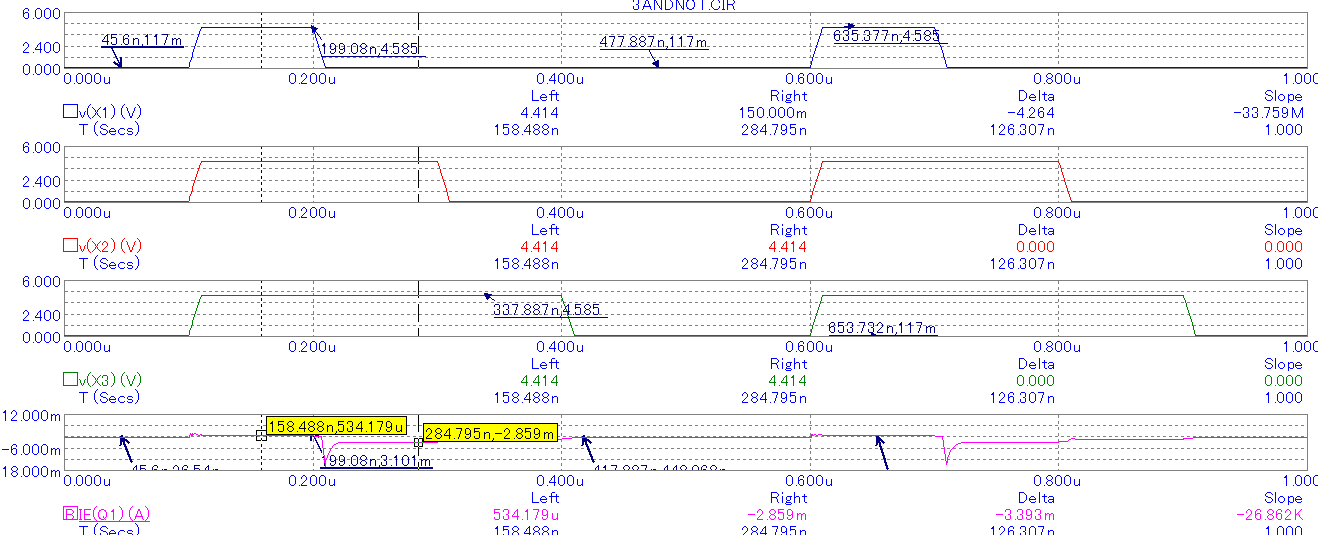


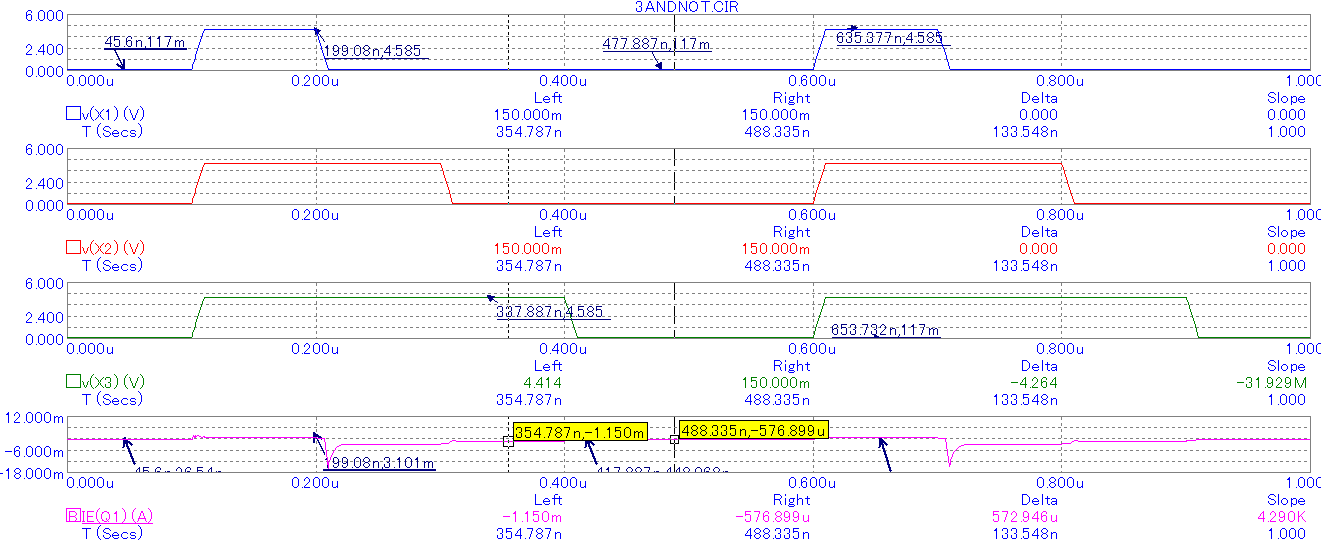
IK(Q1):



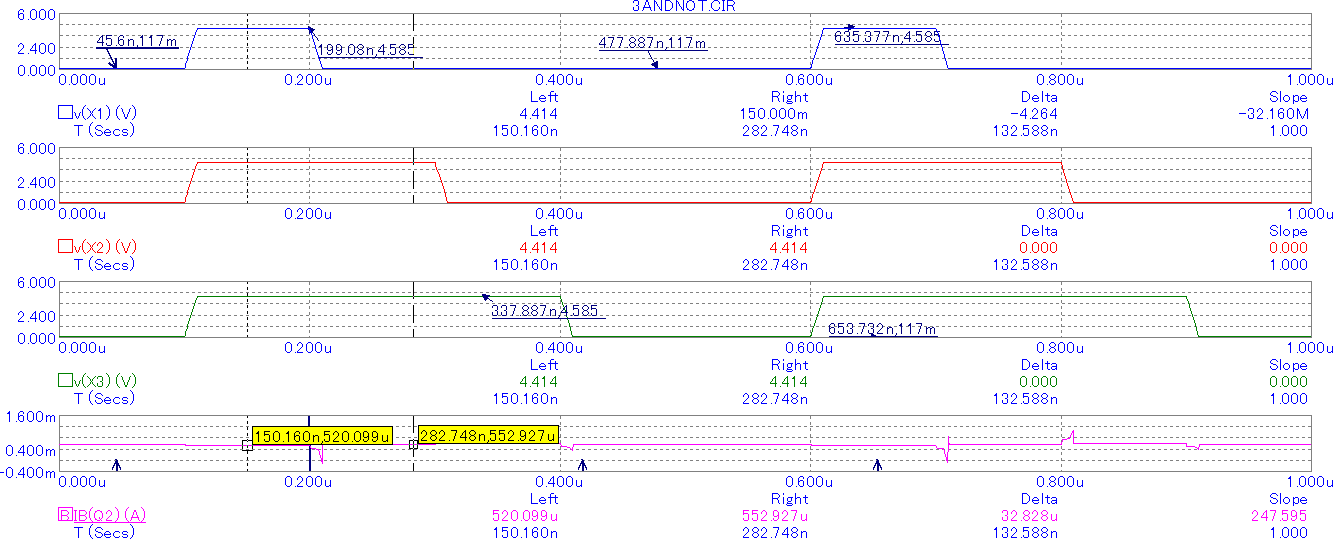
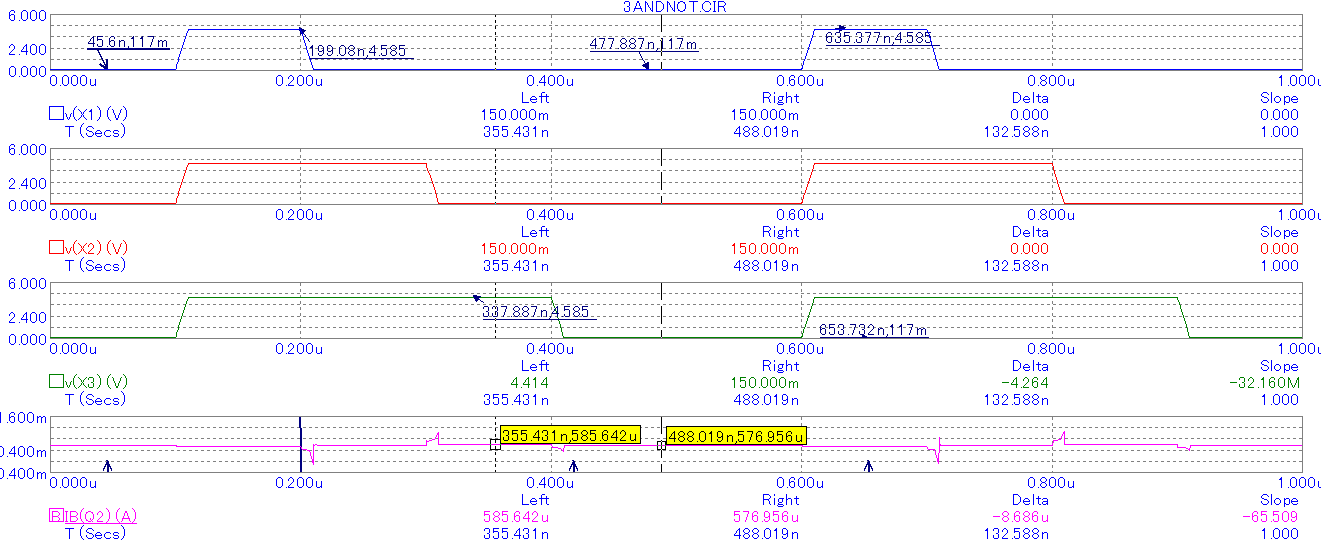


IE(Q1):

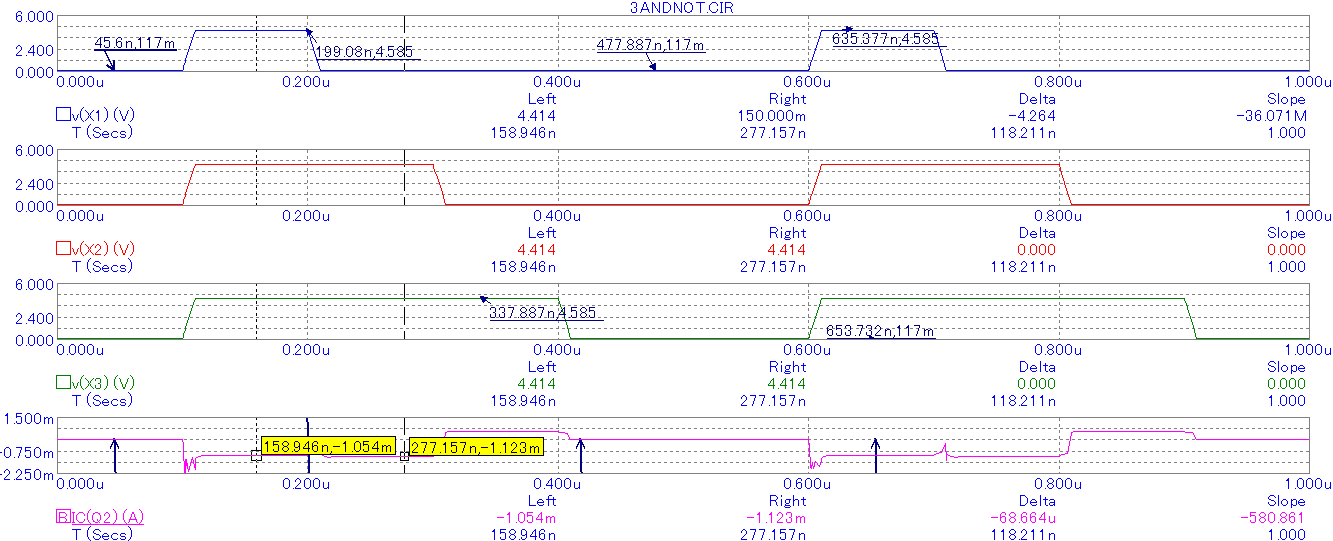


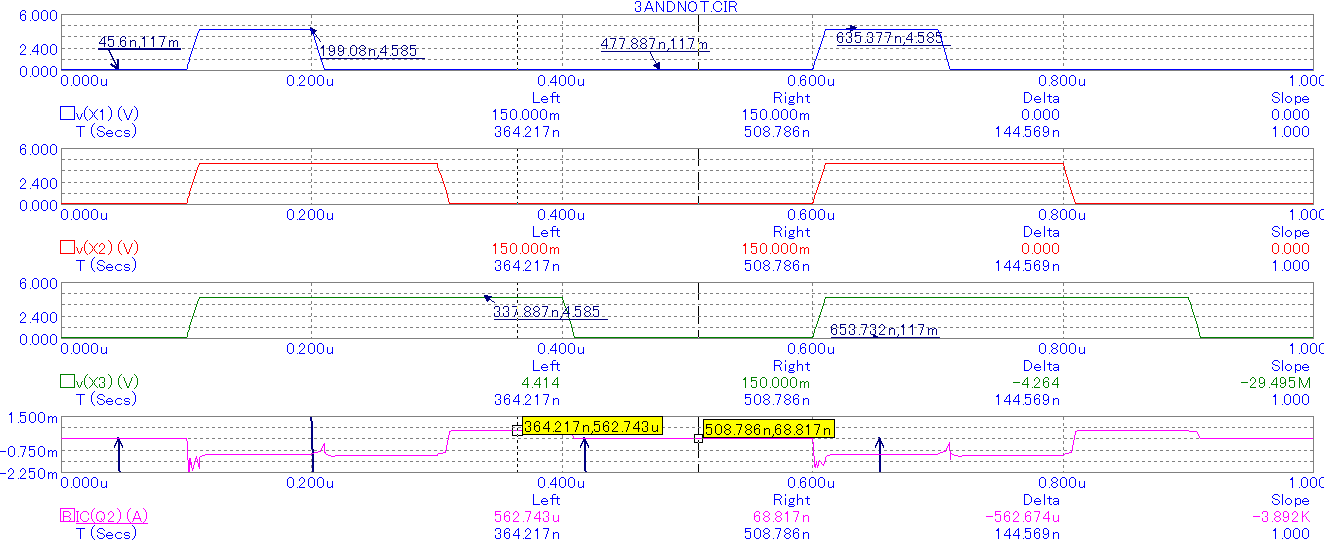


Ib(Q2):

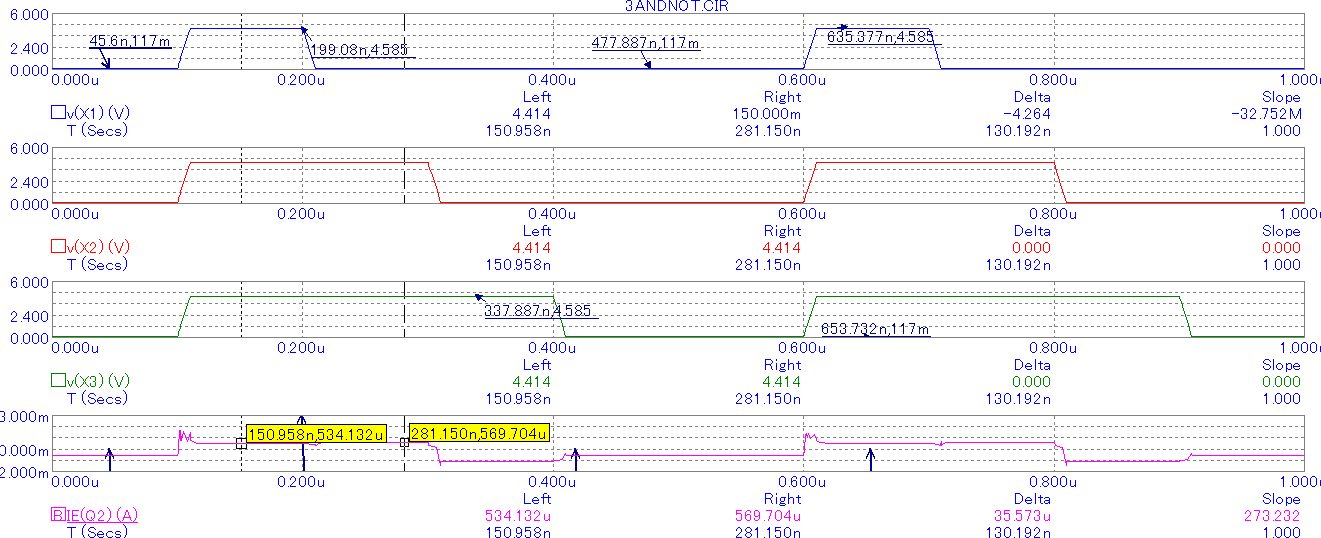
 

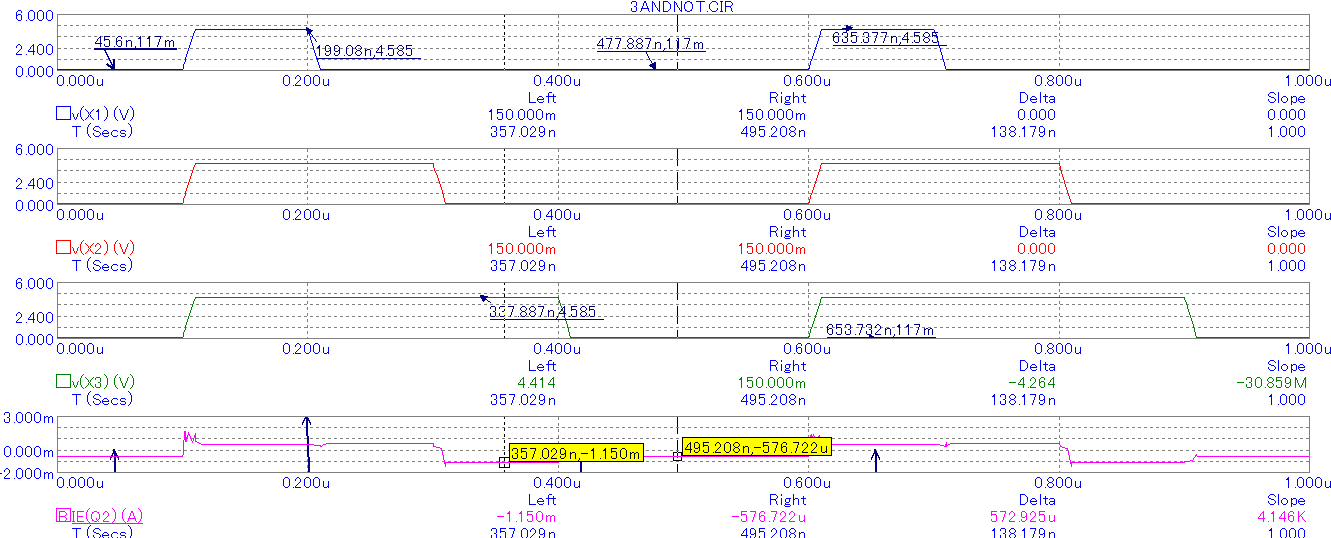
IK(Q2):



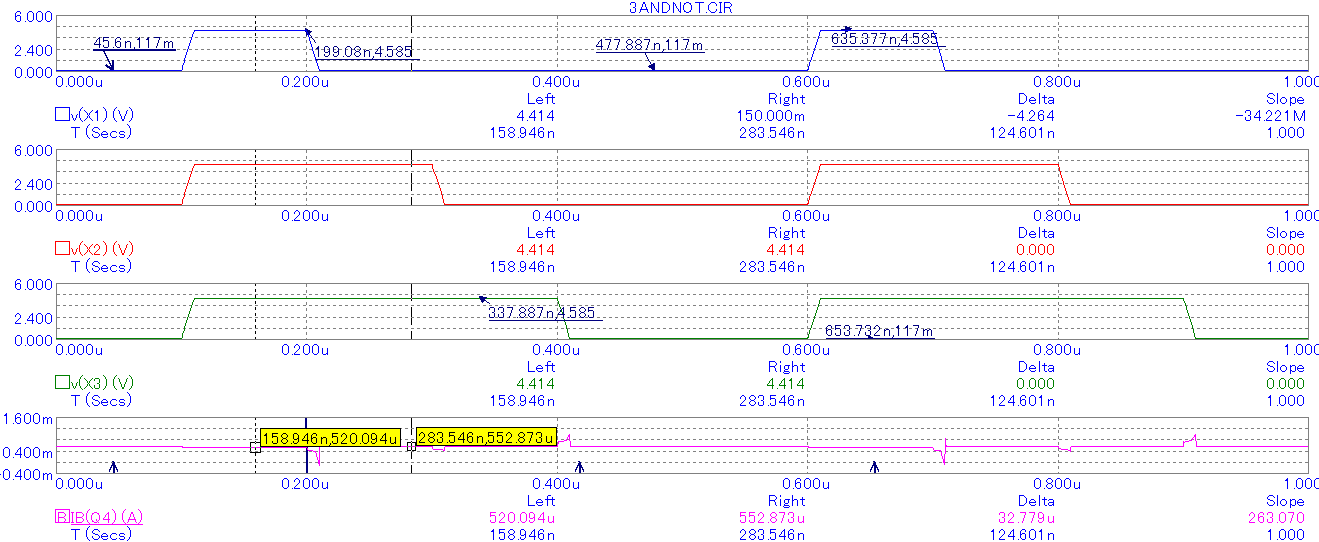


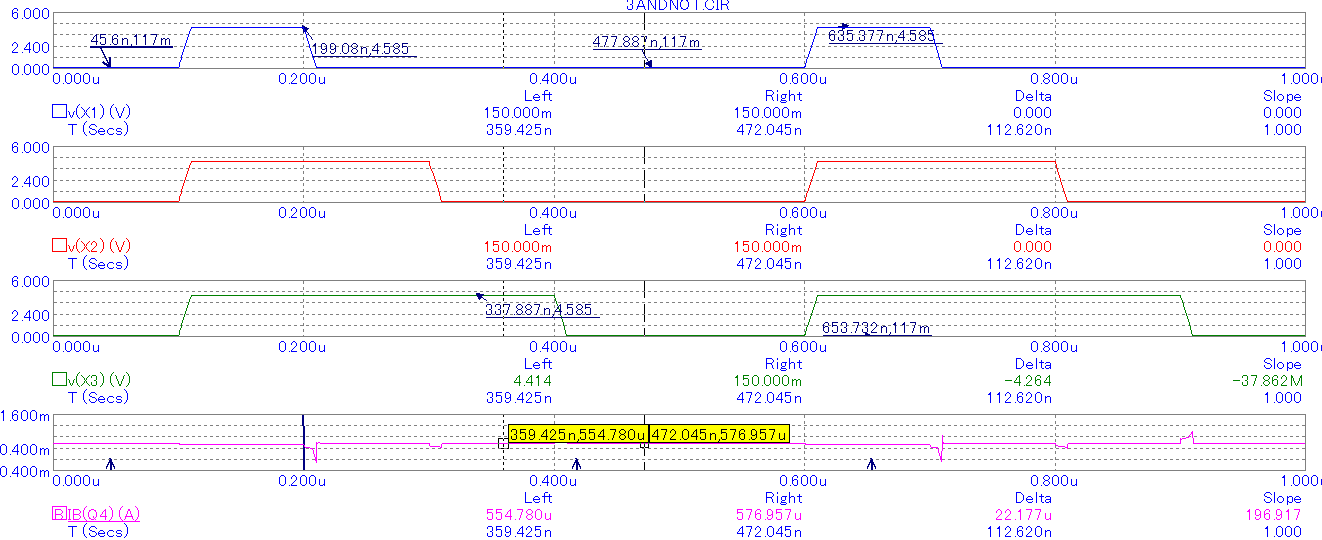
IE(Q2):



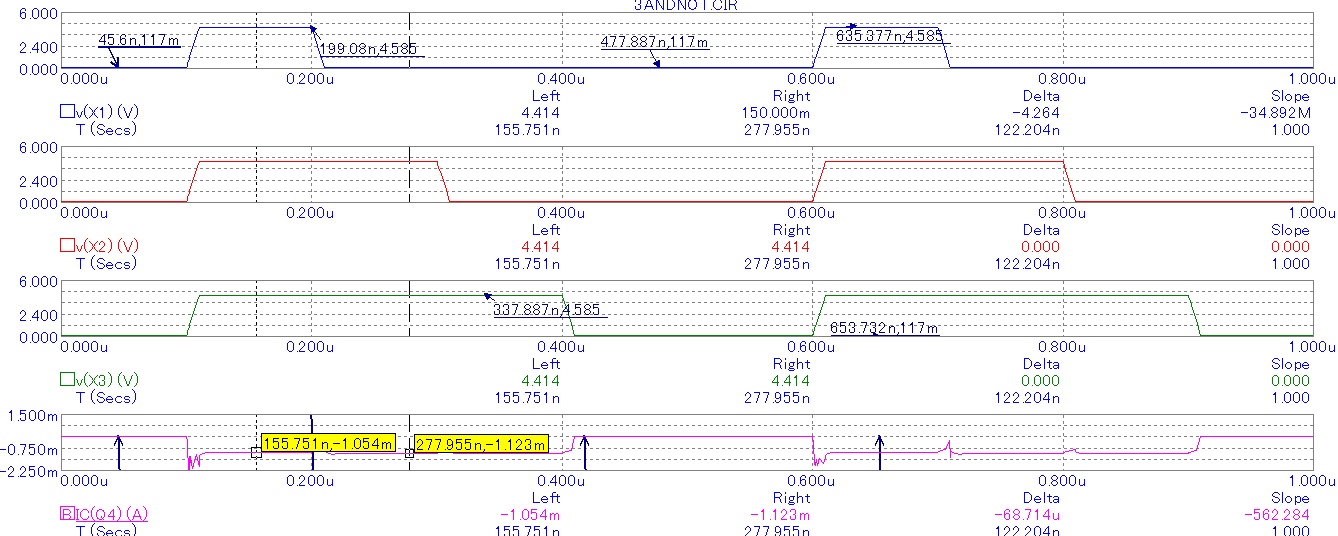


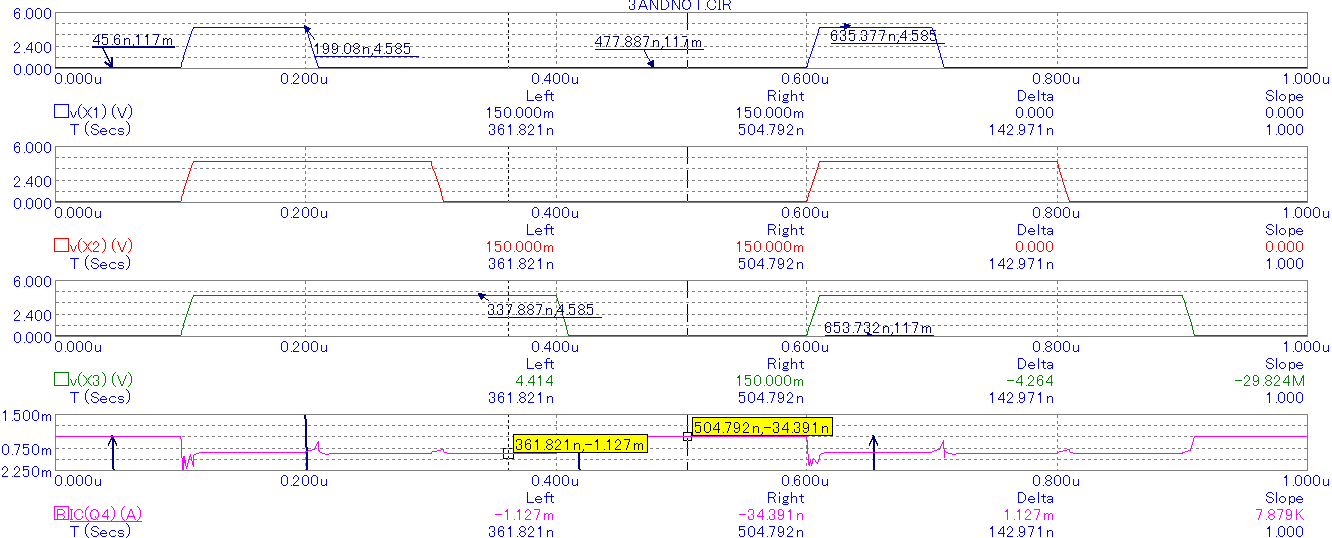
Ib(Q4):



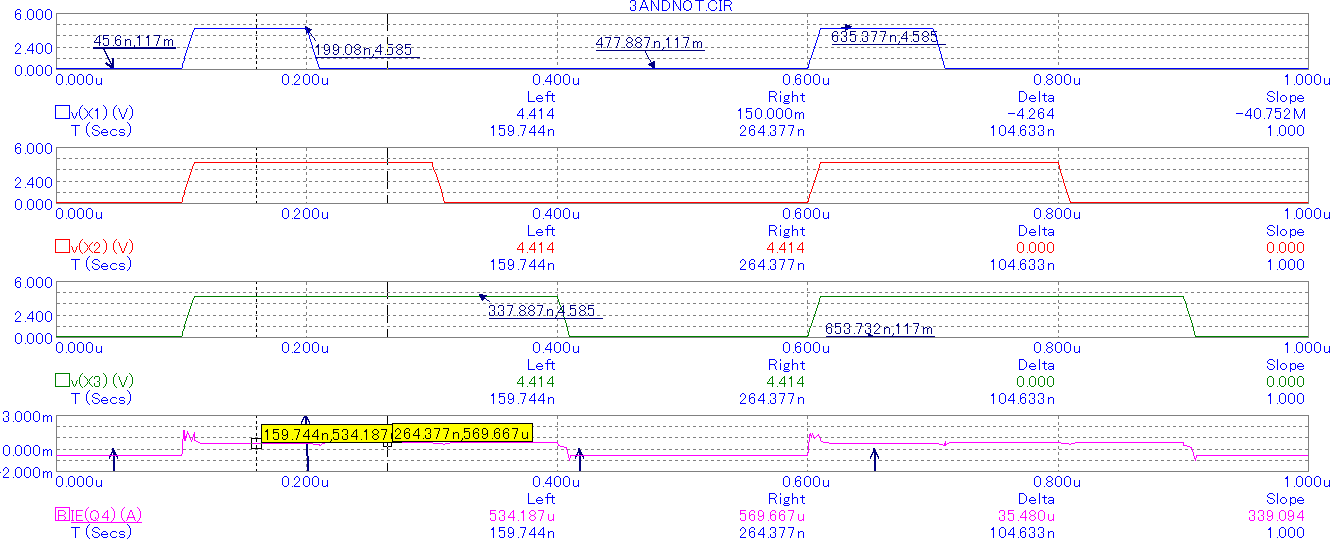


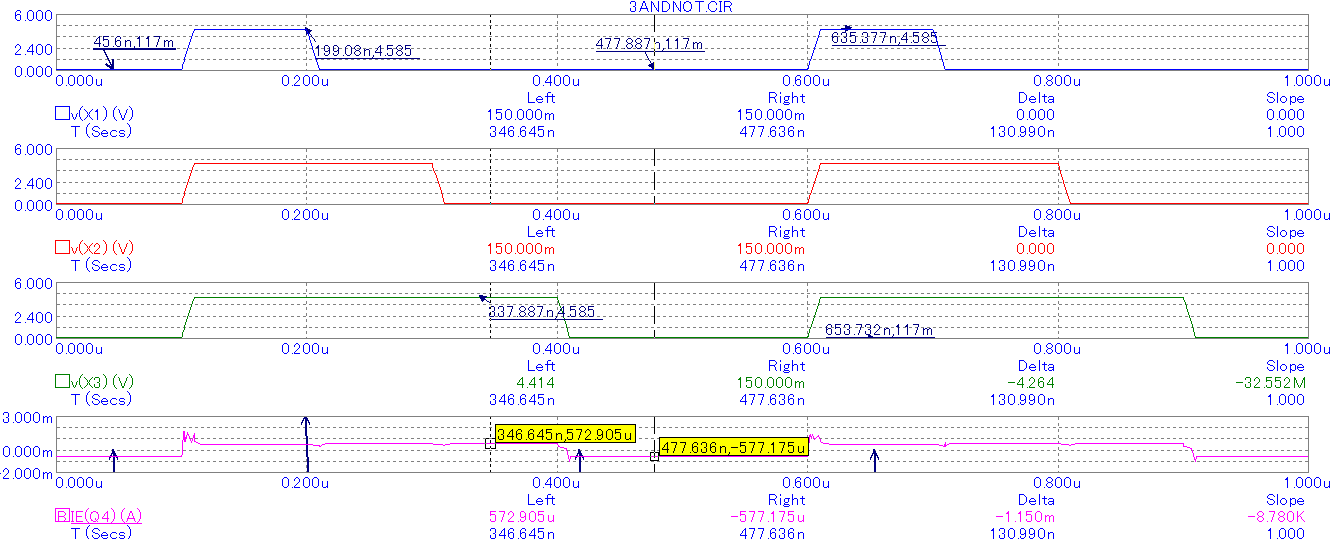
IK(Q4):



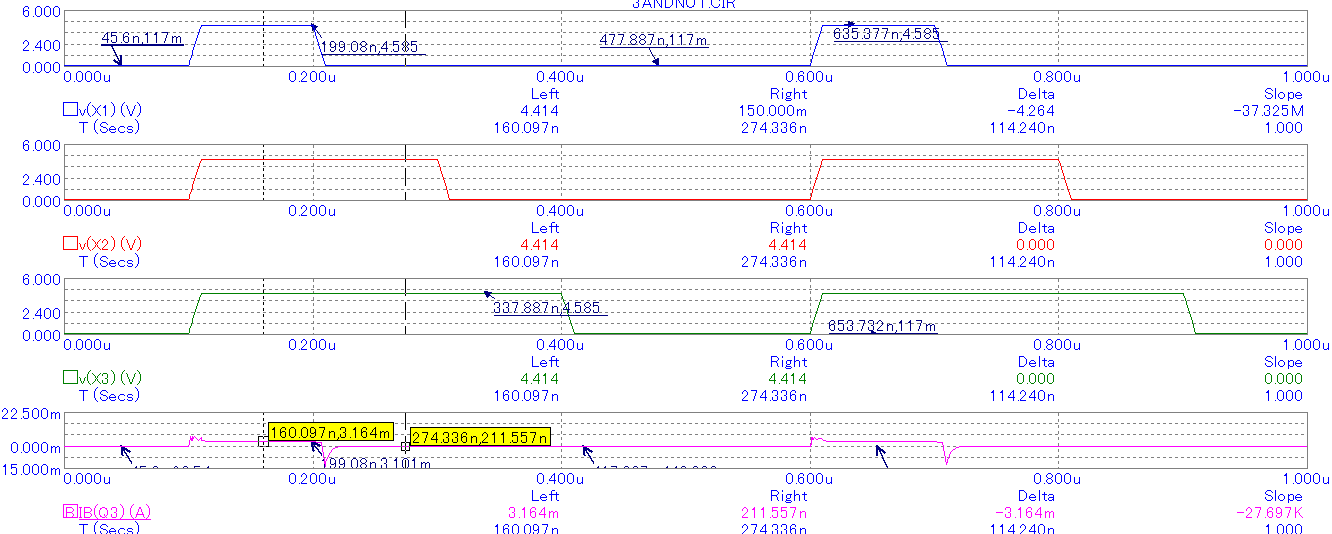


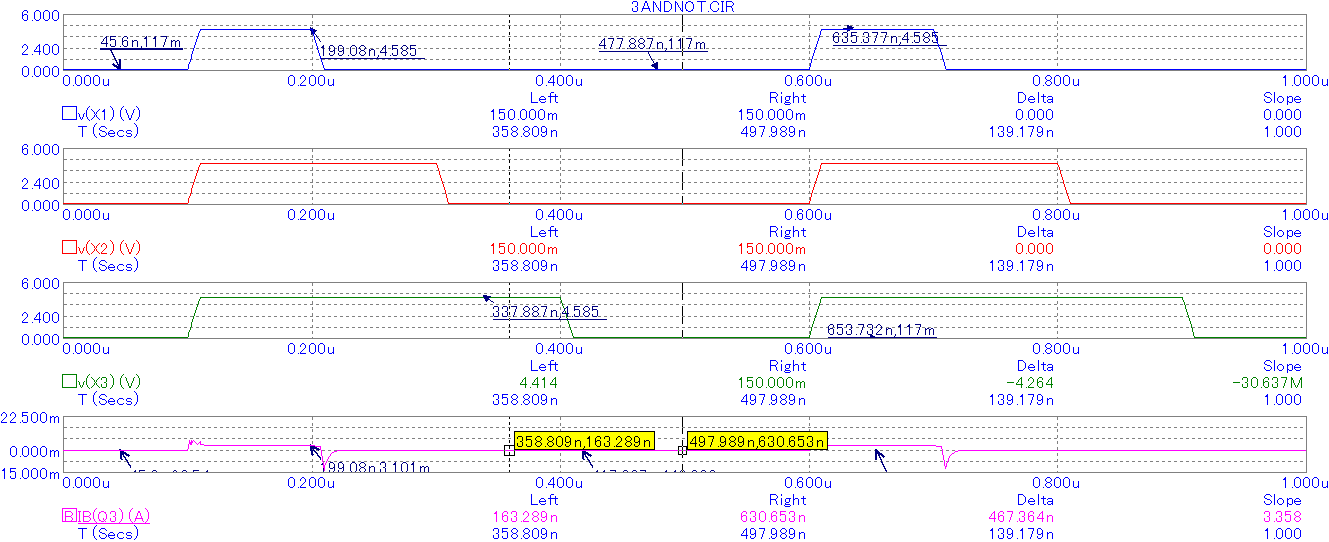
IE(Q4):



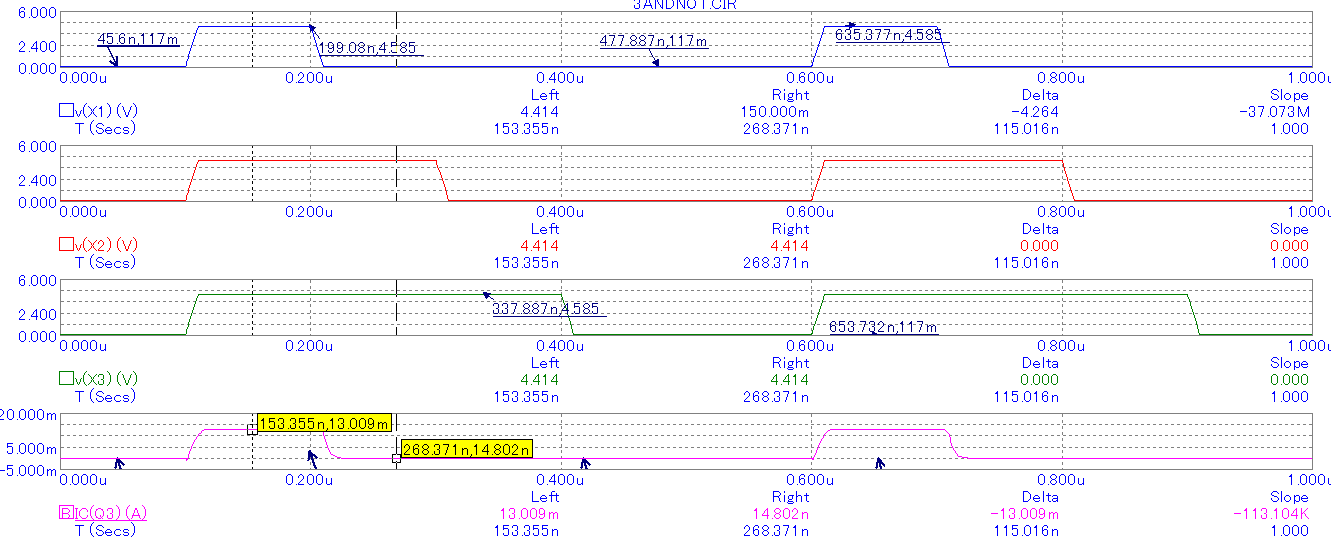


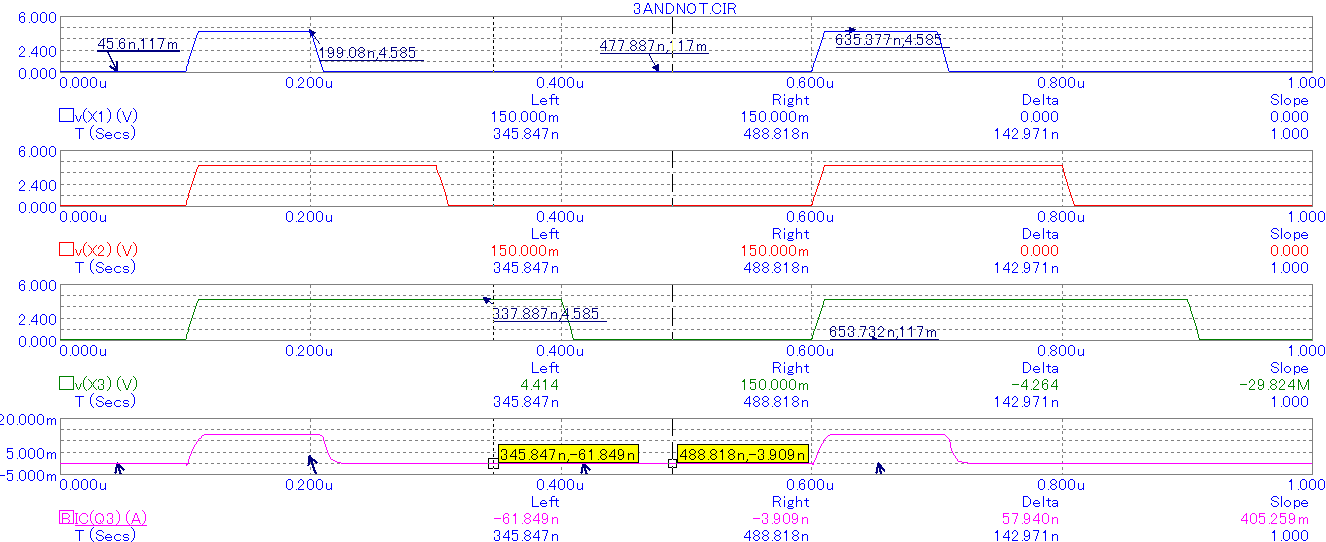
Ib(Q3):



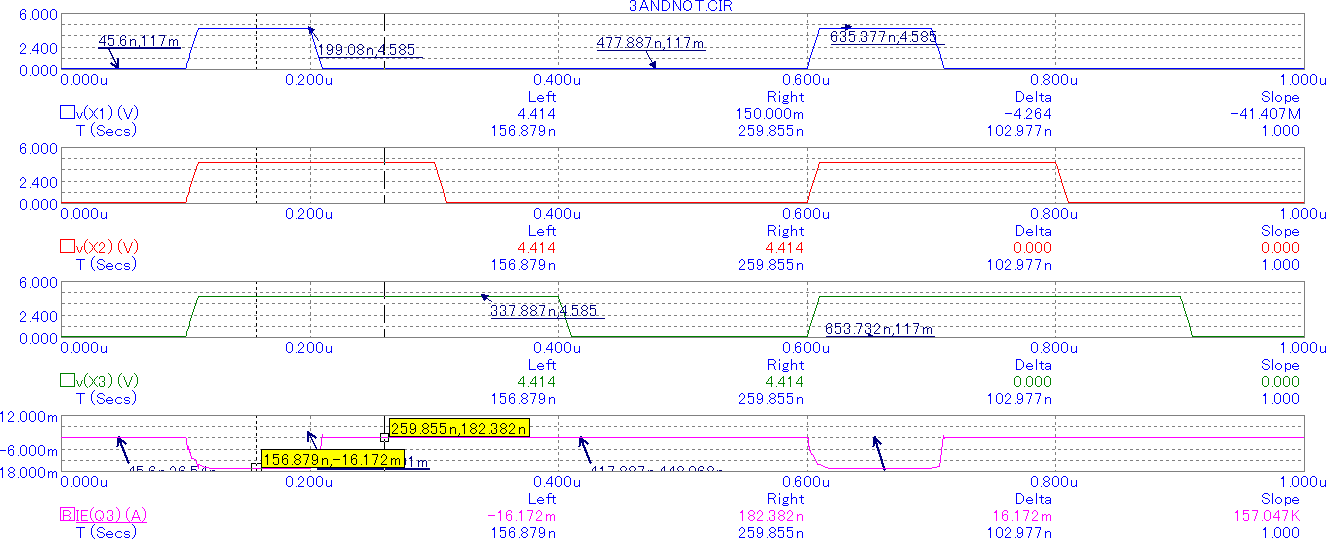


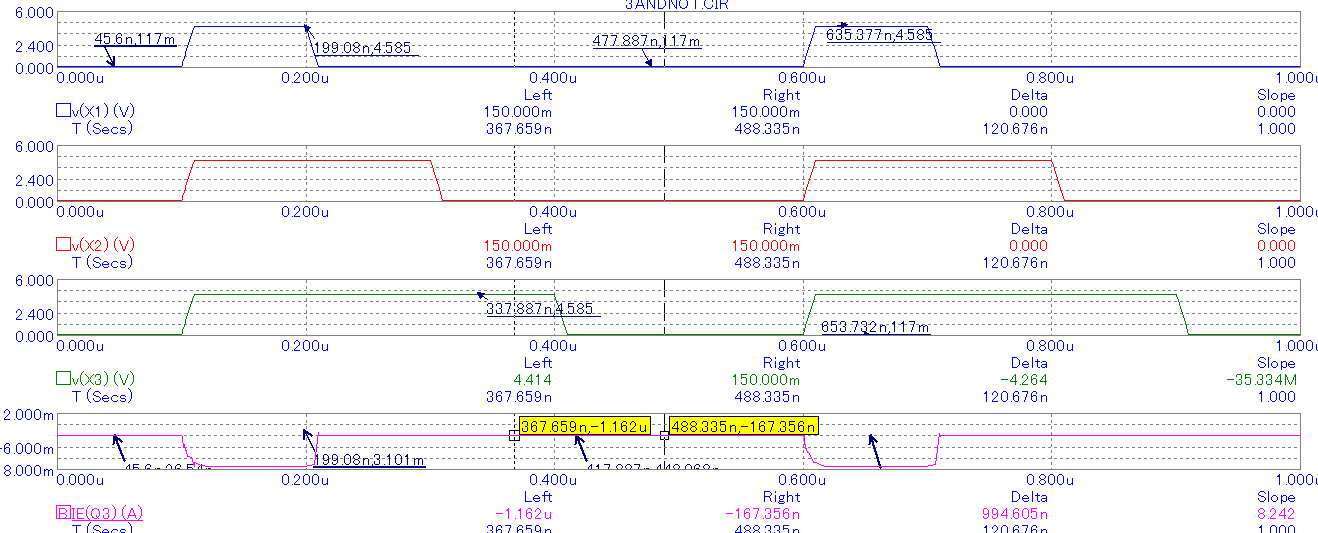
IK(Q3):





IE(Q3):





Висновки до завдання №1

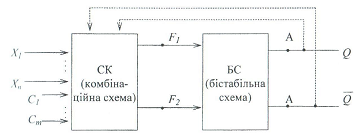
У даному завданні ми дослідили роботу схем 2І-НЕ та 3І-НЕ. Отриманні результати цілком задовільняють очікуваним значенням і певні невідповідності можуть виникати через округлення при обчисленнях. При подачі на входи різних комбінацій рівнів, ми отримували відповідне значення на виході схеми. З отриманих результатів ми переконались, що тільки при подачі високого рівня на всі входи, на виході встановлюється низький рівень. В усіх інших випадках, на виході маємо високий рівень. Коли хоча б на один вхід подається низький рівень, напруга переходу «джерело живлення – пульсар» зменшиться. Струм буде протікати через базу-емітер відповідного вхідного транзистора, вихідний транзистор буде закритий і на виході встановиться високий рівень.

Завдання №2

На базі досліджених базових схем 2І-НЕ та 3І-НЕ побудувати і дослідити модель DRS-тригера з інверсним синхронним інформаційним входом D та інверсними асинхронними RS входами. Забезпечити ділення вхідної частоти на заданий коефіцієнт К = 3 при початковому стані Q1 = 1, Q2 = 1 (послідовність переходів 11,10,01). Синхронізація відбувається під час переходу з “1” в “0”.

Теоретична частина:

Тригером називають пристрій, побудований на логічних елементах, який має два стійких стани. Тригерний пристрій (тригер) складається з бістабільної схеми, яку називають запам’ятовувальним елементом, та схеми керування. Схема керування є комбінаційною схемою з двома виходами:

Основною структурною одиницею тригера є бістабільна схема. Розрізняють два різновиди бістабільної схеми — бістабільну схему на елементах І-НЕ та бістабільну схему на елементах АБО-НЕ.

D-тригер називають тригером затримки, для нього справедлива рівність D(t) = Q(t + 1).

Асинхронні тригери не мають тактового входу, тому запис інформації в такі тригери здійснюється безпосередньо надходженням інформаційних сигналів. Синхронні тригери мають тактові входи. Розрізняють синхронні тригери, керовані рівнем тактового сигналу та перепадом (фронтом) тактового сигналу. Тригери, керовані перепадом (фронтом) тактового сигналу, називають тригерами з внутрішньою затримкою.

Тригери, керовані перепадом тактового сигналу, містять у своєму складі дві або три бістабільні схеми. Вони переходять у новий стан лише у момент перепаду (переходу з 0 в 1 або з 1 в 0) тактового сигналу. Такі тригери можна побудувати за MS-схемою. Тоді до складу тригера входять дві бістабільні схеми: М-БС (М — master) та S-БС ( S — slave). Виходами тригера в цілому є виходи S-БС. Запис інформації в М-БС тактується сигналом С, а передача інформації з М-БС в S-БС здійснюється через вентилі (В), що з’єднують М-БС і S-БС. Якщо тригер будують на елементах І-НЕ, то вентилем є елемент І-НЕ, якщо тригер будують на елементах АБО-НЕ, то вентилем є елемент АБО-НЕ. У схемі тригера на елементах І-НЕ з інвертором у колі синхросигналу передача інформації з М-БС в S-БС відбувається в момент переходу тактового сигналу С з 1 в 0. Вентилі В при цьому відкриваються і стан М-БС переписується в S-БС. При С = 0 зміна інформаційних сигналів на входах не може вплинути на стан М-БС. При С = 1 стан М-БС під впливом інформаційних сигналів може змінитися, але це не позначиться на S-БС, оскільки вентилі В будуть закриті. І лише при наступному переході з 1 в 0 новий стан М-БС буде переписано в S-БС і на виходах встановляться нові значення.

Послідовне з’єднання D-тригерів забезпечує поділ вхідної частоти на 2n. Два тригери забезпечують чотири стани на виході. Для ділення вхідної частоти на три необхідно один із станів заблокувати. Перший початковий стан задається за допомогою асинхронних входів R і S.

Дослідження моделі даного DRS-тригера:

Таблиця переходів D тригера з інвернсним входом D:

|  |  |
| --- | --- |
| D(t) | Q(t + 1) |
| 0 | 1 |
| 1 | 0 |

Таблиця функцій збудження бістабільної схеми на елементах І-НЕ:

|  |  |  |  |
| --- | --- | --- | --- |
| Q(t) | Q(t + 1) | F1 | F2 |
| 0 | 0 | 1 | \* |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | \* | 1 |

На основі таблиці переходів D-тригера та таблиці функції збудження бістабільної схеми на елементах І-НЕ будуємо повну таблицю переходів синхронного D-тригера на елементах І-НЕ. При С = 0 тригер не змінює свого стану, тому Q(t + 1) = Q(t). При С = 1 тригер має функціонувати за таблицею переходів D-тригера. Аналізуючи переходи Q(t) → Q(t + 1) і беручи до уваги таблицю функцій збудження бістабільної схеми на елементах І-НЕ, заповнюємо стовпці F1 та F2:

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| *C(t)* | *D(t)* | *Q(t)* | *Q(t+1)* | *F1* | *F2* |
| 0 | 0 | 0 | 0 | 1 | \* |
| 0 | 0 | 1 | 1 | \* | 1 |
| 0 | 1 | 0 | 0 | 1 | \* |
| 0 | 1 | 1 | 1 | \* | 1 |
| 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | \* | 1 |
| 1 | 1 | 0 | 0 | 1 | \* |
| 1 | 1 | 1 | 0 | 1 | 0 |

За допомогою діаграм Вейча мінімізуємо функції F1 та F2**:**

|  |  |  |  |
| --- | --- | --- | --- |
| 1 | 1 | \* | 0 |
| 1 | \* | \* | 1 |

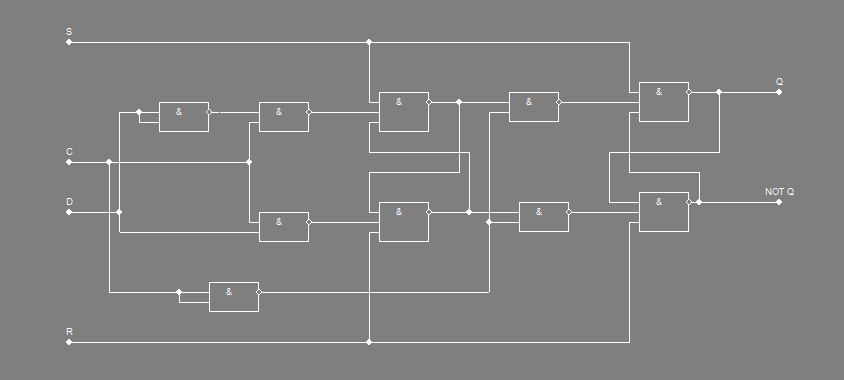
F1: F2:

|  |  |  |  |
| --- | --- | --- | --- |
| \* | 0 | 1 | 1 |
| \* | 1 | 1 | \* |





Зображення схеми на вентилях:



Електронна схема – див. Додаток 1.

Графік дослідження роботи тригера:

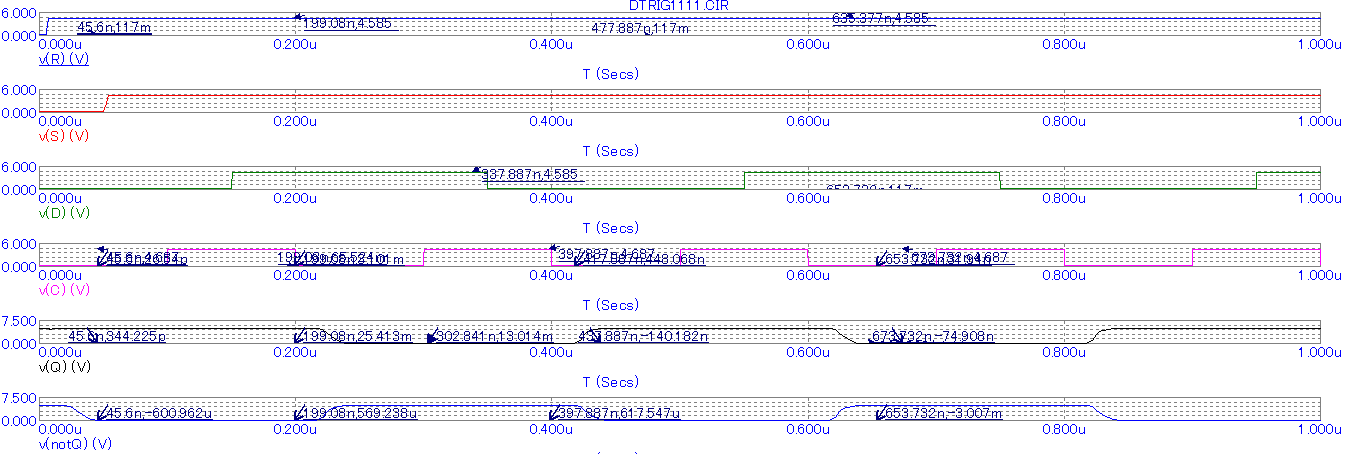


Схема ділення на 3 за допомогою D тригера:

Для того, щоб поділити вхідну частоту на 3 за допомогою D тригера потрбіно з’єднати два тригери і задати заборонений стан, у нашому випадку заборонений стан: Q1 = Q2 = 0.

Оскільки початковий стан Q1 = 1, Q2 = 1, та асинхронні входи тригера R і S інверсні, на S1 та S2 подаємо постійний високий рівень, а на R1 та R2 – короткий низький сигнал.

Побудуємо таблицю переходів, враховуючи послідовність переходів:

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |
| 1 | 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 |  |  |

Звідси:

Умовне графічне зображення:

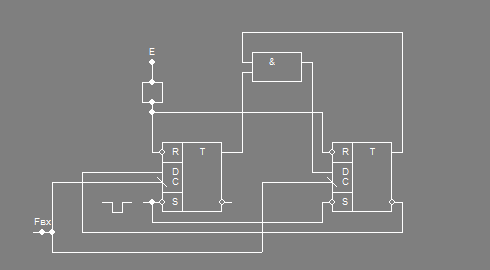
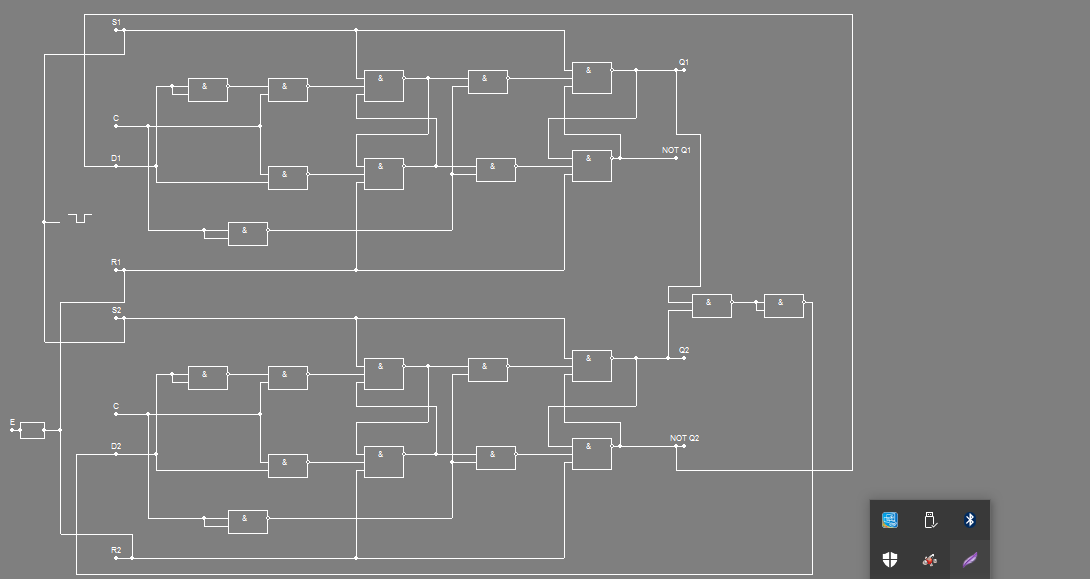
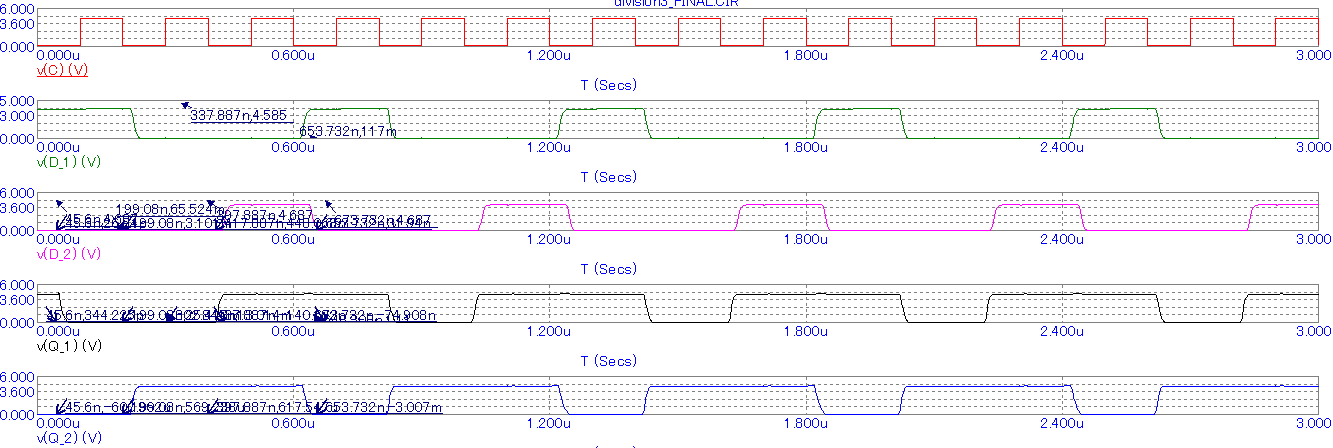


Схема на вентилях:



Електронна схема – див. Додаток 2.

Графік роботи схеми ділення на 3:



Висновки до завдання № 2:

В даному завданні ми спроектували синхронний D-тригер з інверсним входом D. При перевірці його роботи ми переконались, що тригер працює коректно – відповідає заданій таблиці переходів. Також забезпечується ділення вхідної частоти на 2 (як видно з графіку): період вхідного синхросигналу С в два рази менший за період сигналу на виході Q.

Для ділення частоти на 3 скористались заданням забороненого стану,

Відповідно до графіків спроектована схема працює коректно.

Важливо зазначити, що дана схема виходить із забороненого стану

«00» за наступним перепадом синхросигналу в стан «01».

.

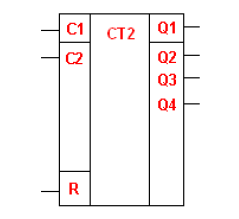
**Завдання №3**

**На базі досліджених схем ХІ-НЕ, побудувати і дослідити модель схеми заданого типу тригера. На базі даної моделі побудувати задану схему, дослідити і проаналізувати роботу створеної схеми. Роботу підтвердити відповідними таблицями переходу та графіками із значеннями вхідних і вихідних рівнів.**

Теоретична частина:

Лічильник — це операційний вузол, призначений для виконання мікрооперацій лічби. Кількість дозволених станів лічильника називають його періодом або модулем.   
Лічильники бувають синхронними та асинхронними. В асинхронних лічильниках на інформаційні входи асинхронних тригерів(чи на тактові входи синхронних тригерів) надходять сигнали з виходів сусідніх розрядів. У синхронних лічильниках усі тригери перемикаються одночасно під діянням спільного синхросигналу, що приходить на тактові входи всіх тригерів.  
За характером мікрооперацій лічби лічильника лічильники поділяють на інкрементні, декрементні та реверсивні. У моменти надходження сигналу стан інкрементного лічильника змінюється на +1, декрементного – на -1. Реверсивний може виконувати як операцію інкременту, так і операцію декременту, залежно від значення сигналу на вході управління.  
За способом організації переносу між розрядами лічильники поділяють на:  
\* з послідовним переносом,  
\* з наскрізним переносом,   
\* з паралельним переносом,  
\* з груповим переносом.  
Розглянемо лічильники з послідовним переносом. У таких лічильниках перенос(позичка) у сусідній старший розряд формується лише після перемикання тригера в попередньому(молодшому) розряді. Такі лічильники є асинхронними, тому перемикання тригерів відбувається неодночасно.

Умовне графічне зображення лічильника:



Обґрунтування структурної організації лічильника:

Для виконання завдання за заданим варіантом використаємо чотирьохрозрядний лічильник, який складається двох лічильників.

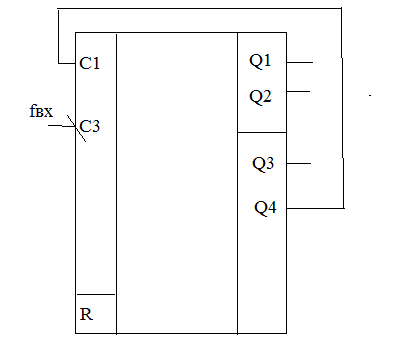
Перший із входом С1 та виходами Q1 та Q2 , що забезпечує поділ частоти на 4 і другого з входом C3 і виходами Q3 і Q4, які забезпечують ділення на 3 .

З’єднання цих лічильників дає у результаті ділення вхідної частоти на 12.

Для ділення частоти на 12 можливі два варіанти з’єднання входів і виходів даного лічильника:

1. На вхід С3 подати вхідний сигнал, а отриманий на виході Q4 сигнал подати на вхід С1, в результаті отримаємо ділення частоти спочатку на 3, а потім – на 4. На виході маємо частоту поділену на 12.
2. На вхід С1 подати вхідний сигнал, а отриманий на виході Q2 сигнал подати на вхід С3, в результаті отримаємо ділення частоти спочатку на 4, а потім – на 3. На виході маємо частоту поділену на 12.

Розглянемо випадок 1:



|  |  |  |  |
| --- | --- | --- | --- |
| Q4 | Q3 | Q2 | Q1 |
| 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 |

Таблиця переходів для даного способу з’єднання:

Часова діаграма лічильника з обраним з’єднанням:

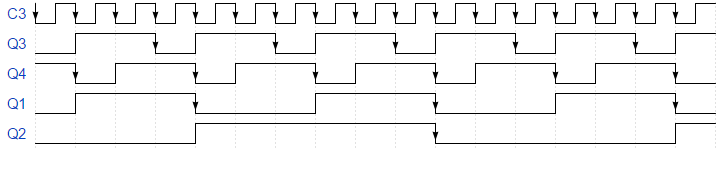
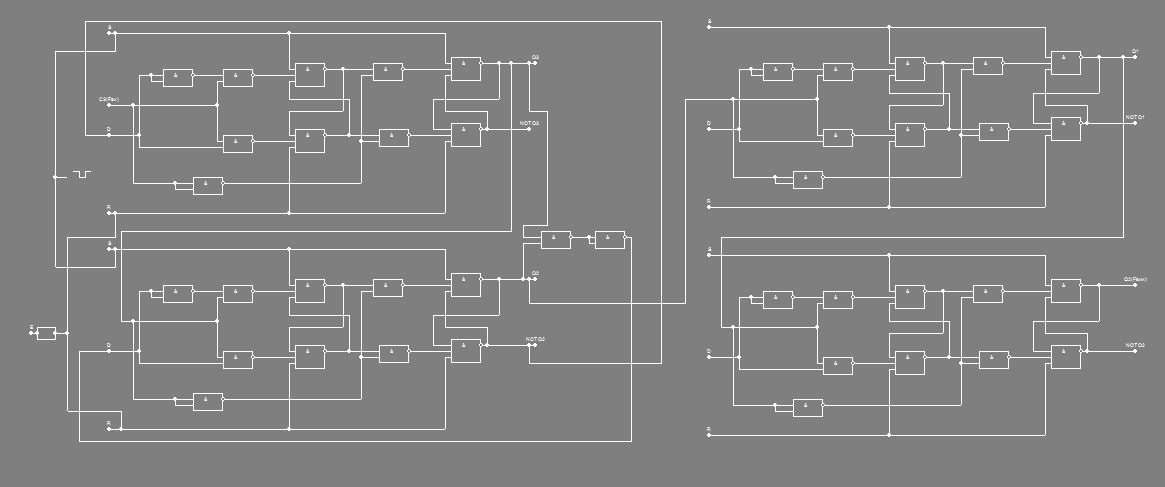


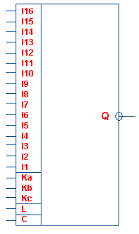
Схема лічильника на вентилях:



**Завдання №4**

**Задати багаторазовий режим роботи програмованого лічильника за модулем ділення 8. Коефіцієнт ділення вхідної частоти .**

Умовне графічне позначення програмованого лічильника:



Теоретична частина:

Для того, щоб правильно забезпечити ділення вхідної частоти за допомогою програмованого лічильника треба проаналізувати дві таблиці. Для аналізу цих таблиць, по-перше, потрібно дізнатися, який модуль ділення заданий за умовою, а потім за допомогою цього визначити, які максимальні коефіцієнти Р1- Р5 ми можем отримати при майбутньому діленні.

Оскільки нам заданий модуль ділення М, рівний 8, то по першій таблиці маємо:

М=8; Р1max = 1; Р5max =7.

Для того, щоб знайти для програмованого лічильника значення Ka ,Kb ,Kc скористаюсь таблицею. Отже, маю:

Ka =0, Kb =0, Kc =1.

|  |  |  |
| --- | --- | --- |
| М | Р1max | Р5max |
| 2 | 7 | 1 |
| 4 | 3 | 3 |
| 5 | 1 | 4 |
| 8 | 1 | 7 |
| 10 | 0 | 9 |

Таблиця режимів роботи:

|  |  |  |  |
| --- | --- | --- | --- |
| M | Ka | Kb | Kc |
| 2 | 1 | 1 | 1 |
| 4 | 0 | 1 | 1 |
| 5 | 1 | 0 | 1 |
| 8 | 0 | 0 | 1 |
| 10 | 0 | 1 | 0 |

Визначення коефіцієнтів:

Далі визначу коефіцієнти Р1- Р5 :

14446 | 8

-8 1 8 0 5 + 6

64 Р1Р2Р3Р4 Р5

-64

46

-40

6

Для того, щоб занести наші значення в таблицю треба перевести отримані дані з десяткової в двійкову систему числення, тоді маємо:

Р1 = 0001

Р2 = 1000

Р3 = 0000

Р4 = 0101

Р5 = 0110

Також треба відмітити, що за умовою у нас багаторазовий режим роботи, а тому він задається низьким рівнем на вході L.

Заповнення результуючої таблиці:

Останнім кроком буде заповнення таблиці програмованого лічильника, а саме:

Отже, маємо:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| J15 | J14 | J13 | J12 | J11 | J10 | J9 | J8 | J7 | J6 | J5 | J4 | J3 | J2 | J1 | J0 | Ka | Kb | Kc | L |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 |

**ЛІТЕРАТУРА**

1. Конспект лекцій з дисципліни «Комп’ютерна електроніка».
2. Методичні вказівки до виконання лабораторних робіт із дисципліни «Комп’ютерна електроніка». Лабораторна робота № 4.
3. Методичні вказівки до виконання лабораторних робіт із дисципліни «Комп’ютерна схемотехніка». Лабораторна робота № 2.
4. Документація утиліти для аналогового ти цифрового моделювання Micro-Cap.