

#### Tema 4:

### Módulos combinacionales básicos

Fundamentos de computadores

José Manuel Mendías Cuadros

Dpto. Arquitectura de Computadores y Automática Universidad Complutense de Madrid



### Contenidos



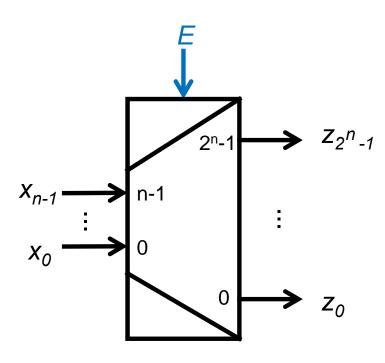
- Decodificador.
- ✓ Multiplexor.
- ✓ Bus.
- ✓ Codificador.
- ✓ ROM (Read Ony Memory).
- ✓ Sumador/Restador.
- ✓ Comparador.
- ✓ ALU (Arithmetic Logic Unit).

#### Transparencias basadas en los libros:

- R. Hermida, F. Sánchez y E. del Corral. Fundamentos de computadores.
- D. Gajsky. Principios de diseño digital.

### Decodificador





Decodificador n a 2<sup>n</sup>

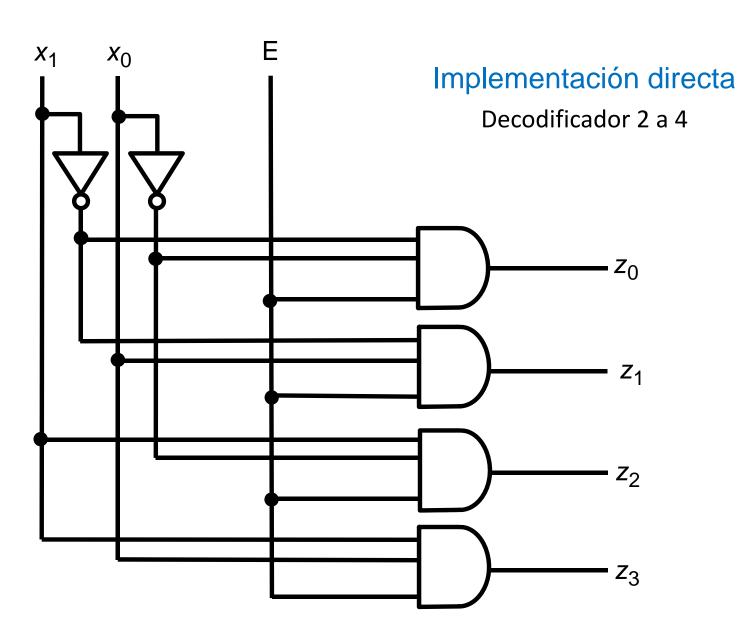
- x n entradas de datos
- <u>z</u> 2<sup>n</sup> salidas de datos
- E 1 entrada de capacitación (op)

si la entrada toma la configuración binaria p, la salida  $(p)_{10}$ -ésima se activa

$$z_i = \begin{cases} 1 & \text{si E=1 y } (\underline{x})_{10} = i \\ 0 & \text{en caso contrario} \end{cases}$$

$$z_i = E \cdot m_i(\underline{x})$$

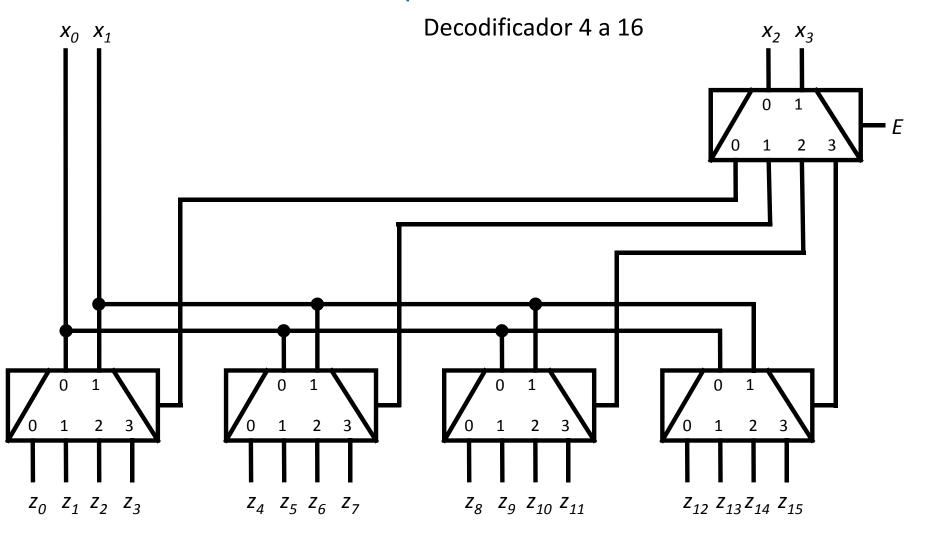
### Decodificador



### Decodificador



#### Implementación en árbol

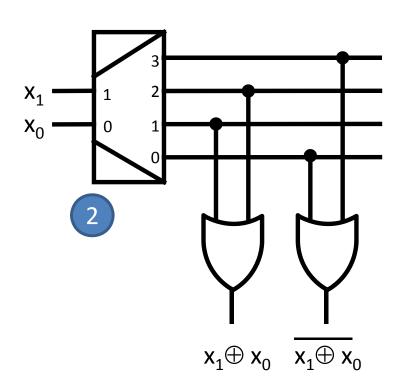


### Decodificador



#### Aplicaciones al diseño:

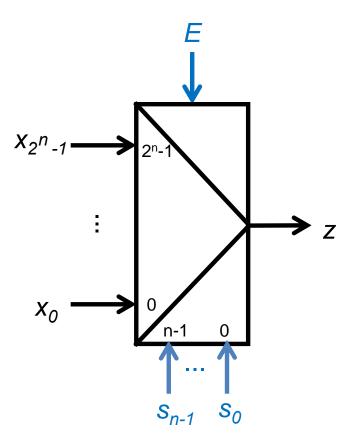
- 1. Habilitar selectivamente 1 de n subcomponentes cada uno asociado a un índice (dirección) binaria.
- 2. Implementar directamente SPC usando puertas OR adicionales (que sumen cada unos de los mintérminos de la FC).



# FC tema f

## Multiplexor





Multiplexor 2<sup>n</sup> a 1

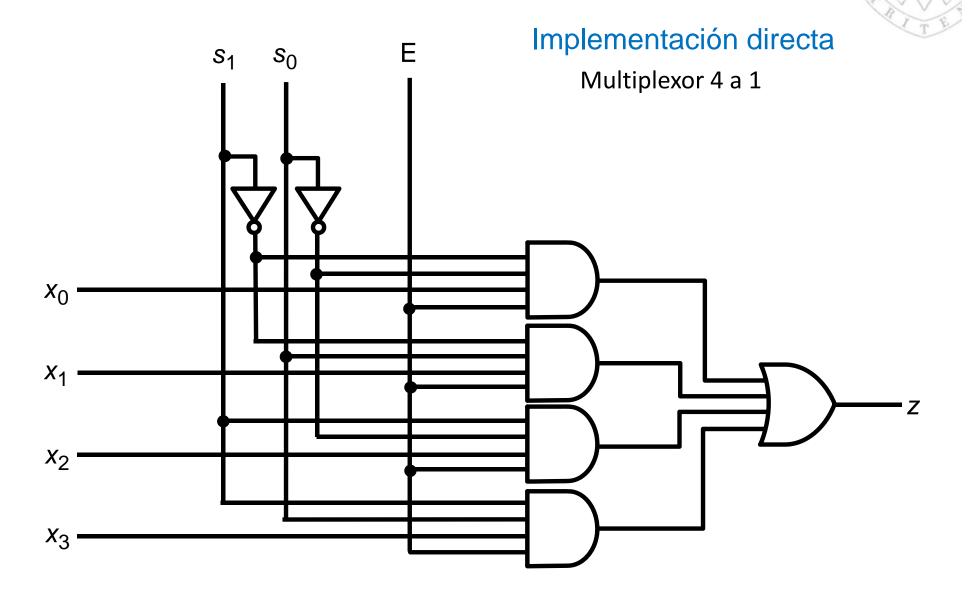
- x 2<sup>n</sup> entradas de datos
- s n entradas de control
- E 1 entrada de capacitación (op)
- z 1 salida de datos

si la entrada de control toma la configuración binaria p, la salida equivale a la entrada  $(p)_{10}$ -ésima

$$z = \begin{cases} x_i & \text{si E=1 y } (\underline{s})_{10} = i \\ 0 & \text{en caso contrario} \end{cases}$$

$$z = E \cdot \sum (x_i \cdot m_i(\underline{s}))$$

## Multiplexor

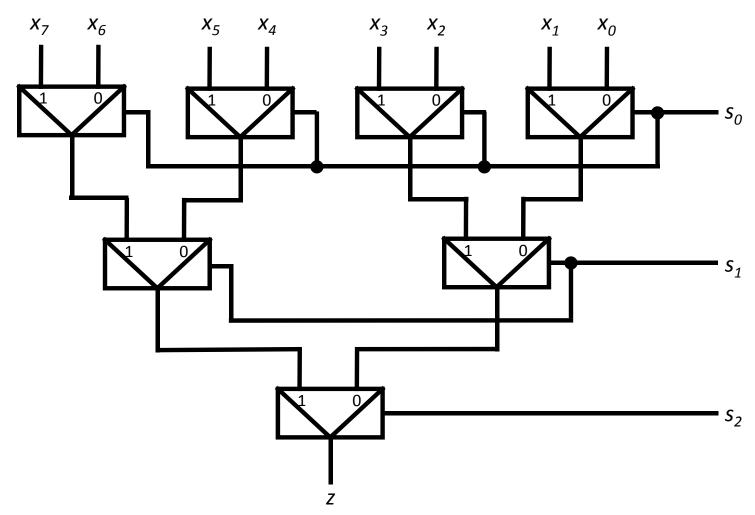


## Multiplexor



#### Implementación en árbol

Multiplexor 8 a 1

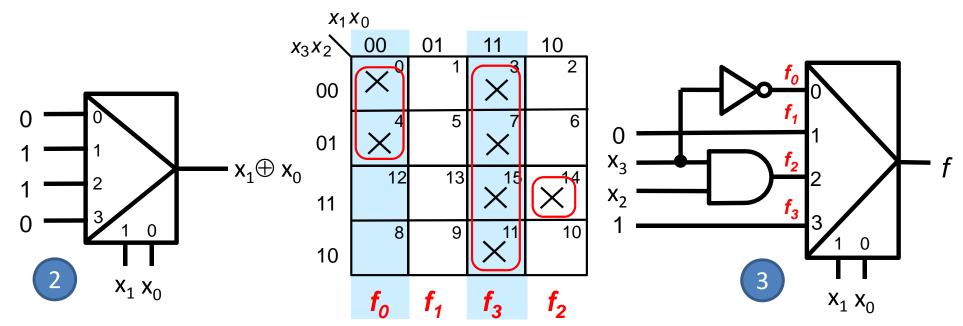


### Multiplexor



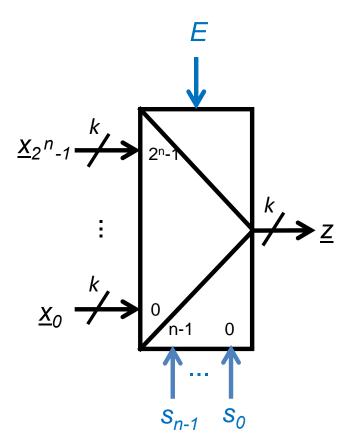
#### Aplicaciones al diseño:

- 1. Conectar selectivamente varias entradas una misma salida.
- 2. Implementar directamente FC que tengan el mismo número de variables que entradas de control (transcribiendo su tabla de verdad).
- 3. Implementar funciones de manera que las EC a simplificar tengan menos variables.



### Multiplexor vectorial





Multiplexor 2<sup>n</sup> a 1 de k bits

- x 2<sup>n</sup> entradas de datos de k bits
- s n entradas de control
- E 1 entrada de capacitación (op)
- z 1 salida de datos de k bits

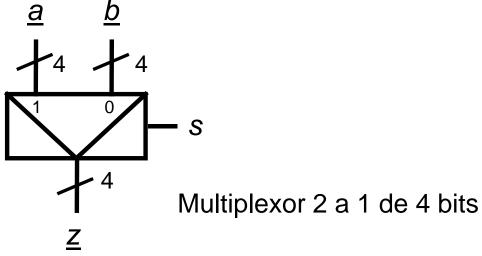
si la entrada de control toma la configuración binaria p, la salida equivale a la entrada  $(p)_{10}$ -ésima

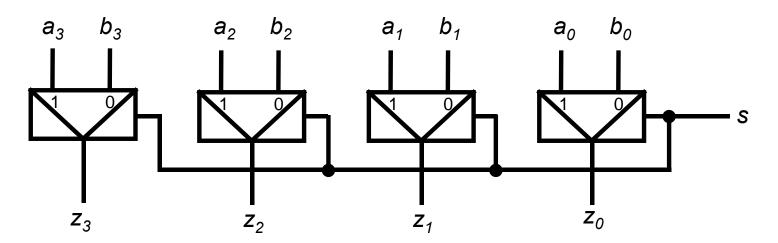
$$\underline{z} = \begin{cases} \underline{x}_i & \text{si E=1 y } (\underline{s})_{10} = i \\ 0 & \text{en caso contrario} \end{cases}$$

$$z_j = E \cdot \sum (x_{ij} \cdot m_i(\underline{s}))$$

## Multiplexor vectorial

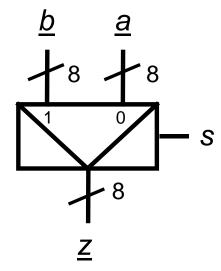


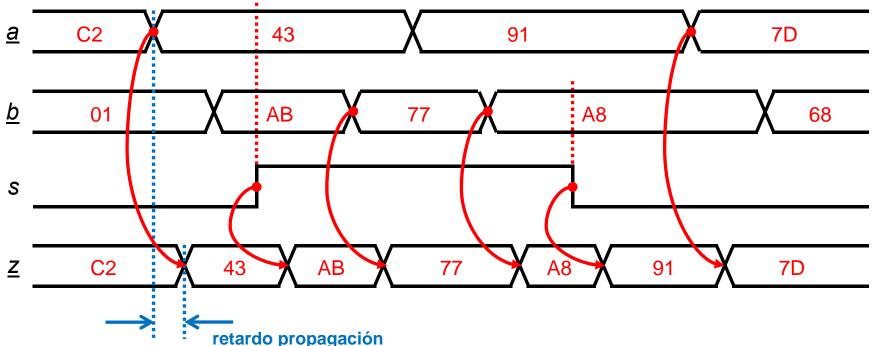




## Multiplexor vectorial

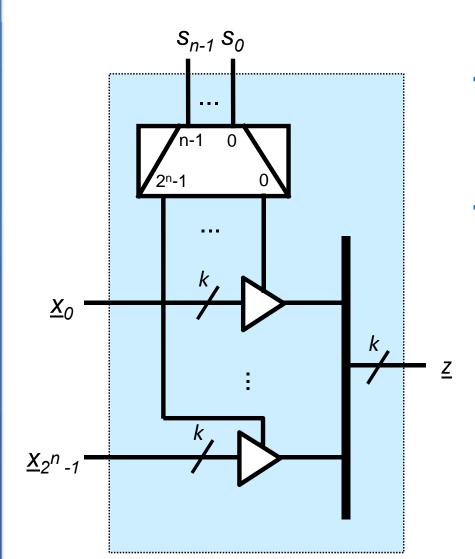






### Bus



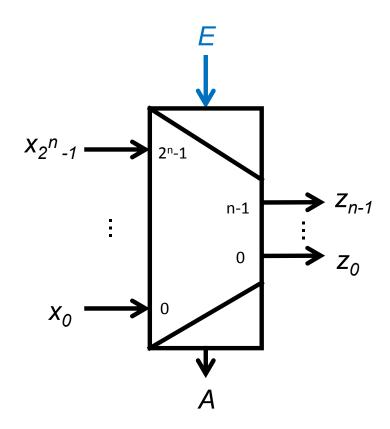


- x 2<sup>n</sup> entradas de datos de k bits
- s n entradas de control
- z 1 salida de datos de k bits

si la entrada de control toma la configuración binaria p, la salida equivale a la entrada  $(p)_{10}$ -ésima

### Codificador





Codificador 2<sup>n</sup> a n

- $\underline{x}$  2<sup>n</sup> entradas de datos
- <u>z</u> n salidas de datos
- E 1 entrada de capacitación (op)
- A 1 salida de actividad

si se activa la entrada p-ésima y solo esa, la salida codifica p en binario

$$\underline{z} = \begin{cases} (i)_2 & \text{si E=1 y } x_i = 1 \text{ y } \forall j, j \neq i, x_j = 0 \\ 0 & \text{en caso contrario} \end{cases}$$

$$A = \begin{cases} 1 & \text{si E=1 y } \exists i, x_i = 1 \\ 0 & \text{en caso contrario} \end{cases}$$

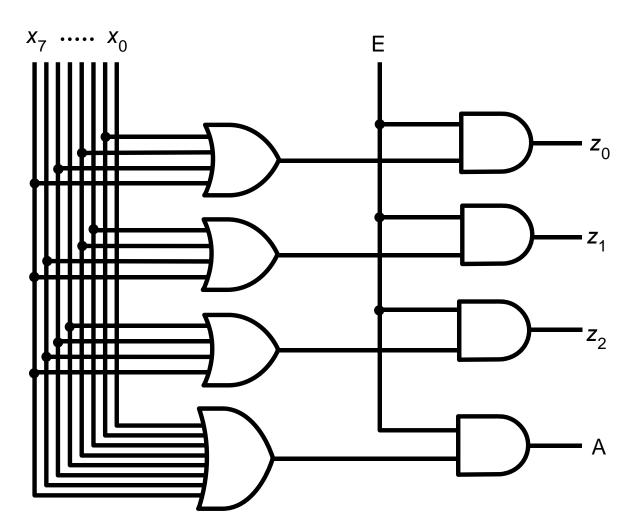
$$z_i = E \cdot \sum (x_j) \text{ con } j \in \{ (a_{n-1}...a_0)_2 / a_i = 1 \}$$
  
 $A = E \cdot \sum (x_i)$ 

### Codificador



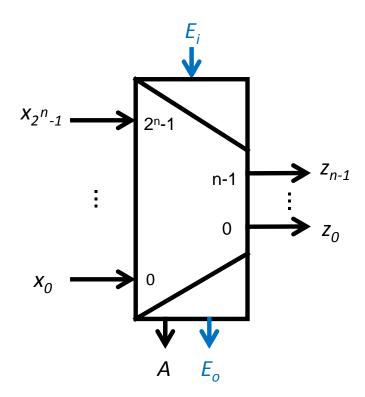
Codificador 8 a 3

entrada activada	<b>z</b> <sub>2</sub>	<b>Z</b> <sub>1</sub>	<b>z</b> <sub>0</sub>
<b>X</b> <sub>0</sub>	0	0	0
<b>X</b> <sub>1</sub>	0	0	1
<b>X</b> <sub>2</sub>	0	1	0
<b>X</b> <sub>3</sub>	0	1	1
<b>X</b> <sub>4</sub>	1	0	0
<b>X</b> 5	1	0	1
X <sub>5</sub> X <sub>6</sub> X <sub>7</sub>	1	1	0
<i>X</i> <sub>7</sub>	1	1	1



### Codificador de prioridad





Codificador de prioridad 2<sup>n</sup> a n

- x 2<sup>n</sup> entradas de datos
- <u>z</u> n salidas de datos
- E<sub>i</sub> 1 entrada de capacitación (op)
- E<sub>o</sub> 1 salida de capacitación (op)
- A 1 salida de actividad

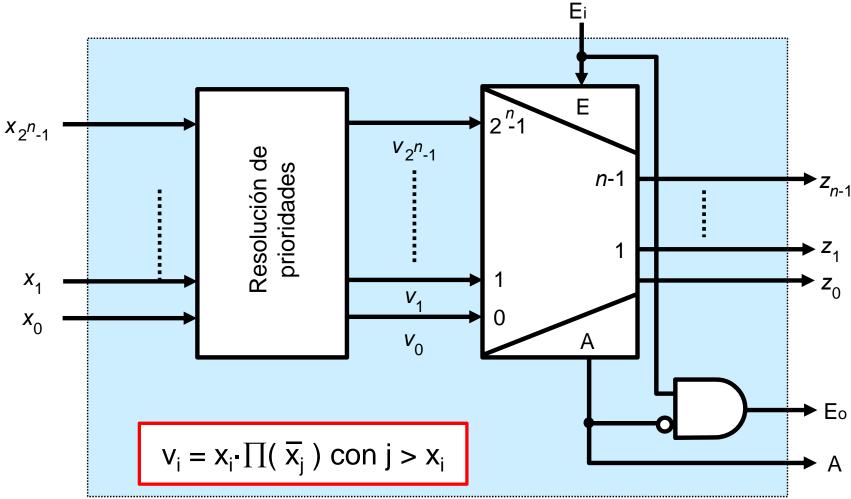
la salida codifica en binario la entrada activa de <mark>más peso</mark>

$$\underline{z} = \begin{cases} \text{(i)}_2 & \text{si E}_i = 1 \text{ y } x_i = 1 \text{ y } \forall j, j > i, x_j = 0 \\ 0 & \text{en caso contrario} \end{cases}$$

$$A = \begin{cases} 1 & \text{si E}_i = 1 \text{ y } \exists i, x_i = 1 \\ 0 & \text{en caso contrario} \end{cases}$$

$$E_o = \begin{cases} 1 & \text{si E}_i = 1 \text{ y } \forall j, x_j = 0 \\ 0 & \text{en caso contrario} \end{cases}$$

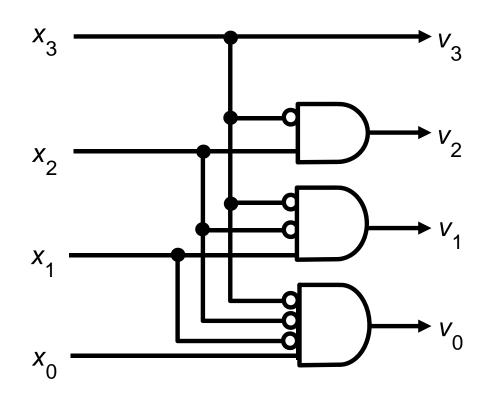




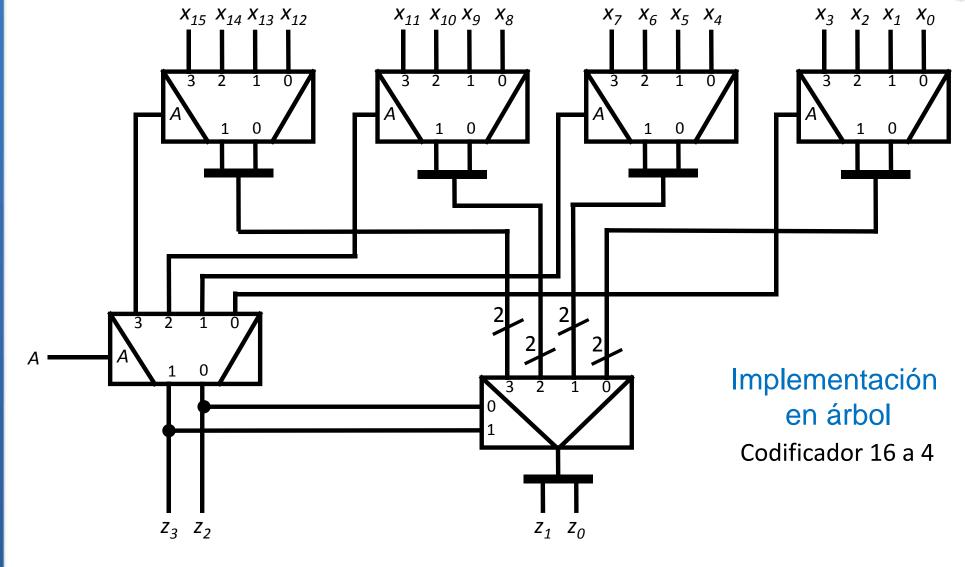


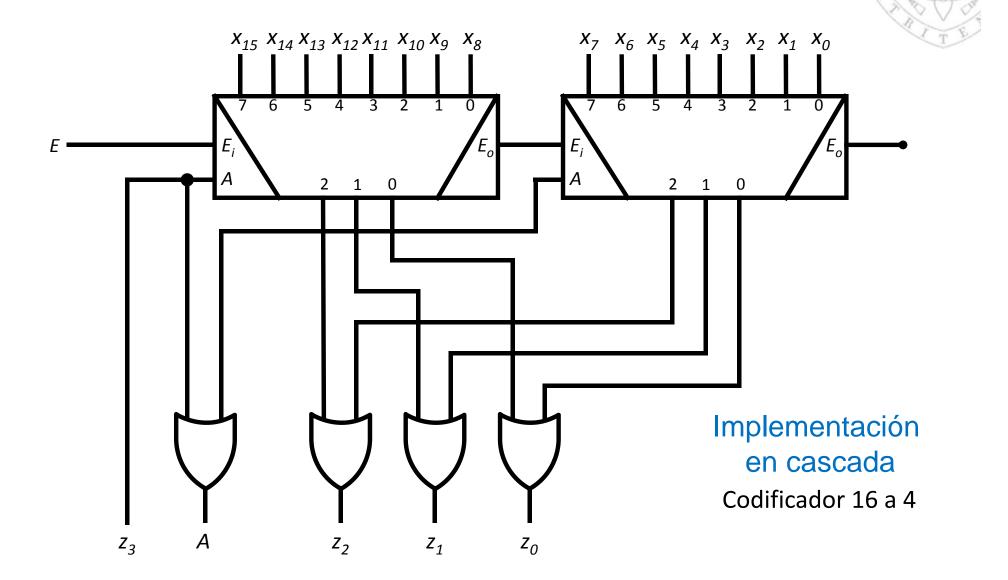
Implementación directa

Resolución de prioridades Codificador 4 a 2



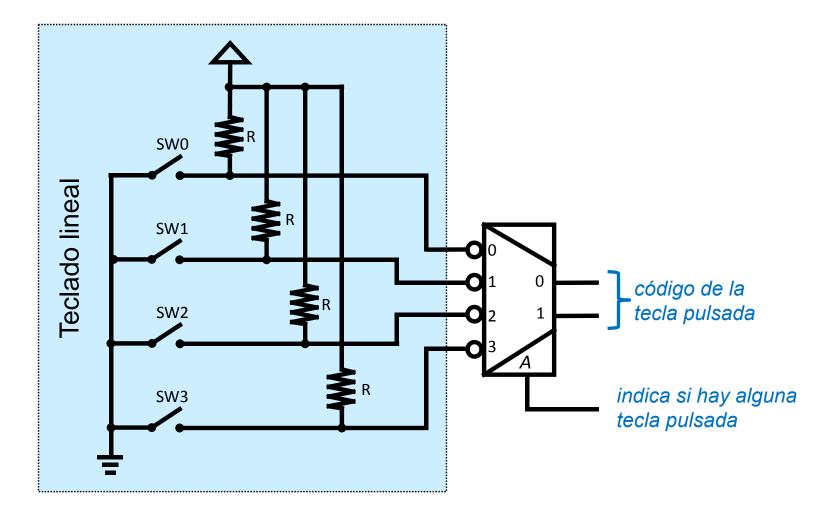




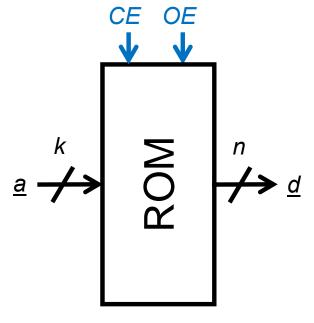




- Aplicaciones al diseño:
  - 1. Asociar un código a cada componente de un vector de entrada.





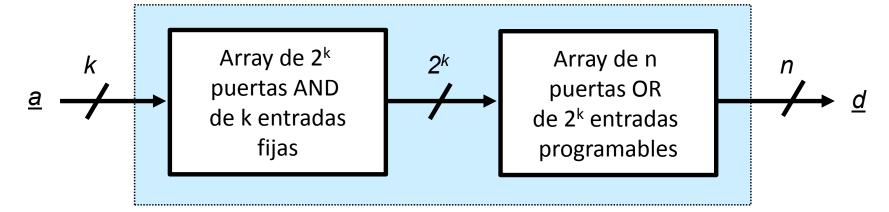


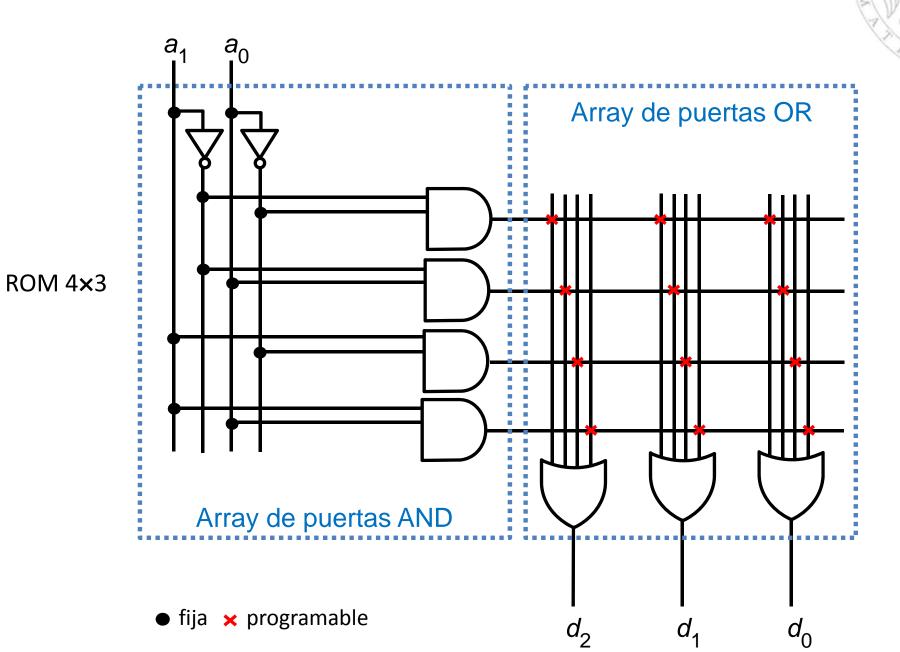
ROM 2<sup>k</sup>×n (2<sup>k</sup> palabras de n bits)

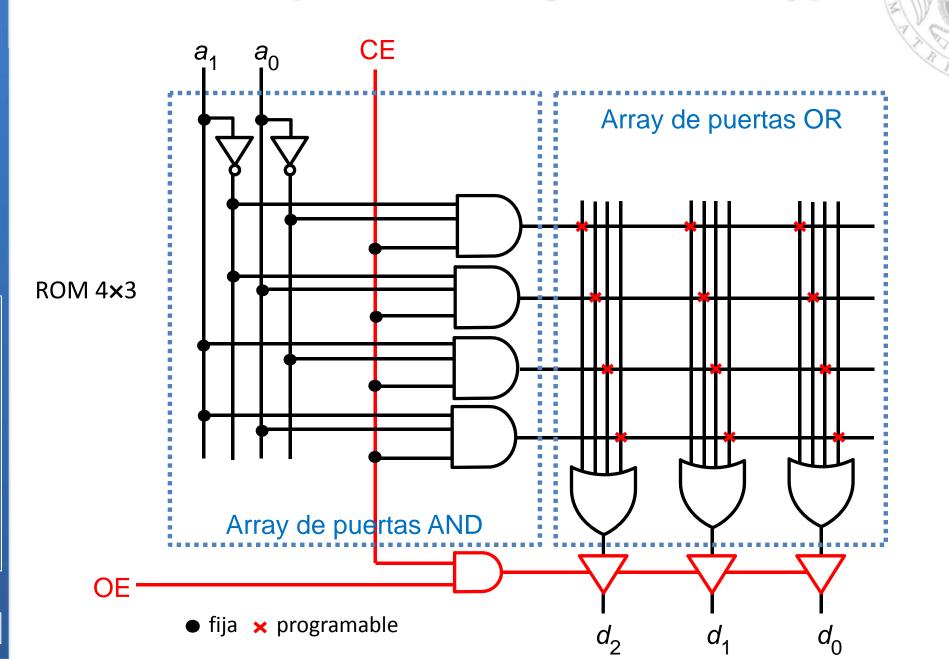
- <u>a</u> 1 entrada de dirección de k bits
- <u>d</u> 1 salida de datos de n bits
- CE 1 entrada de capacitación (op)
- OE 1 entrada de capacitación de lectura (op)

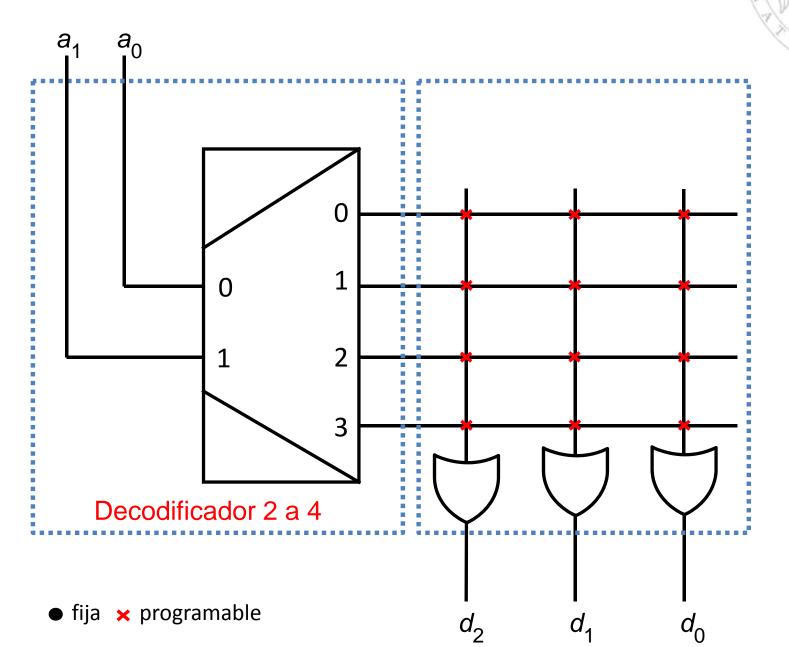
dispositivo programable capaz de implementar n FC de k variables almacenando sus tablas de verdad

memoria no volátil de capaz de almacenar 2<sup>k</sup> palabras de n bits cada una









**ROM 4×3** 



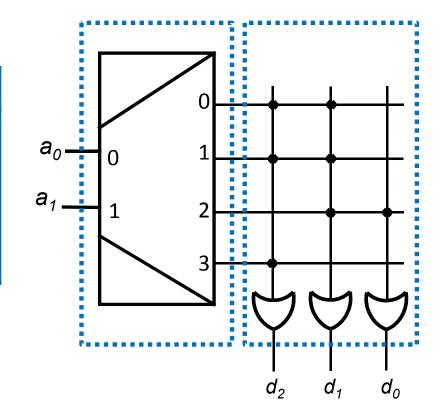
- Aplicaciones al diseño:
  - o Implementar directamente FC almacenando su tabla de verdad.

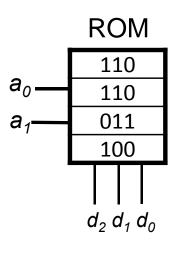
	$a_1$	$a_0$	$d_2$	$d_1$	$d_0$
0	0	0	1	1	0
1	0	1	1	1	0
2	1	0	0	1	1
3	1	1	1	0	0

$$d_2 = \overline{a}_1 + \overline{a}_0$$

$$d_1 = a_1 + a_0$$

$$d_0 = a_1 \cdot \overline{a}_0$$





## **ROM (Read Only Memory)**



#### Mask Programmable ROM

- Se programa durante la fabricación del chip.
- No puede borrarse/reprogramarse.

#### PROM (Programmable ROM)

- Se programa eléctricamente usando un programador.
- No puede borrarse/reprogramarse.

#### EPROM (Erasable Programmable ROM)

- Se programa eléctricamente usando un progamador.
- Se borra (chip completo) exponiéndola a luz ultravioleta.

#### EEPROM (Electrically Erasable Programmable ROM)

Se programa/borra (palabra) eléctricamente usando un programador.

#### Flash memory

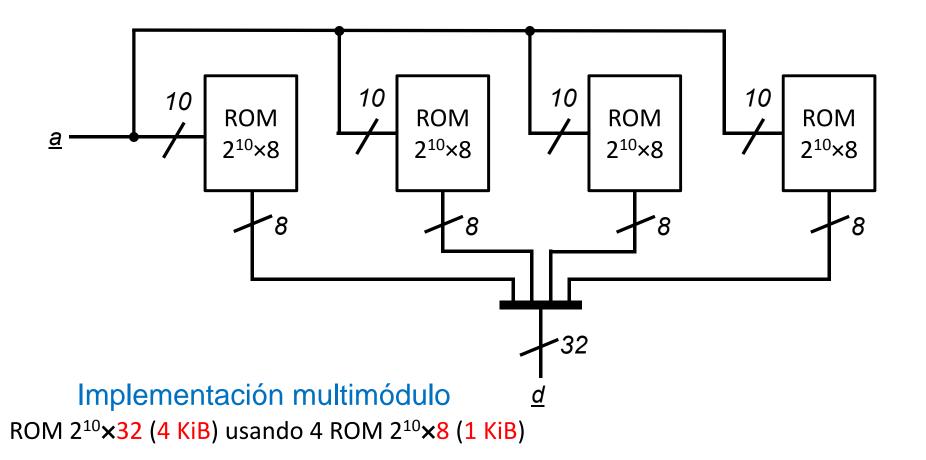
Se programa/borra (bloque) eléctricamente sin requerir programador.

## **ROM (Read Only Memory)**

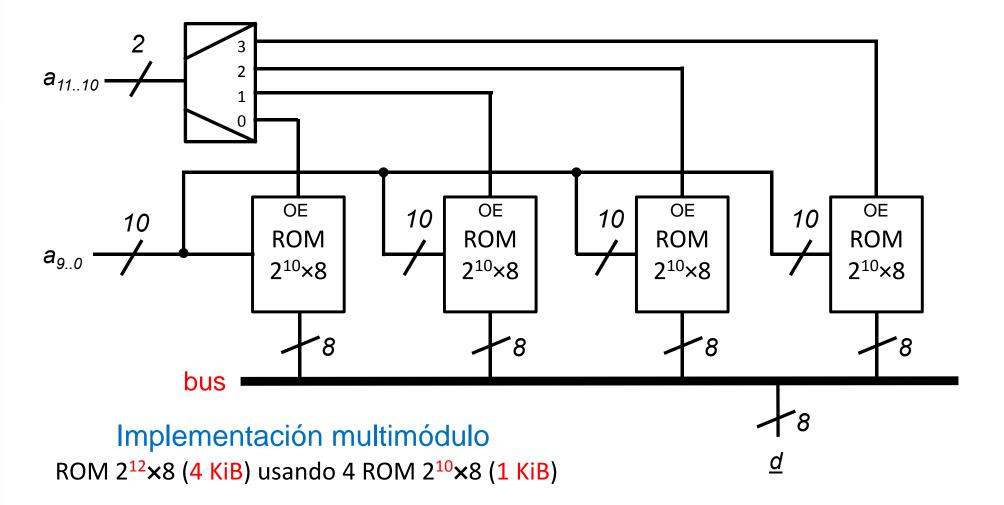


- La capacidad de las memorias se mide en bytes (8 bits)
  - Cuando el número de bytes es alto, se utilizan prefijos.
- Históricamente, los prefijos indican cantidades potencias de 2
  - Kilobyte (KB) =  $2^{10}$  bytes = 1.024 bytes
  - Megabyte (MB) =  $2^{20}$  bytes = 1.048.576 bytes
  - Gigabyte (GB) =  $2^{30}$  bytes = 1.073.741.824 bytes
- Sin embargo, desde hace algunos años su significado se ha homogeneizado con el definido en el Sistema Internacional de unidades (potencias de 10)
  - Kilobyte (kB) =  $10^3$  bytes = 1.000 bytes
  - Megabyte (MB) =  $10^6$  bytes = 1.000.000 bytes
  - Gigabyte (GB) =  $10^9$  bytes = 1.000.000.000 bytes
  - Y se han definido nuevos prefijos para indicar las potencias de 2
    - Kibibyte (KiB) =  $2^{10}$  bytes = 1.024 bytes
    - Mebibyte (MiB) =  $2^{20}$  bytes = 1.048.576 bytes
    - Gibibyte (GiB) =  $2^{30}$  bytes = 1.073.741.824 bytes
  - No obstante, todavía no está generalizado el uso de los nuevos prefijos.

 Varias ROM se pueden componer para comportarse como una ROM de mayor anchura de palabra.

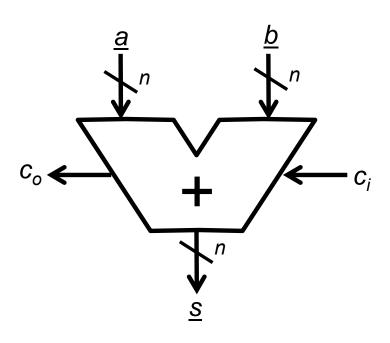


 Varias ROM se pueden componer para comportarse como una ROM de mayor profundidad.



### Sumador





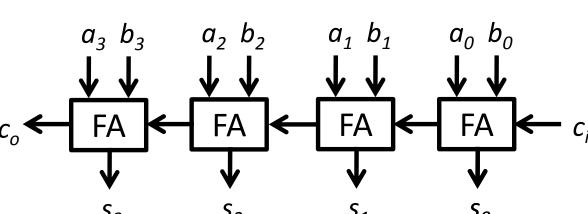
- 2 entradas de datos de n bits <u>a</u>, <u>b</u>
  - 1 entrada de acarreo
  - 1 salida de datos de n bits
  - 1 salida de acarreo

realiza la suma binaria de  $\underline{a} + \underline{b} + c_i$ 

$$\underline{s} = (\underline{a} + \underline{b} + c_i) \mod 2^n$$

$$c_o = \begin{cases} 1 & (\underline{a} + \underline{b} + c_i) \ge 2^n \\ 0 & \text{en caso contrario} \end{cases}$$

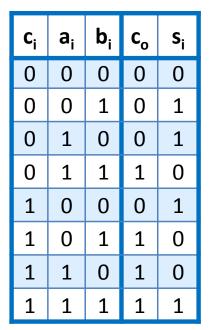
### **Sumador**



## Implementación con propagación de acarreos

 $b_i$ 

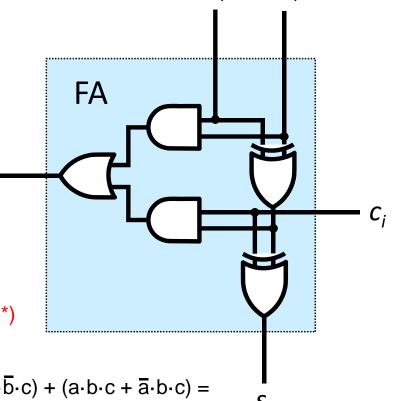
Sumador de 4 bits



$$s_{i} = (a_{i} \oplus b_{i}) \oplus c_{i}$$

$$c_{o} = a_{i} \cdot b_{i} + a_{i} \cdot c_{i} + b_{i} \cdot c_{i}$$

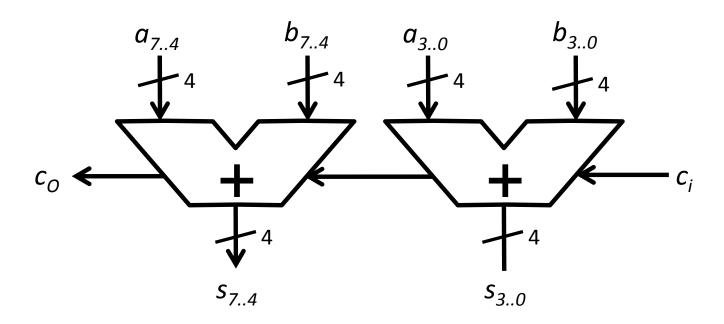
$$= a_{i} \cdot b_{i} + (a_{i} \oplus b_{i}) \cdot c_{i} (*)$$



(\*) 
$$a \cdot b + a \cdot c + b \cdot c = a \cdot b + (a \cdot b \cdot c + a \cdot \overline{b} \cdot c) + (a \cdot b \cdot c + \overline{a} \cdot b \cdot c) =$$
  
=  $a \cdot b + a \cdot \overline{b} \cdot c + \overline{a} \cdot b \cdot c = a \cdot b + (a \cdot \overline{b} + \overline{a} \cdot b) \cdot c$ 

### Sumador

 Varios sumadores se pueden componer en serie para para comportarse como un sumador de mayor anchura.

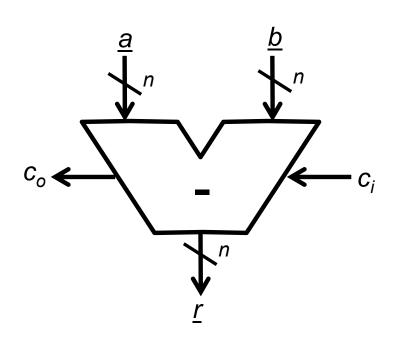


#### Implementación serie

Sumador de 8 bits

### Restador





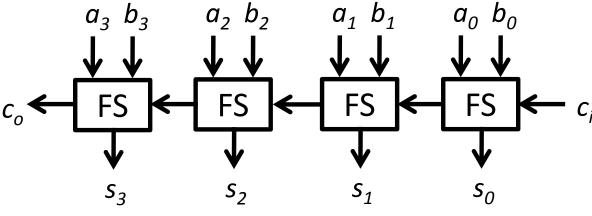
- <u>a</u>, <u>b</u> 2 entradas de datos de n bits
  - c<sub>i</sub> 1 entrada de acarreo
  - r 1 salida de datos de n bits
  - c<sub>o</sub> 1 salida de acarreo

realiza la resta binaria de  $\underline{a}$  -  $\underline{b}$  -  $c_i$ 

$$\underline{s} = (\underline{a} - \underline{b} - c_i) \mod 2^n$$

$$c_o = \begin{cases} 1 & (\underline{a} - \underline{b} - c_i) < 0 \\ 0 & \text{en caso contrario} \end{cases}$$



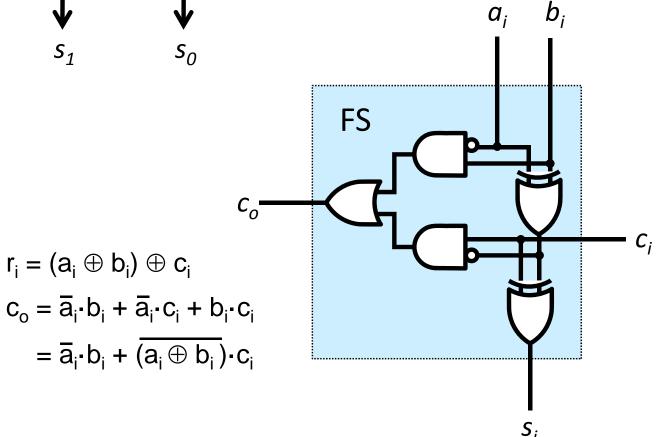


 $r_i = (a_i \oplus b_i) \oplus c_i$ 

c <sub>i</sub>	a <sub>i</sub>	b <sub>i</sub>	c <sub>o</sub>	r <sub>i</sub>
0	0	0	0	0
0	0	1	1	1
0	1	0	0	1
0	1	1	0	0
1	0	0	1	1
1	0	1	1	0
1	1	0	0	0
1	1	1	1	1

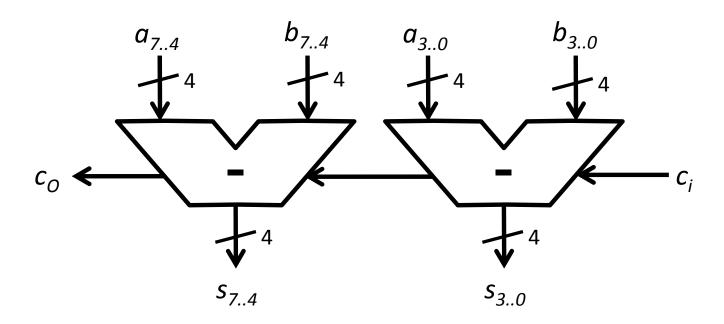
#### Implementación con propagación de acarreos

Restador de 4 bits



## Restador

 Varios restadores se pueden componer en serie para para comportarse como un restador de mayor anchura.

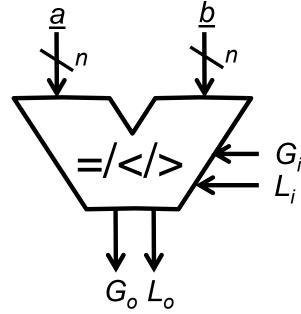


## Implementación serie

Restador de 8 bits

## Comparador de magnitud





<u>a</u>, <u>b</u> 2 entradas de datos de n bits

 $G_i$ ,  $L_i$ 2 entrada de acarreo

2 salidas de comparación

### compara 2 números binarios

$$\underline{a} > \underline{b}$$

$$\underline{a} \neq \underline{b}$$

$$\underline{a} \neq \underline{b}$$

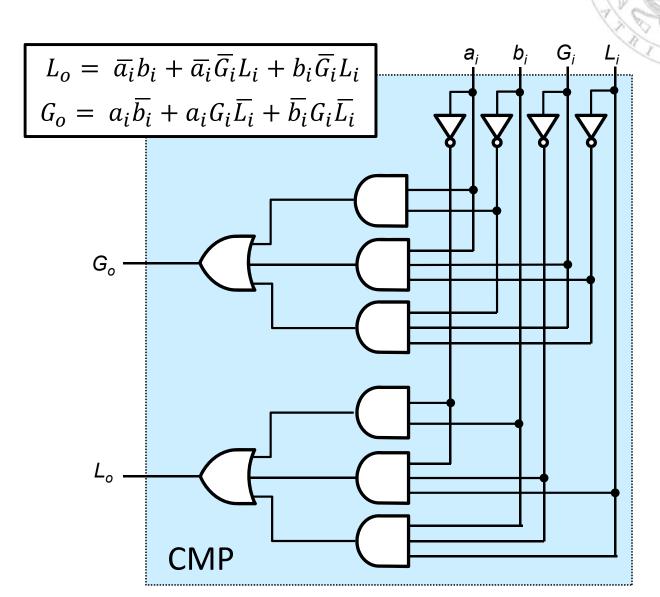
$$G_o = \begin{cases} 1 & \text{si (a>b) o (a=b y G_i>L_i)} \\ 0 & \text{en caso contrario} \end{cases}$$

$$I = \begin{cases} 1 & \text{si (a>b) o (a=b y G_i>L_i)} \\ 0 & \text{en caso contrario} \end{cases}$$

en caso contrario

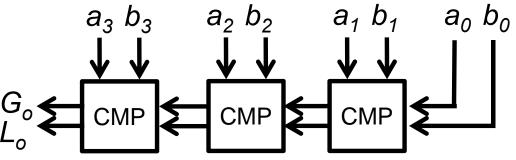
# Comparador de magnitud

a <sub>i</sub>	b <sub>i</sub>	G <sub>i</sub>	L <sub>i</sub>	G <sub>o</sub>	L <sub>o</sub>
0	0	0	0	0	0
0	0	0	1	0	1
0	0	1	0	1	0
0	0	1	1	0	0
0	1	0	0	0	1
0	1	0	1	0	1
0	1	1	0	0	1
0	1	1	1	0	1
1	0	0	0	1	0
1	0	0	1	1	0
1	0	1	0	1	0
1	0	1	1	1	0
1	1	0	0	0	0
1	1	0	1	0	1
1	1	1	0	1	0
1	1	1	1	0	0

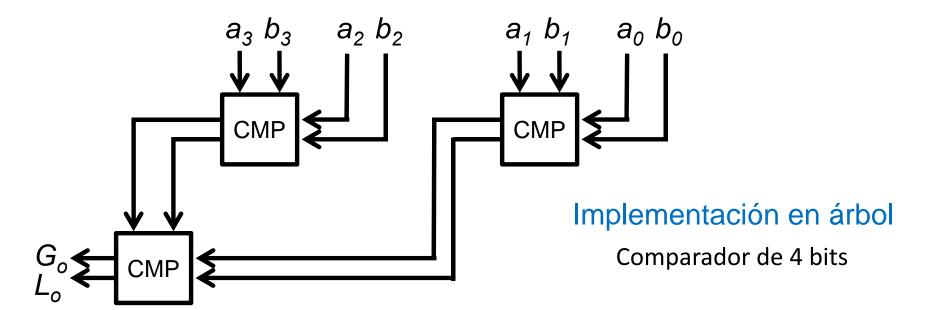


## Comparador de magnitud





Implementación en serie Comparador de 4 bits

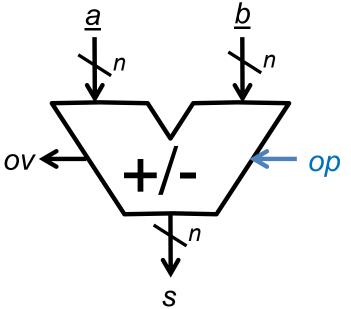


# Módulos combinacionales básicos

## FC

## Sumador/restador





- 2 entradas de datos de n bits
- 1 entrada de selección de operación op
- 1 salida de datos de n bits
- 1 salida de overflow OV

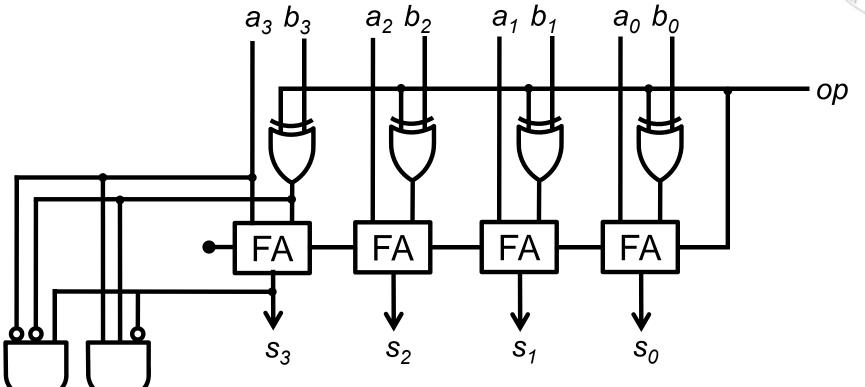
realiza la suma/resta en <u>a</u> y <u>b</u> (interpretados en C2)

$$\underline{a} - \underline{b} = \underline{a} + (-\underline{b}) =_{C2} \underline{a} + C2(\underline{b}) = \underline{a} + C1(\underline{b}) + 1 = \underline{a} + \overline{\underline{b}} + 1$$

$$\underline{s} = \begin{cases} \underline{a} + \underline{b} & \text{si op = 0} \\ \underline{a} + \underline{b} + 1 & \text{si op = 1} \end{cases} = \underline{a} + (\underline{b} \oplus \text{op}) + \text{op}$$

$$ov = \begin{cases} 1 & (b_{n-1} \oplus \text{op}) = 0 \text{ y a}_{n-1} = 0 \text{ y s}_{n-1} = 1 \\ \text{o} & (b_{n-1} \oplus \text{op}) = 1 \text{ y a}_{n-1} = 1 \text{ y s}_{n-1} = 0 \\ 0 & \text{en caso contrario} \end{cases}$$



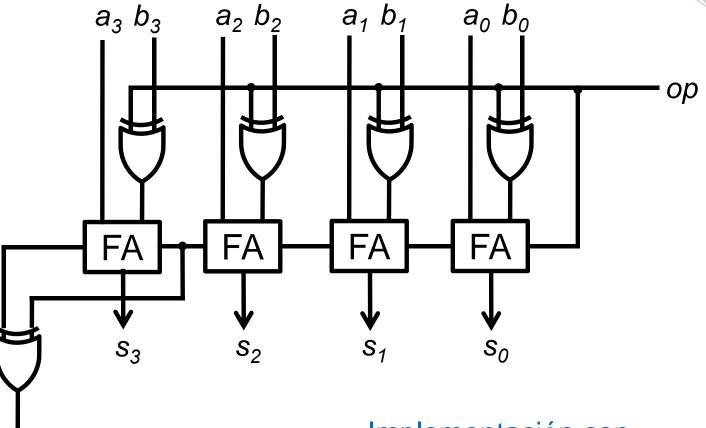


Implementación con propagación de acarreos

Sumador/restador de 4 bits

OV

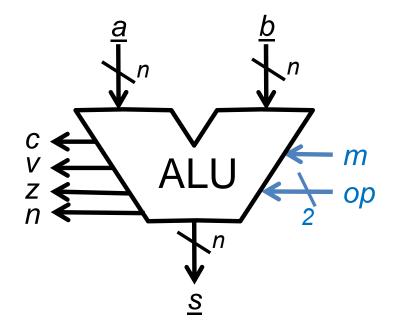




Implementación con propagación de acarreos

Sumador/restador de 4 bits

# **ALU (Arithmetic-Logic Unit)**



- 2 entradas de datos de n bits <u>a</u>, <u>b</u>
  - 1 entrada de selección de modo m
- 1 entrada de selección de operación op
- 1 salida de datos de n bits
- 1 salida de acarreo
- 1 salida de overflow
- 1 salida de detección de cero
- 1 salida de detección de negativo

## operaciones lógicas

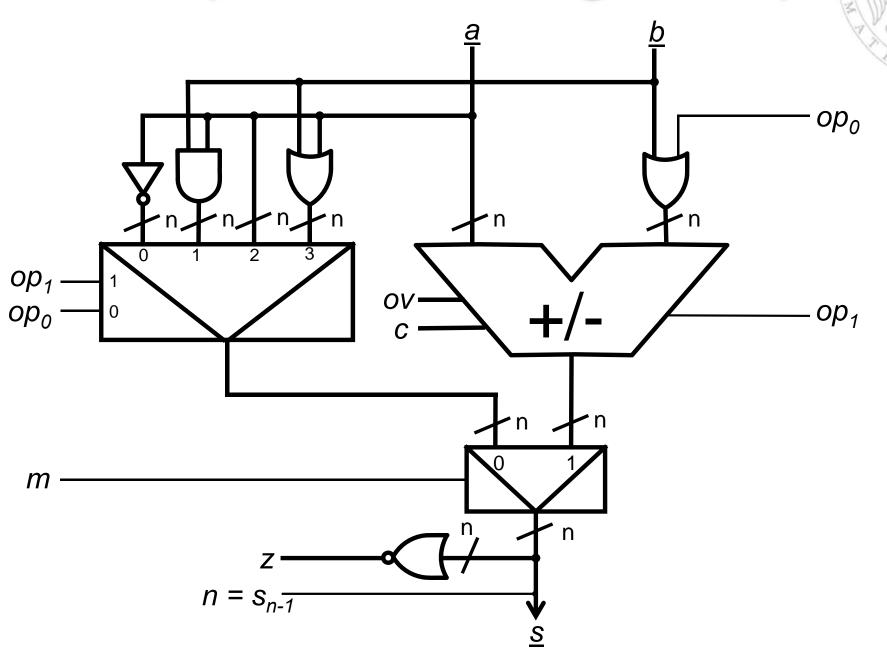
m	op <sub>1</sub>	op <sub>0</sub>	<u>z</u>
0	0	0	not( <u>a</u> )
0	0	1	and( <u>a</u> , <u>b</u> )
0	1	0	<u>a</u>
0	1	1	or( <u>a</u> , <u>b</u> )

## operaciones aritméticas

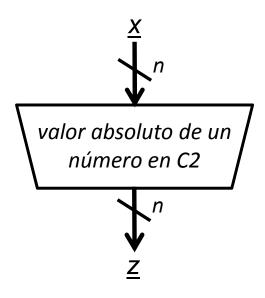
m	op <sub>1</sub>	op <sub>0</sub>	<u>z</u>	
1	0	0	<u>a</u> + <u>b</u>	
1	0	1	<u>a</u> – 1	$= \underline{a} + (-1) =_{C2} \underline{a} + \underline{1}$
1	1	0	<u>a</u> – <u>b</u>	
1	1	1	<u>a</u> + 1	= <u>a</u> - (-1) = <sub>c2</sub> <u>a</u> - <u>1</u>

FC

# **ALU (Arithmetic-Logic Unit)**

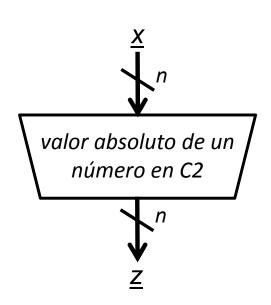


# Recapitulación



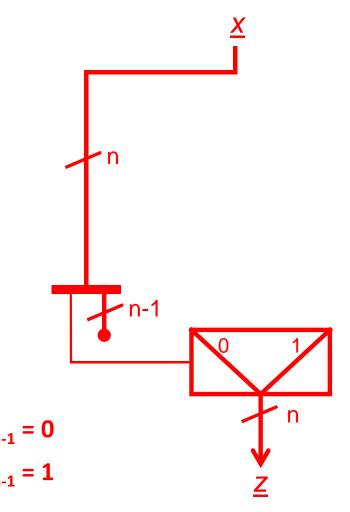
$$\underline{z} = abs(\underline{x}) = \begin{cases} \underline{x} & si \ x \ge 0 \\ -\underline{x} & si \ x < 0 \end{cases}$$

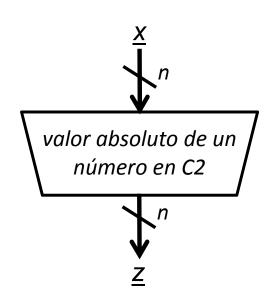
$$\underline{z} = abs(\underline{x}) =_{C2} \begin{cases} \underline{x} & si x_{n-1} = 0 \\ C2(\underline{x}) = not(\underline{x}) + 1 & si x_{n-1} = 1 \end{cases}$$



$$\underline{z} = abs(\underline{x}) = \begin{cases} \underline{x} & si \ x \ge 0 \\ -\underline{x} & si \ x < 0 \end{cases}$$

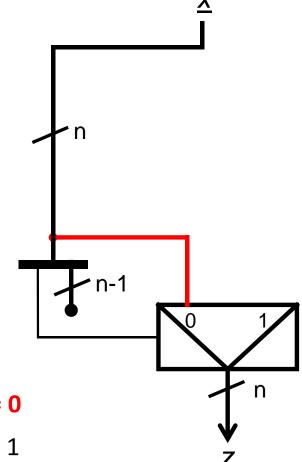
$$\underline{z} = abs(\underline{x}) =_{C2} \begin{cases} \underline{x} \\ C2(\underline{x}) = not(\underline{x}) + 1 \end{cases}$$



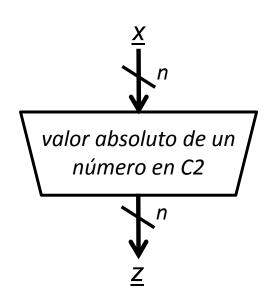


$$\underline{z} = abs(\underline{x}) = \begin{cases} \underline{x} & si \ x \ge 0 \\ -\underline{x} & si \ x < 0 \end{cases}$$

$$\underline{z} = abs(\underline{x}) =_{C2}$$
 
$$\begin{cases} \underline{\underline{x}} & si \ \underline{x}_{n-1} = 0 \\ C2(\underline{x}) = not(\underline{x}) + 1 & si \ \underline{x}_{n-1} = 1 \end{cases}$$

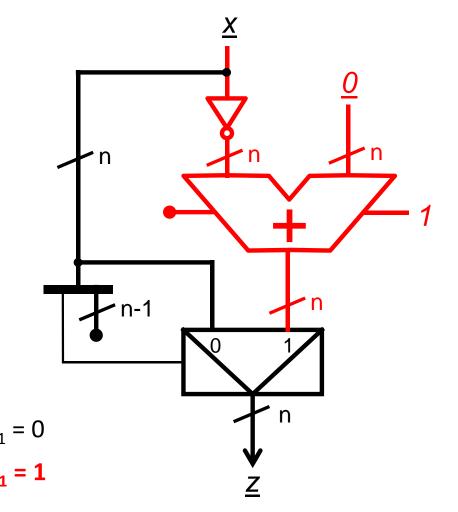


$$x_{n-1} = 0$$
  
si  $x_{n-1} = 1$ 

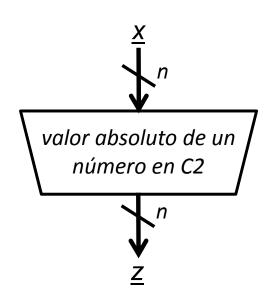


$$\underline{z} = abs(\underline{x}) = \begin{cases} \underline{x} & si \ x \ge 0 \\ -\underline{x} & si \ x < 0 \end{cases}$$

$$\underline{z} = abs(\underline{x}) =_{C2}$$
 
$$\begin{cases} \underline{x} & si x_{n-1} = 0 \\ C2(\underline{x}) = not(\underline{x}) + 1 & si x_{n-1} = 1 \end{cases}$$

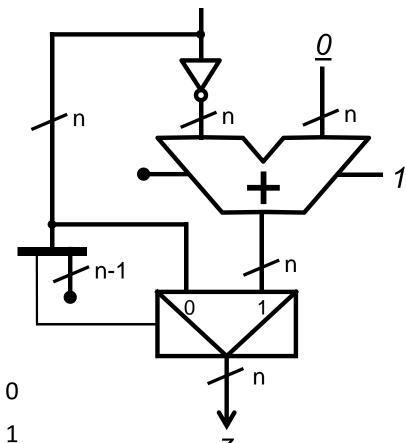


$$= abs(\underline{x}) =_{C2} \begin{cases} \frac{\Delta}{C2(x)} = not(x) + 1 \end{cases}$$



$$\underline{z} = abs(\underline{x}) = \begin{cases} \underline{x} & si \ x \ge 0 \\ -\underline{x} & si \ x < 0 \end{cases}$$

$$\underline{z} = abs(\underline{x}) =_{C2}$$
 
$$\begin{cases} \underline{x} & si x_{n-1} = 0 \\ C2(\underline{x}) = not(\underline{x}) + 1 & si x_{n-1} = 1 \end{cases}$$



$$si x_{n-1} = 0$$

$$si x_{n-1} = 1$$