



EXAMEN PARCIAL DE FUNDAMENTOS DE COMPUTADORES

CURSO 2016-17, PRIMER PARCIAL, SEPTIEMBRE DE 2017

1. (1 punto) Dados los siguientes números: $A = +31_{10}$, $B = -11110_2$, $C = +7_8$ y $D = +F_{16}$.
 - a) (0,5 puntos) Exprese los cuatro números con el mismo número de bits en representación en complemento a dos.
 - b) (0,5 puntos) Efectúe las operaciones $A+D$ y $B-C$ en complemento a dos, indicando si existe o no desbordamiento o acarreo.
2. (2,5 puntos) sea un circuito combinacional que tiene una entradas de cuatro bits codificada en exceso a tres y dos salidas una que representa un dígito codificado en BCD y otra que es una señal de error E. El circuito se comporta de la siguiente manera, si $X_{exc_3} \leq 5$ entonces $Z_{BCD} = X * 3$, en caso contrario $Z_{BCD} = X \bmod 3$. $E = 1$ cuando en resultado Z no se puede representar en BCD.
 - a) (1 puntos) implementar el diagrama de transición de estados.
 - b) (1 puntos) implementar el dígito de salida mediante una memoria ROM.
 - c) (0,5 puntos) implementar el error mediante un decodificador
3. (1 punto) Implementar un sumador/incrementador/decrementador utilizando un sumador binario de 8 bits, multiplexores y puertas XOR. El sistema tendrá una señal de control S y otra I/D, de manera que $S=1$ el sistema realiza una suma de 8 bits, si $S=0$ el sistema incrementará cuando $I/D=0$ y decrementará cuando $I/D=1$.
4. (3 puntos) Sea un sistema secuencial con una entrada de 1-bit (x) y una salida (z) de 3 bits cuyo funcionamiento corresponde a un generador de secuencias descrito por la siguiente expresión:
 $z(t+1) = ((z(t)+3) \bmod 8)$ si $x=0$
 $z(t+1) = ((z(t)-3) \bmod 8)$ si $x=1$

Es decir el generador produce la siguiente salida 0,3,6,1,4,6,2,5,0,3... para $x=0$ y la secuencia inversa si $x=1$. Se pide:
 - a) (1 puntos) Especificar el sistema mediante un diagrama de estados Moore
 - b) (0,5 puntos) Obtener la tabla de transición de estados
 - c) (1,5 puntos) Implementar el sistema con biestables de tipo D y puertas lógicas
5. (2,5 puntos) utilizando registros y el menor número de puertas lógicas implementar un circuito secuencial que recibe dígitos de 8 bits codificados en complemento a dos y que se comporta de la siguiente manera: $Z(t)=1$ cuando $x(t-3)=\text{par y negativo}$, $x(t-2)$ es par y positivo, y $x(t-1)$ es impar y negativo, y vale 0 en el resto de los casos

ALUMNOS QUE SE PRESENTAN AL EXAMEN FINAL TIENEN QUE REALIZAR LOS SIGUIENTES EJERCICIOS

- Ejercicio 1 los apartados a) y b) (1 punto),
- Ejercicio 2 (2 puntos)
- Ejercicio 4 los apartados a) y b) (1.5 puntos).

Soluciones

SOLUCIÓN 1:

a)

A=011111_{C2}

B=100010_{C2}

C=000111_{C2}

D=001111_{C2}

b)

A+D 011111 001111 ----- 101110 (NO CARRY, SÍ DESB.)	B-C 100010 111001 ----- 1011011 (SÍ CARRY, SÍ DESB.)
---	--

SOLUCION 2:

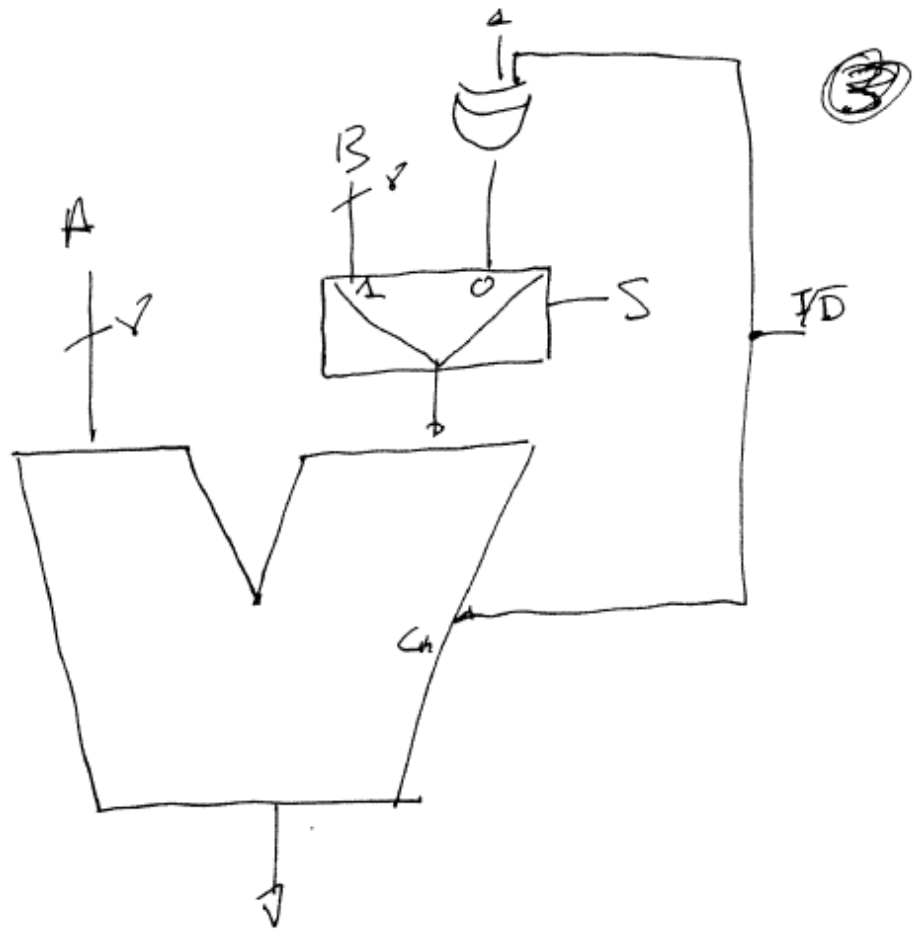
Especificación en alto nivel

Entrada exceso a tres	Salida bcd	error
0	0	0
1	3	0
2	6	0
3	9	0
4	12	1
5	15	1
6	2	0
7	2	0
8	2	0
9	3	0

Codificación

Ex3	e ₃ e ₂ e ₁ e ₀	bcd	b ₃ b ₂ b ₁ b ₀	error
	0000	dddd		D
	0001	dddd		D
	0010	dddd		d
0	0011	0000		0
1	0100	0011		0
2	0101	0110		0
3	0110	1001		0
4	0111	dddd		1
5	1000	dddd		1
6	1001	0010		0
7	1010	0010		0
8	1011	0010		0
9	1100	0011		0
	1101	dddd		D
	1110	dddd		D
	1111	dddd		d

Solución 3



SOLUCION 4

b) tabla transición de estados

S2	S1	S0	x	S2'	S1'	S0'
0	0	0	0	0	1	1
			1	1	0	1
0	0	1	0	1	0	0
			1	1	1	0
0	1	0	0	1	0	1
			1	1	1	1
0	1	1	0	1	1	0
			1	0	0	0
1	0	0	0	1	1	1
			1	0	0	1
1	0	1	0	0	0	0
			1	0	1	0
1	1	0	0	0	0	1
			1	0	1	1
1	1	1	0	0	1	0
			1	1	0	0

c)

D2

		S0,x			
		'00'	'01'	'11'	'10'
S2,S1	'00'		1	1	1
	'01'	1	1		1
	'11'			1	
	'10'	1			

$$D2 = S2 \cdot S1 \cdot x + S2 \cdot S1 \cdot S0 + S2 \cdot S0 \cdot x + S2 \cdot S1 \cdot S0 \cdot x + S2 \cdot S1 \cdot S0 \cdot x$$

D1

		S0,x			
		'00'	'01'	'11'	'10'
S2,S1	'00'	1		1	
	'01'		1		1
	'11'		1		1
	'10'	1			1

$$D1 = S1 \cdot S0 \cdot x + S1 \cdot S0 \cdot x + S1 \cdot S0 \cdot x + S1 \cdot S0 \cdot x$$

D0

		S0,x			
		'00'	'01'	'11'	'10'
S2,S1	'00'	1	1		
	'01'	1	1		
	'11'	1	1		
	'10'	1	1		

$$D0 = S0$$

SOLUCION 5

5

