

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA
CURSO DE GRADUAÇÃO EM CIÊNCIA DA COMPUTAÇÃO

HENRIQUE CORRÊA PEREIRA DA SILVA

RELATÓRIO 2

Relatório apresentado como requisito parcial
para a obtenção de conceito na Disciplina de
Concepção de Circuitos Integrados.

Orientador: Prof. Dr. Ricardo Augusto da Luz
Reis

Porto Alegre
2018

SUMÁRIO

1 INTRODUÇÃO	3
2 PROPOSTA	4
3 ANÁLISE.....	5
3.1 NAND2.....	5
3.2 NOR2.....	10
4 RESULTADOS	14
4.1 Tabela	14

1 INTRODUÇÃO

Neste relatório, construiremos leiautes e esquemáticos de células NAND2 e NOR2 e observaremos suas performances utilizando as seguintes métricas:

1. T_{lh} : tempo de subida do sinal;
2. T_{hl} : tempo de descida do sinal;
3. $T_{p_{lh}}$: tempo de propagação *low-high*;
4. $T_{p_{hl}}$: tempo de propagação *high-low*;
5. $T_{p_{médio}}$: tempo de propagação médio;
6. $P_{média}$: potência média das células;
7. P_{RMS} : potência *RMS* das células.

Além disso, será feita a análise *Layout versus Schematic* para cada célula a fim de verificar a funcionalidade do leiaute contra o esquemático. Mais detalhes sobre a implementação das portas lógicas e do circuito no Capítulo 2.

Figura 1.1: Circuito NAND2 a ser projetado.

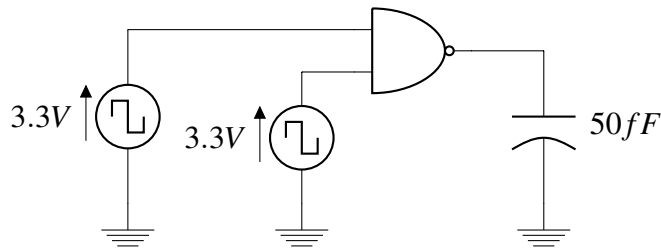
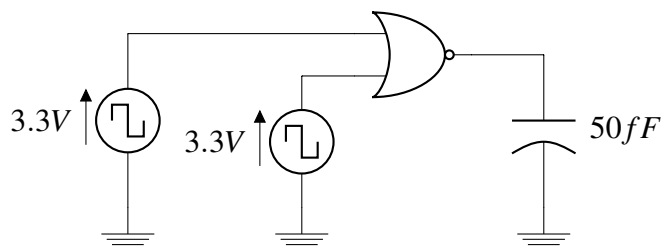


Figura 1.2: Circuito NOR2 a ser projetado.



2 PROPOSTA

A proposta do relatório é construir e realizar a medição de métricas de implementações das portas lógicas NAND2 e NOR2 na tecnologia CMOS C35B4 da *Austria Microsystems*, utilizando valores de W_p e de W_n dessas respectivas portas conforme a Tabela 2.1. Além disso, o circuito também deverá seguir às seguintes especificações:

- $VDD = 3.3 \text{ V}$;
- $1/f_1 = 10 \text{ ns}$;
- $1/f_2 = 20 \text{ ns}$;
- $T_{\text{rise}} = 200 \text{ ps}$;
- $T_{\text{fall}} = 200 \text{ ps}$;
- $P1_{\text{width}} = 5 \text{ ns}$;
- $P2_{\text{width}} = 10 \text{ ns}$.

Criados os leiautes, é obrigatório tanto o teste individual de cada um utilizando as ferramentas *DRC* e *LVS* quanto a extração das capacitâncias parasitas de cada implementação.

Tabela 2.1: Dimensões em cada implementação.

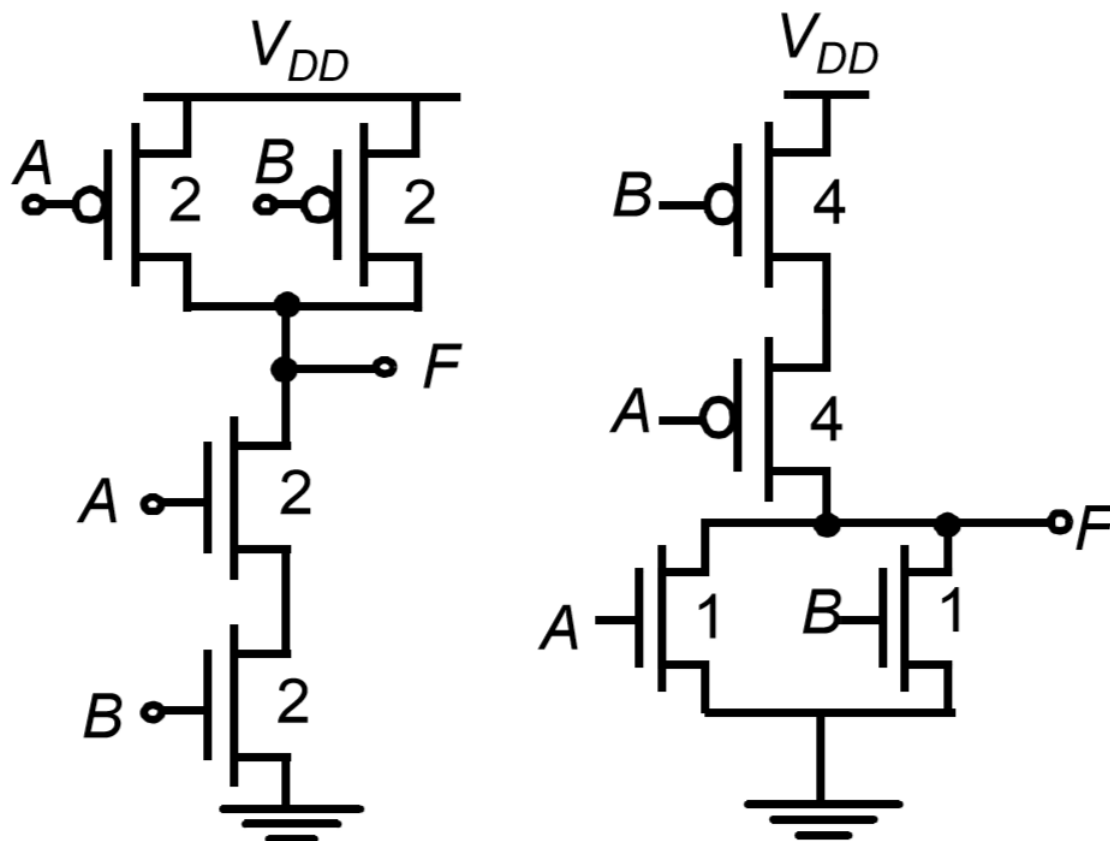
Implementação	W_p	W_n
NAND2	$3.0 \mu\text{m}$	$2.0 \mu\text{m}$
NOR2	$4.0 \mu\text{m}$	$1.0 \mu\text{m}$

3 ANÁLISE

Neste capítulo abordaremos cada implementação do inversor e, no Capítulo 4, analisaremos os resultados e faremos algumas observações sobre o circuito simulado.

A Figura 3.1 mostra o esquemático de ambas portas estáticas CMOS que implementaremos.

Figura 3.1: Esquemático de ambas NOR2 e NAND2 em CMOS.



3.1 NAND2

A NAND2, como vista anteriormente na Aula Prática 3, possui transistores PMOS e NMOS dimensionados respectivamente em $3.0\mu\text{m}$ e $2.0\mu\text{m}$, e, assim como na aula prática, as células projetadas tem $14\mu\text{m}$ de altura num processo CMOS de substrato P^- .

A Figura 3.2 mostra o esquemático da porta lógica na ferramenta *Virtuoso*, e a Figura 3.3 mostra o seu respectivo leiaute. O leiaute foi feito manualmente sem utilizar as ferramentas de automação e de simplificação do processo de criação de leiaute do *Virtuoso*.

Figura 3.2: Esquemático da NAND2

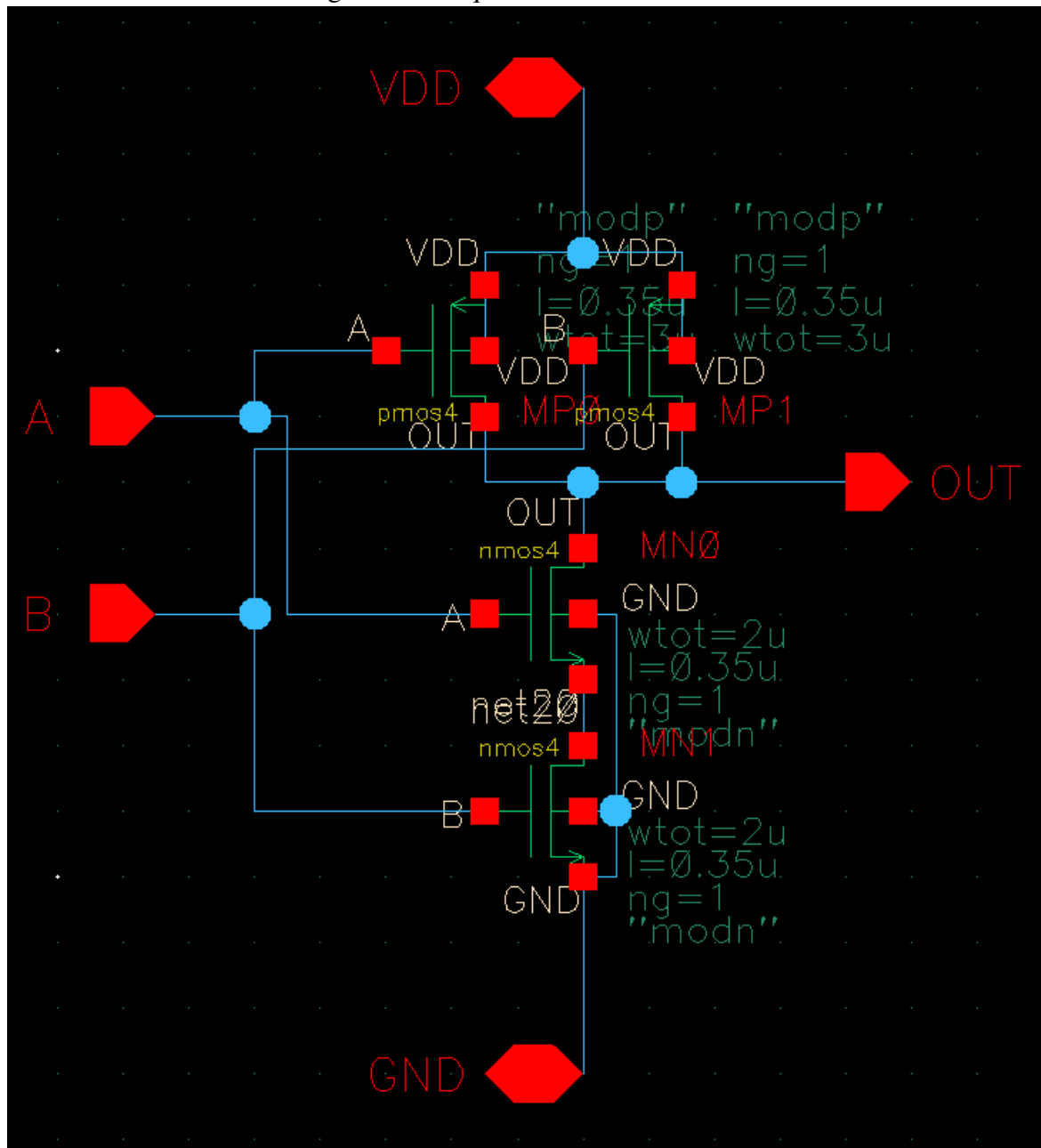
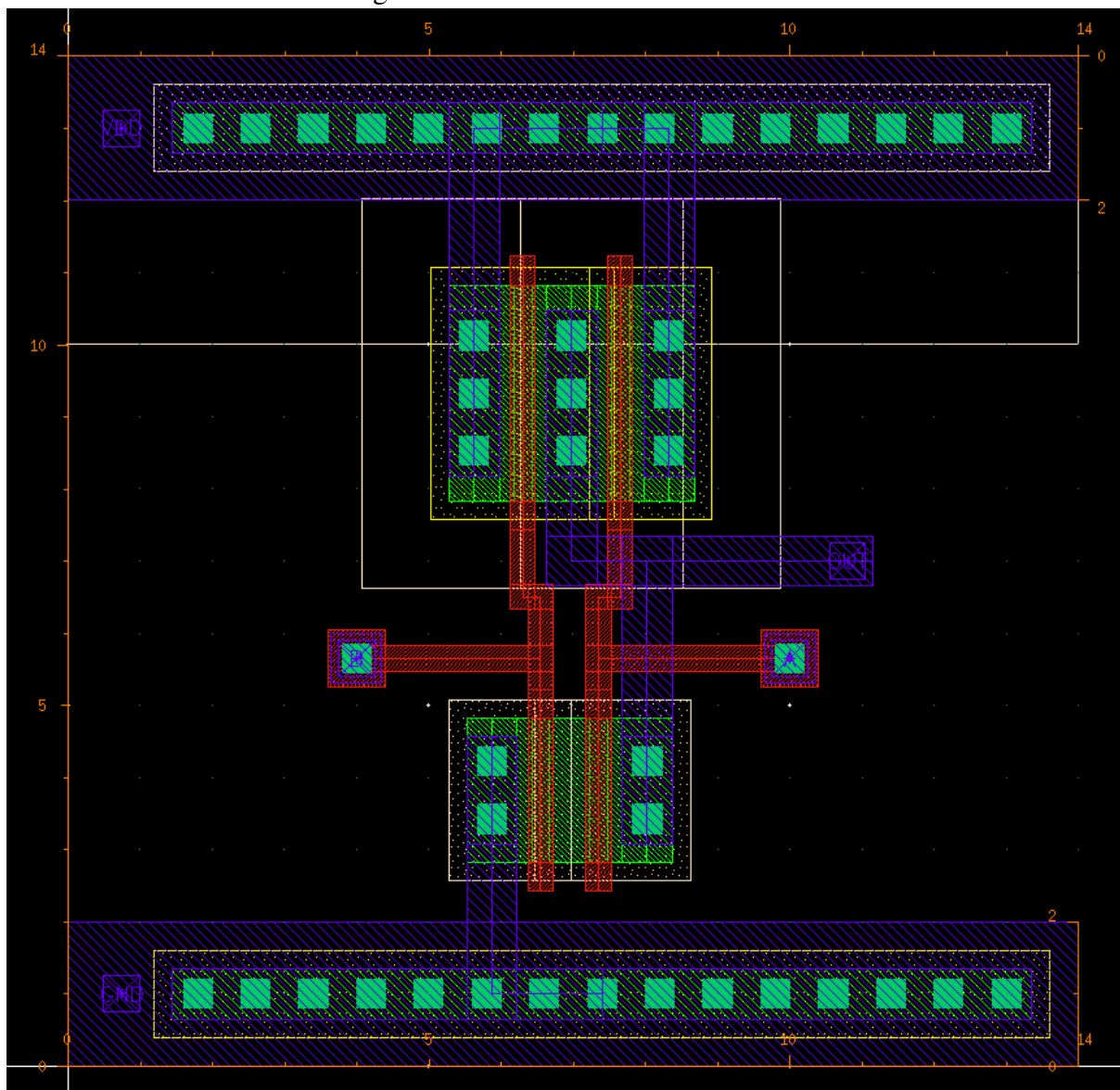


Figura 3.3: Leiaute da NAND2



Os resultados da análise transiente desse circuito estão no Capítulo 4.

A Figura 3.4 mostra o esquemático do circuito na ferramenta *Virtuoso*, e a Figura 3.5 mostra o *waveform* da simulação transiente do circuito.

Figura 3.4: Esquemático da simulação da transiente da porta.

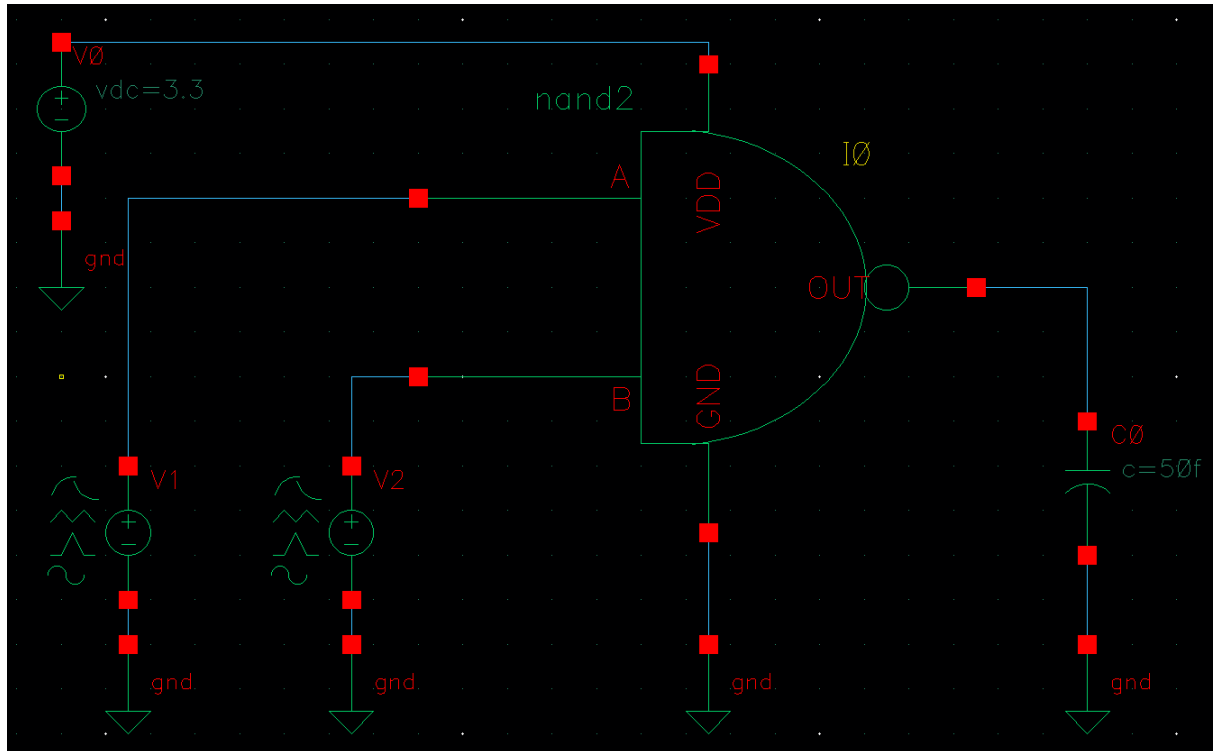
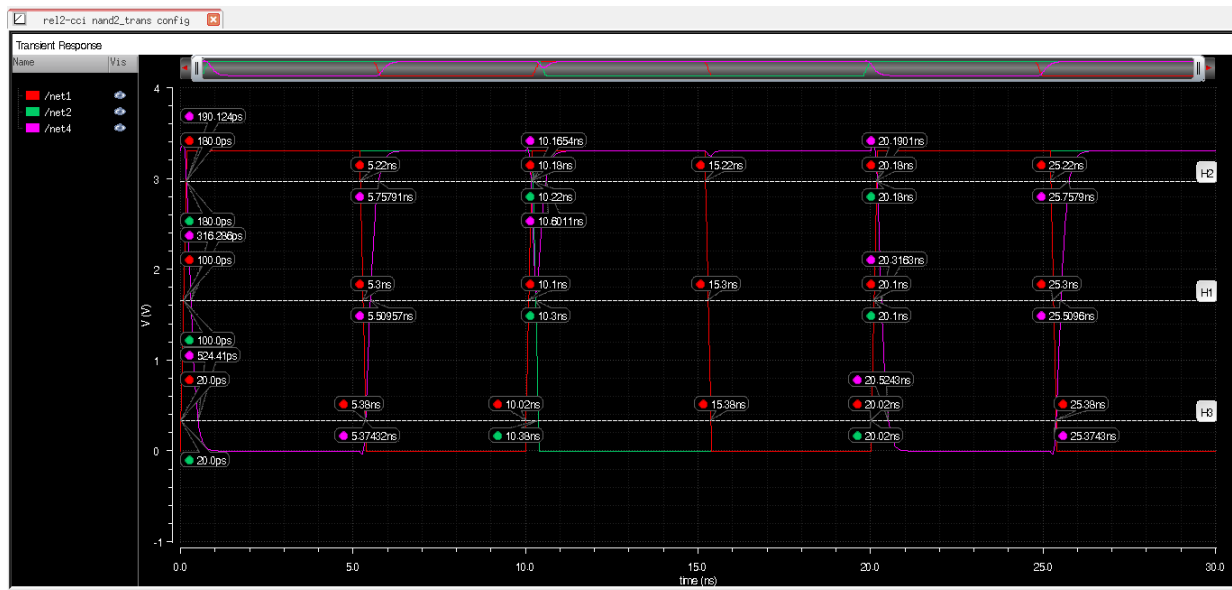
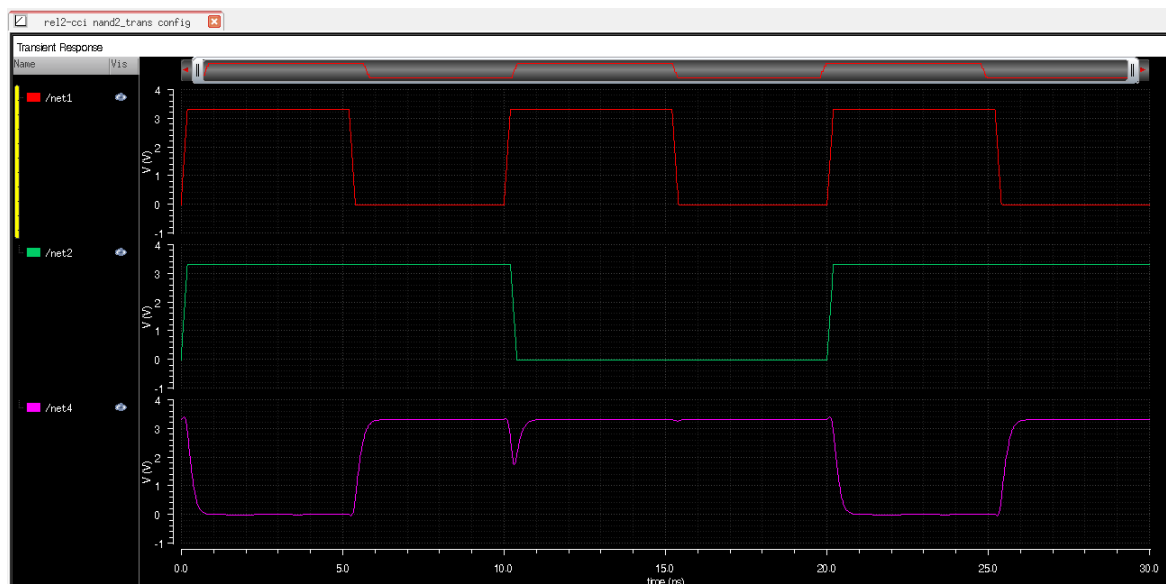


Figura 3.5: Waveforms da simulação transiente da porta.
(a) united



(b) separated



3.2 NOR2

A NOR2, como vista anteriormente na Aula Prática 3, possui transistores PMOS e NMOS dimensionados respectivamente em $4.0\mu\text{m}$ e $1.0\mu\text{m}$, e, assim como na aula prática, as células projetadas tem $14\mu\text{m}$ de altura num processo CMOS de substrato P^+ .

A Figura 3.6 mostra o esquemático da porta lógica na ferramenta *Virtuoso*, e a Figura 3.7 mostra o seu respectivo leiaute. O leiaute foi feito manualmente sem utilizar as ferramentas de automação e de simplificação do processo de criação de leiaute do *Virtuoso*.

Figura 3.6: Esquemático da NOR2

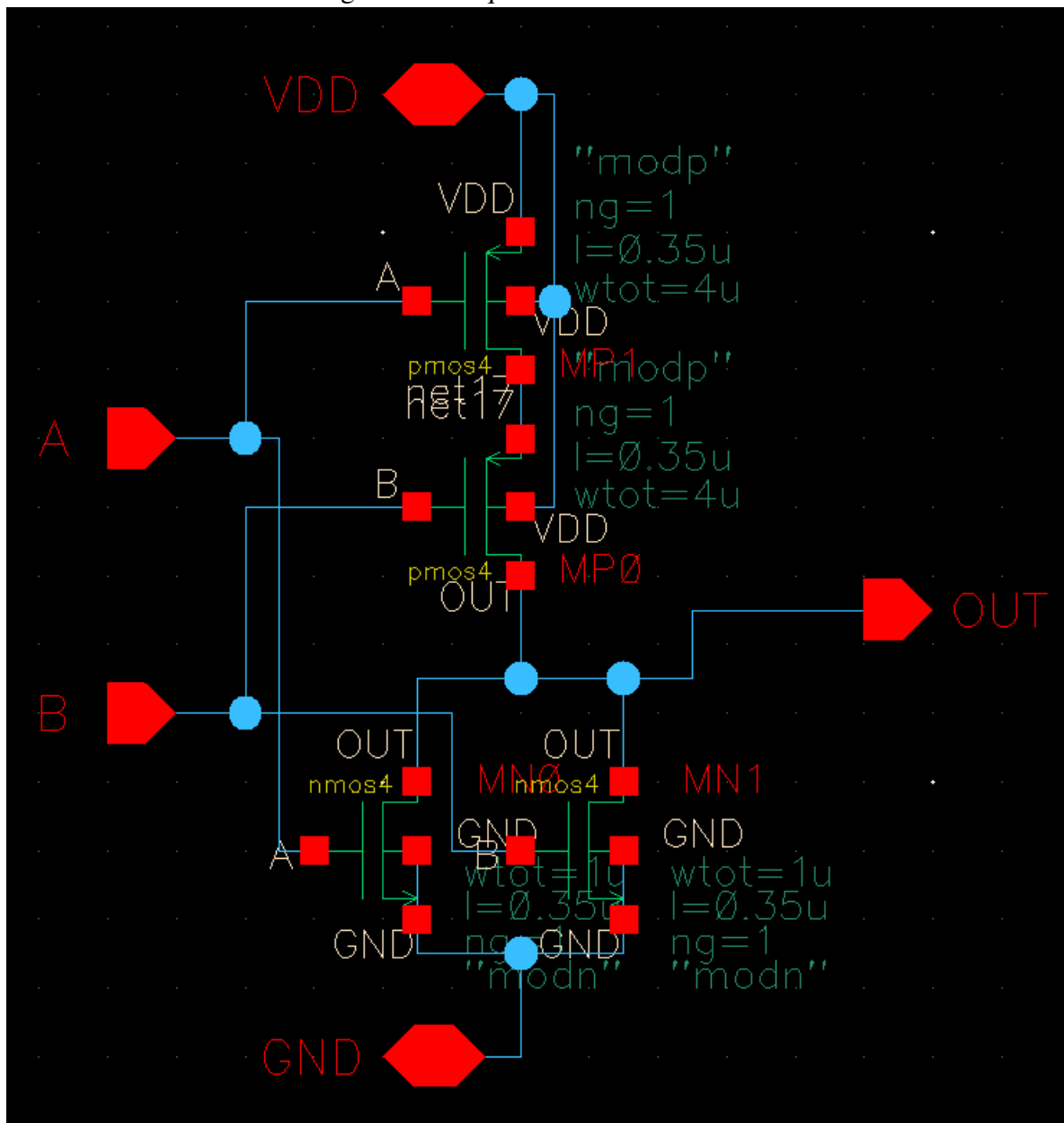
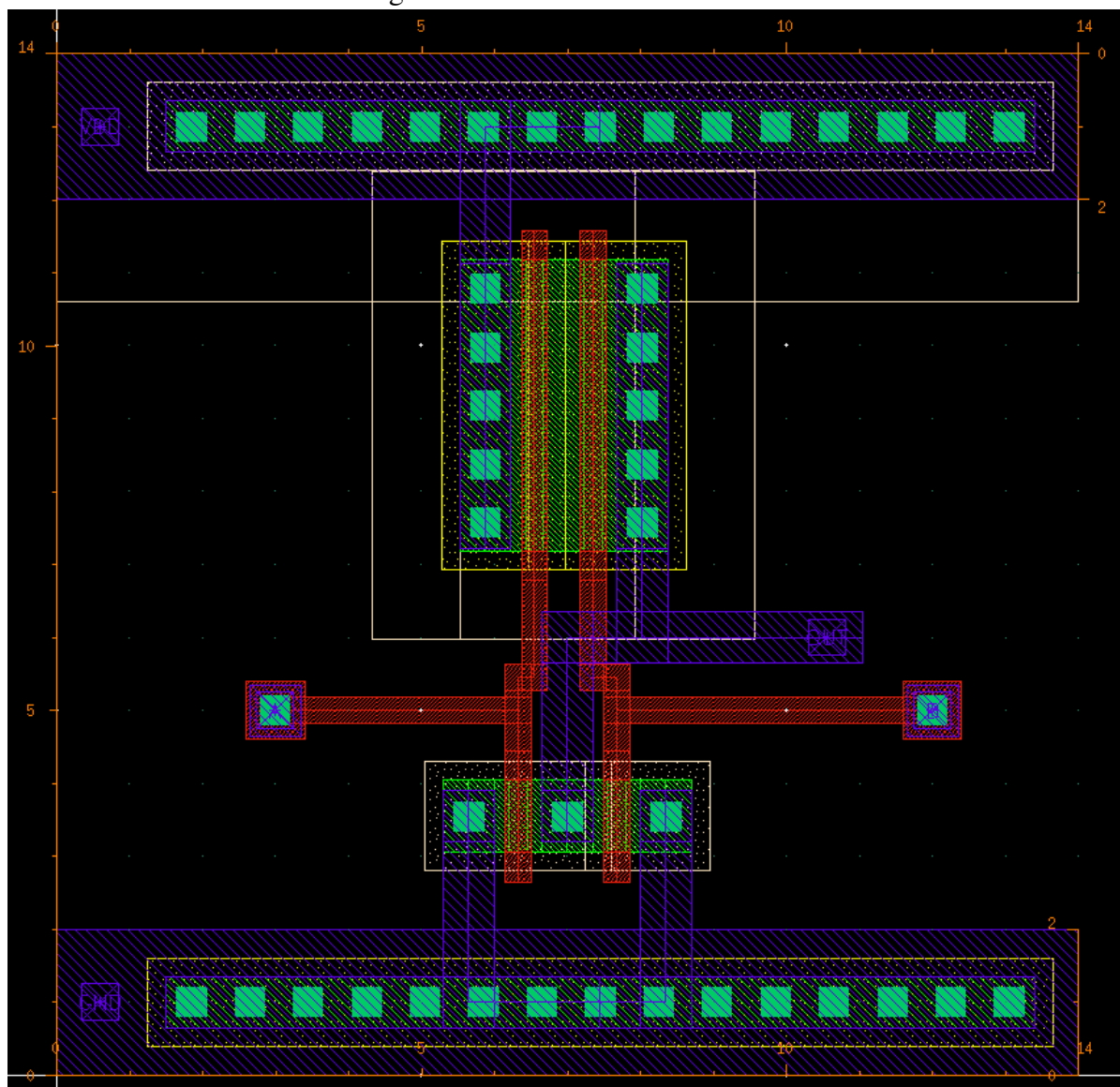


Figura 3.7: Leiaute da NOR2



Os resultados da análise transiente desse circuito estão no Capítulo 4.

A Figura 3.8 mostra o esquemático do circuito na ferramenta *Virtuoso*, e a Figura 3.9 mostra o *waveform* da simulação transiente do circuito.

Figura 3.8: Esquemático da simulação da transiente da porta.

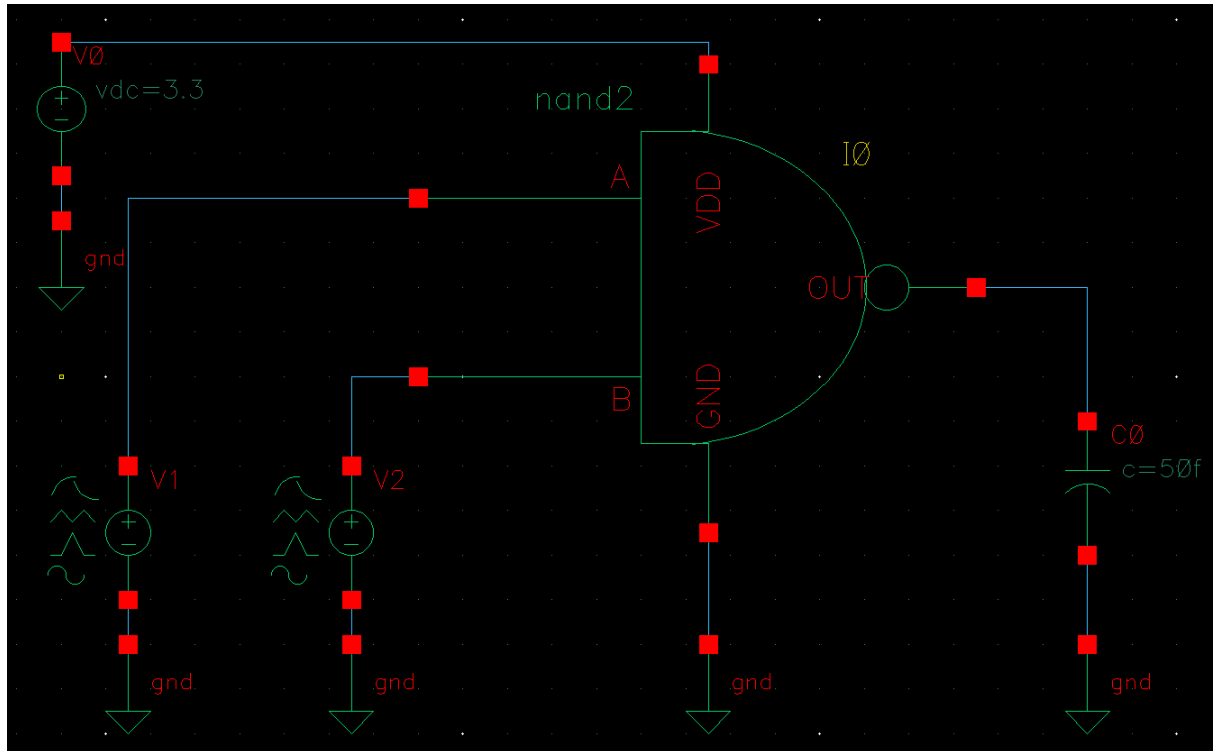
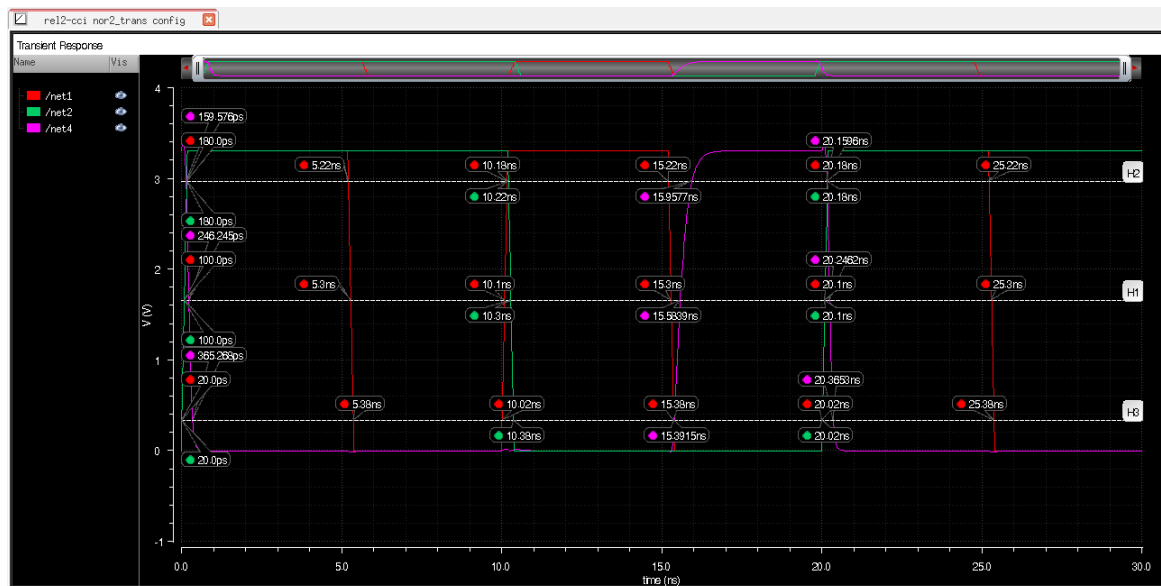
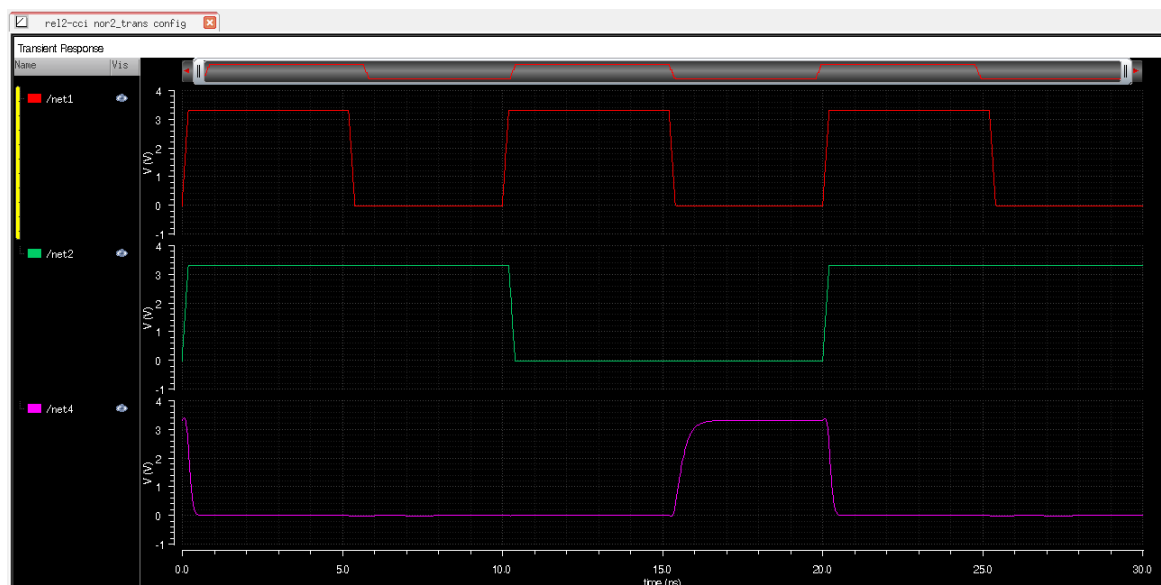


Figura 3.9: Waveforms da simulação transiente da porta.
(a) united



(b) separated



4 RESULTADOS

Neste capítulo abordaremos os resultados obtidos nas simulações.

4.1 Tabela

A Tabela 4.1 define os valores encontrados para cada uma das métricas temporais definidas no Capítulo Introdução para cada circuito, e a Tabela 4.2 define as métricas de energia para os mesmos ditos circuitos.

Tabela 4.1: Resultados temporais das simulações.

Porta	T_{PHL}	T_{PLH}	$T_{Pmédio}$	T_{LH}	T_{HL}
NAND2	$2.096 \times 10^{-1} \text{ ns}$	$2.163 \times 10^{-1} \text{ ns}$	$2.129 \times 10^{-1} \text{ ns}$	$3.836 \times 10^{-1} \text{ ns}$	$3.342 \times 10^{-1} \text{ ns}$
NOR2	$2.839 \times 10^{-1} \text{ ns}$	$1.462 \times 10^{-1} \text{ ns}$	$2.151 \times 10^{-1} \text{ ns}$	$5.662 \times 10^{-1} \text{ ns}$	$2.057 \times 10^{-1} \text{ ns}$

Tabela 4.2: Resultados de consumo de potência.

...	$P_{média}$	P_{RMS}
NAND2	$5.594 \times 10^{-5} \text{ W}$	$2.641 \times 10^{-4} \text{ W}$
NOR2	$2.497 \times 10^{-5} \text{ W}$	$1.638 \times 10^{-4} \text{ W}$