

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA
CURSO DE GRADUAÇÃO EM CIÊNCIA DA COMPUTAÇÃO

HENRIQUE CORRÊA PEREIRA DA SILVA

RELATÓRIO 2

Relatório apresentado como requisito parcial
para a obtenção de conceito na Disciplina de
Concepção de Circuitos Integrados.

Orientador: Prof. Dr. Ricardo Augusto da Luz
Reis

Porto Alegre
2018

SUMÁRIO

1 INTRODUÇÃO	3
2 PROPOSTA	4
3 ANÁLISE.....	5
3.1 XOR2.....	5
4 RESULTADOS	11
4.1 Tabela	11

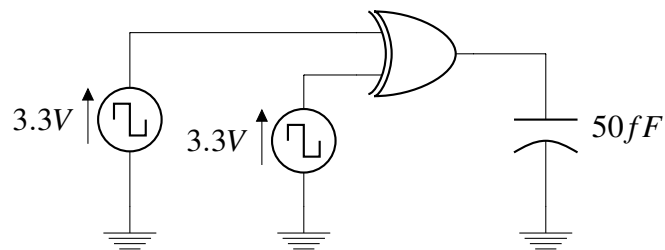
1 INTRODUÇÃO

Neste relatório, construiremos leiaute e esquemático da célula XOR2 e observaremos sua performance utilizando as seguintes métricas:

1. T_{lh} : tempo de subida do sinal;
2. T_{hl} : tempo de descida do sinal;
3. $T_{p_{lh}}$: tempo de propagação *low-high*;
4. $T_{p_{hl}}$: tempo de propagação *high-low*;
5. $T_{p_{médio}}$: tempo de propagação médio;
6. $P_{média}$: potência média das células;
7. P_{RMS} : potência *RMS* das células.

Além disso, será feita a análise *Layout versus Schematic* para cada célula a fim de verificar a funcionalidade do leiaute contra o esquemático. Mais detalhes sobre a implementação da porta lógica e do circuito no Capítulo 2.

Figura 1.1: Circuito XOR2 a ser projetado.



2 PROPOSTA

A proposta do relatório é construir e realizar a medição de métricas de implementações da porta lógica XOR2 na tecnologia CMOS C35B4 da *Austria Microsystems*, utilizando valores de W_p e de W_n dessas respectivas portas conforme a Tabela 2.1 e uma lógica de transistores de passagem. Além disso, o circuito também deverá seguir às seguintes especificações:

- $VDD = 3.3\text{ V}$;
- $1/f_1 = 10\text{ ns}$;
- $1/f_2 = 20\text{ ns}$;
- $T_{\text{rise}} = 200\text{ ps}$;
- $T_{\text{fall}} = 200\text{ ps}$;
- $P1_{\text{width}} = 5\text{ ns}$;
- $P2_{\text{width}} = 10\text{ ns}$.

Criados o leiaute, é obrigatório tanto o teste individual de cada um utilizando as ferramentas *DRC* e *LVS* quanto a extração das capacitâncias parasitas de cada implementação.

Tabela 2.1: Dimensões da implementação.

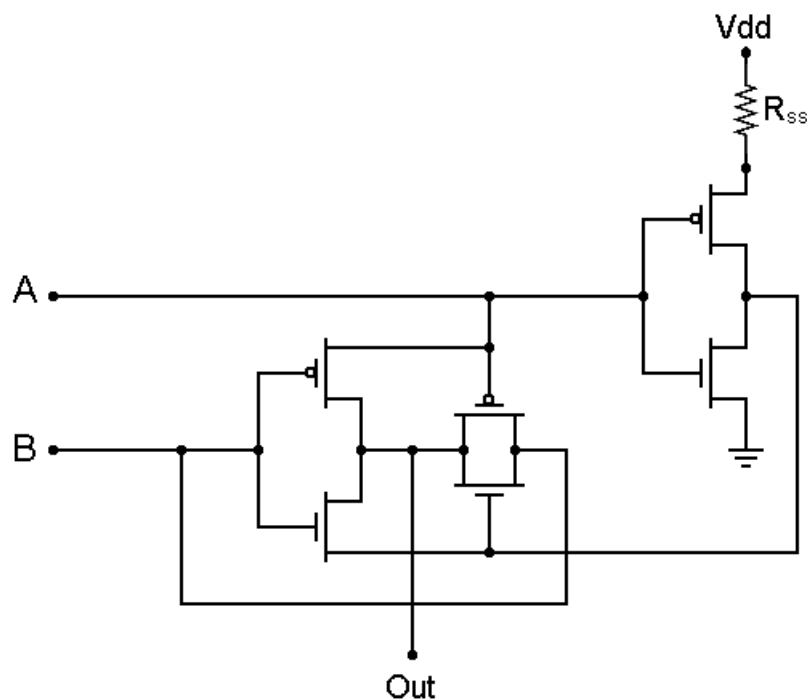
Implementação	W_p	W_n
XOR2	$3.0\text{ }\mu\text{m}$	$2.0\text{ }\mu\text{m}$

3 ANÁLISE

Neste capítulo abordaremos a implementação da XOR2 e, no Capítulo 4, analisaremos os resultados e faremos algumas observações sobre o circuito simulado.

A Figura 3.1 mostra o esquemático da porta de transistores de passagem que implementaremos.

Figura 3.1: Esquemático da XOR2 em lógica de passagem.



3.1 XOR2

A XOR2, como vista anteriormente na Aula Prática 3, possuirá transistores PMOS e NMOS dimensionados respectivamente em $3.0\mu\text{m}$ e $2.0\mu\text{m}$, e, assim como na aula prática, as células projetadas tem $14\mu\text{m}$ de altura num processo CMOS de substrato P⁻.

A Figura 3.2 mostra o esquemático da porta lógica na ferramenta *Virtuoso*, e a Figura 3.3 mostra o seu respectivo leiaute. O leiaute foi feito manualmente sem utilizar as ferramentas de automação e de simplificação do processo de criação de leiaute do *Virtuoso*.

Como adicional, podemos observar na Figura 3.4 as capacitâncias extraídas do leiaute da Figura 3.3.

Figura 3.2: Esquemático da XOR2

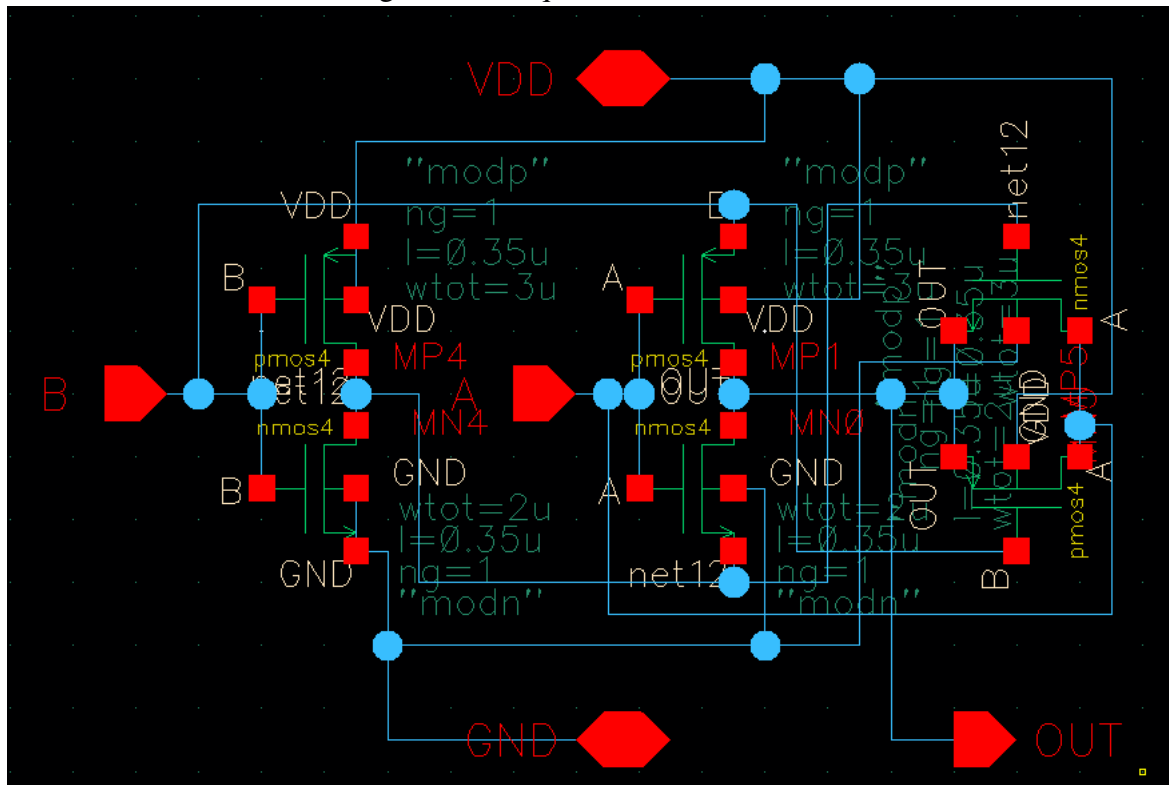


Figura 3.3: Leiaute da XOR2

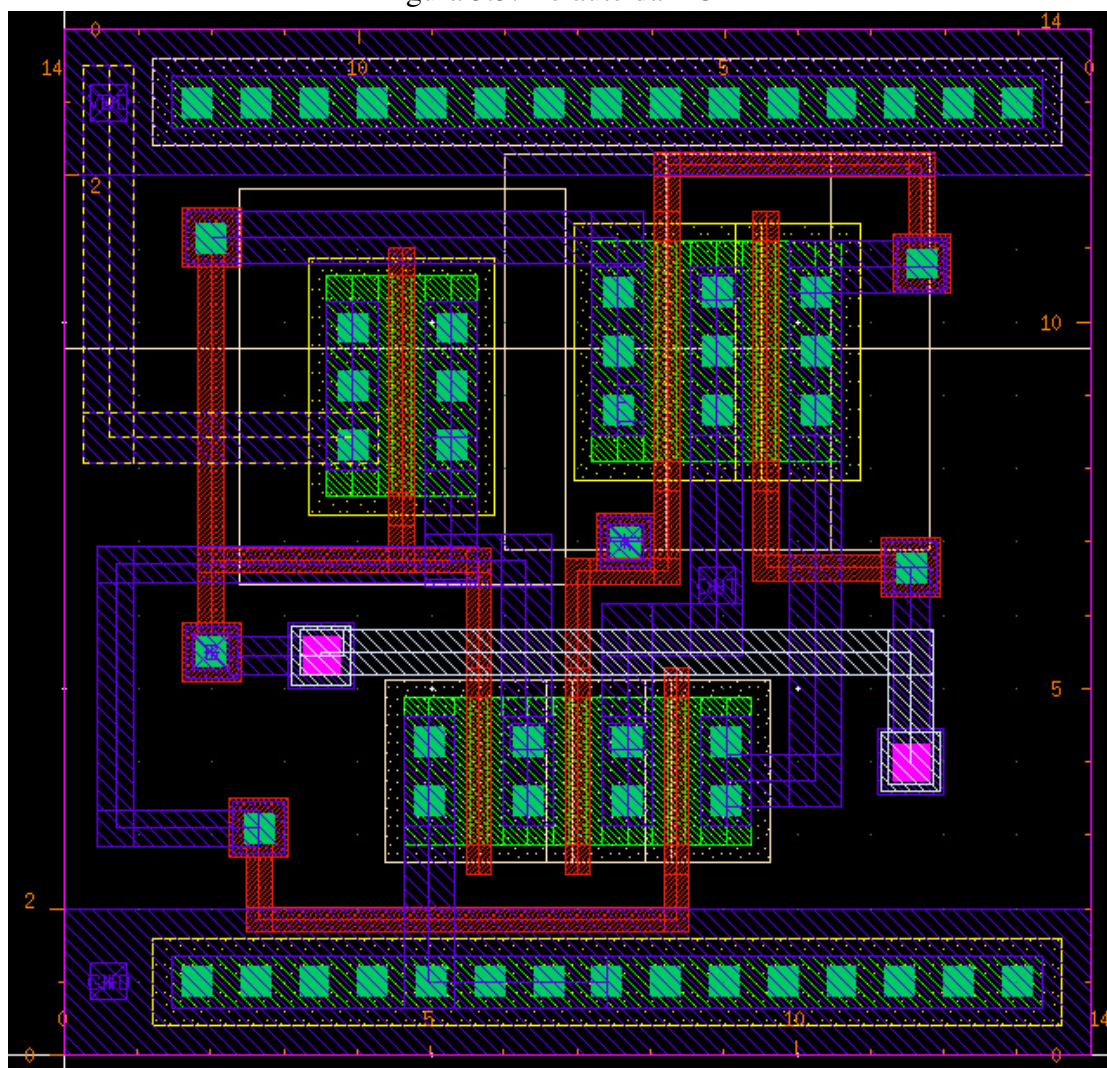
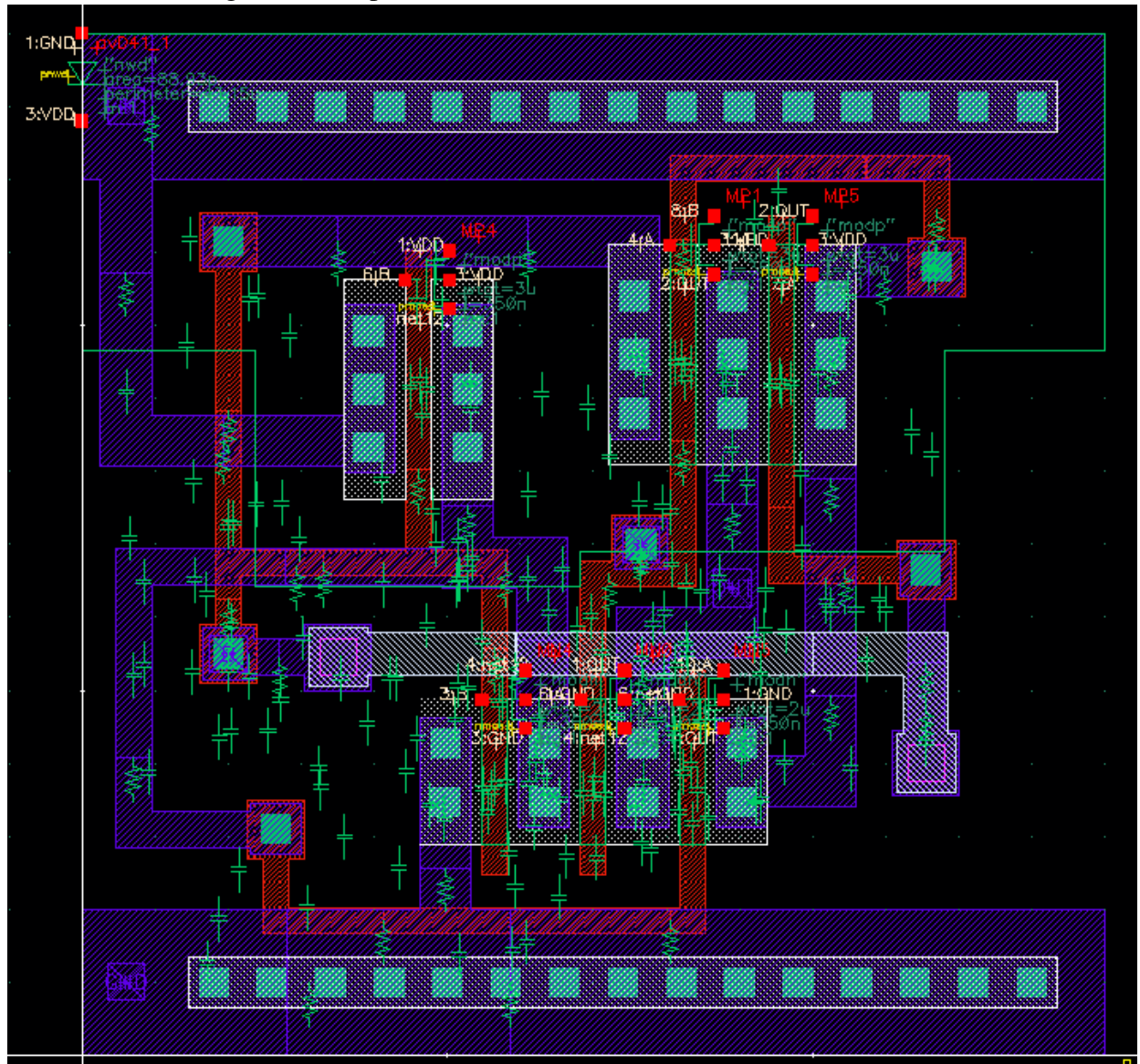


Figura 3.4: Capacitancias extraídas do leiaute da XOR2



Os resultados da análise transiente desse circuito estão no Capítulo 4.

A Figura 3.5 mostra o esquemático do circuito na ferramenta *Virtuoso*, e a Figura 3.6 mostra o *waveform* da simulação transiente do circuito.

Figura 3.5: Esquemático da simulação transiente da porta.

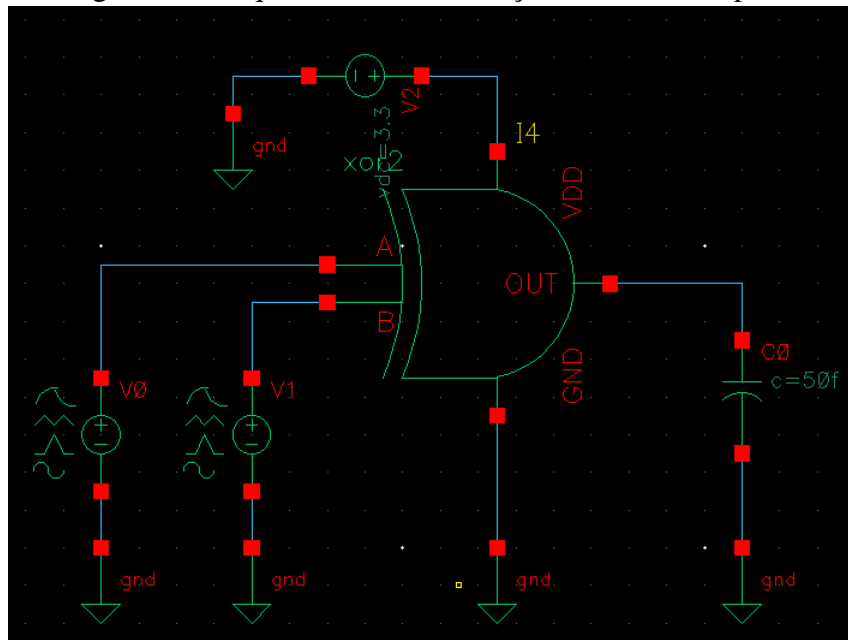
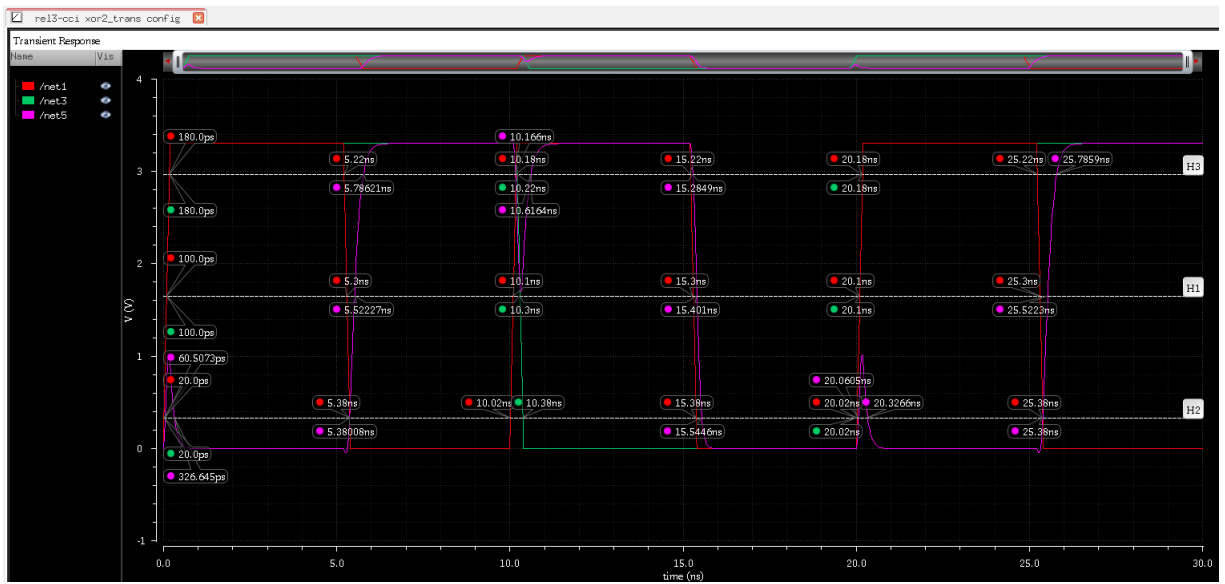


Figura 3.6: Waveforms da simulação transiente da porta.
(a) united



(b) separated



4 RESULTADOS

Neste capítulo abordaremos os resultados obtidos nas simulações.

4.1 Tabela

A Tabela 4.1 define os valores encontrados para as métricas temporais definidas no Capítulo Introdução para o circuito¹, e a Tabela 4.2 define as métricas de energia para o mesmo dito circuito.

Tabela 4.1: Resultados temporais das simulações.

Porta	T _{PHL}	T _{PLH}	T _{p_{médio}}	T _{LH}	T _{HL}
XOR2	$1.947 \times 10^{-1} \text{ ns}$	$2.223 \times 10^{-1} \text{ ns}$	$2.085 \times 10^{-1} \text{ ns}$	$4.061 \times 10^{-1} \text{ ns}$	$2.597 \times 10^{-1} \text{ ns}$

Tabela 4.2: Resultados de consumo de potência.

...	P _{média}	P _{RMS}
XOR2	$2.080 \times 10^{-6} \text{ W}$	$1.283 \times 10^{-4} \text{ W}$

¹A métrica T_{PHL} foi calculada usando uma simulação adicional a fim de encontrar o estado onde a saída estivesse alta e a entrada subisse de forma a baixar a saída.