

浙江大学

本科实验报告

课程名称：计算机逻辑设计基础

姓名：仇国智

学院：竺可桢学院

专业：计算机科学与技术

学号：3220102181

指导教师：董亚波

2023 年 10 月 16 日

一、实验目的和要求

1 目的

- 1.1 熟悉 Verilog HDL 语言并能用其建立基本的逻辑部件，在 Xilinx ISE 平台进行输入、编辑、调试、行为与仿真与综合后功能仿真。
- 1.2 熟悉掌握 SWORD FPGA 开发平台，同时在 ISE 平台上进行时序约束、引脚约束及映射布线后时序仿真。
- 1.3 运用 Xilinx ISE 具将设计验证后的代码下载到实验板上，并在实验板上验证。

2 要求

- 2.1 熟悉 ISE 工具软件的运行环境与安装过程
- 2.2 设计简单组合逻辑电路，采用图形输入逻辑功能描述，建立 FPGA 实现数字系统的 Xilinx ISE 设计管理工程，并进行编辑、调试、编译、行为仿真，时序约束、引脚指定（约束）、映射布线后时序仿真及 FPGA 编程代码下载与运行验证
- 2.3 设计简单时序逻辑电路，采用 Verilog 代码输入逻辑功能描述，建立 FPGA 实现数字系统的 ISE 设计管理工程，并进行编辑、调试、编译、行为仿真，时序约束、引脚约束、映射布线后时序仿真及 FPGA 编程代码下载与运行验证。

二、实验内容和原理

1 内容

- 1.1 以图形方式输入逻辑功能描述，不考虑灯延时熄灭。
- 1.2 用 Verilog 语言描述电路逻辑功能，要考虑灯延时熄灭。

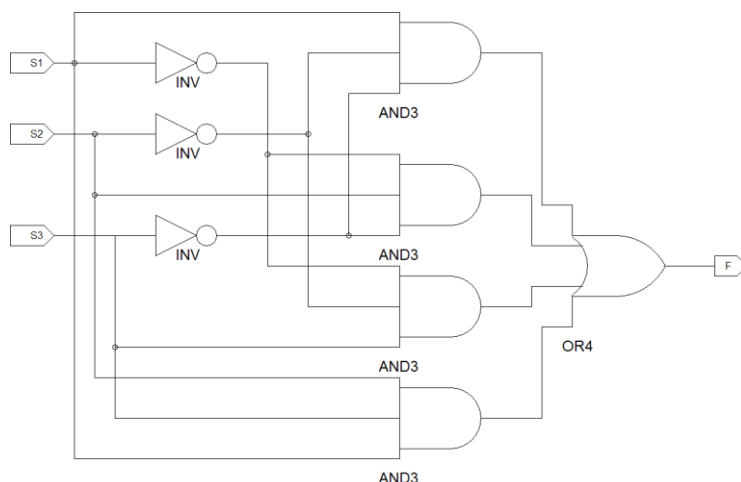
2 原理

2.1 分析楼道灯的事件行为，用组合电路实现，用拨动开关作为电路输入 $S1, S2, S3$ ，电路输出为 F 。变量赋值：开关往下为 1，往上为 0；输出灯亮为 1，灯暗为 0。编写真值表，如下表。

S3	S2	S1	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

2.2 根据上述真值表分析输入输出关系：

$$F = S1 \cdot \overline{S2} \cdot \overline{S3} + \overline{S1} \cdot S2 \cdot \overline{S3} + \overline{S1} \cdot \overline{S2} \cdot S3 + S1 \cdot S2 \cdot S3$$



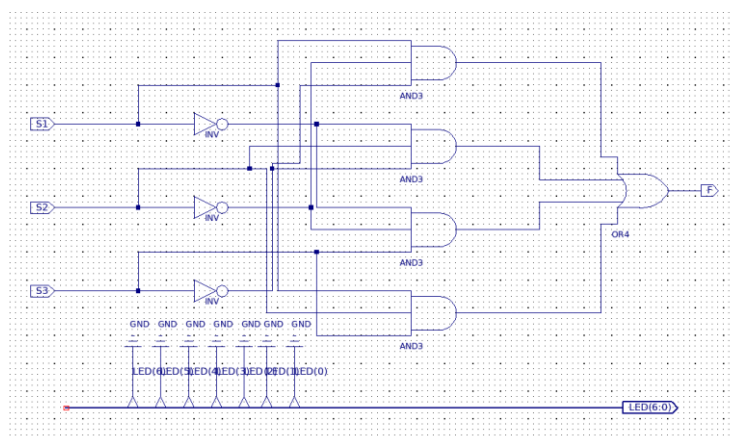
2.3 分析楼道灯的事件行为，用时序电路实现，用按钮开关作为电路输入 S1,S2,S3，电路输出为 F。变量赋值：开关按下为 1，弹起为 0；输出灯亮为 1，灯暗为 0。编写 Verilog 代码。

```
1 `timescale 1ns / 1ps
2 module tb_lampctrl();
3     // Inputs
4     reg clk;
5     reg s1;
6     reg s2;
7     reg s3;
8     // Outputs
9     wire F;
10
11     // Instantiate the Unit Under Test
12     // (UUT)
13     LampCtrl uut (
14         .clk(clk),
15         .s1(s1),
16         .s2(s2),
17         .s3(s3),
18         .F(F)
19     );
20
21     // Initialize Inputs
22     clk = 0;
23     s1 = 0; s2 = 0; s3 = 0;
24
25     #600 s1 = 1;
26     #20 s1 = 0;
27     #6000 s2 = 1;
28     #20 s2 = 0;
29     #6000 s3 = 1;
30     #20 s3 = 0;
31
32     end
33
34     always begin
35         #10 clk = 0;
36         #10 clk = 1;
37     end
38
39 endmodule
```

三、实验过程和数据记录

1 不延时熄灭

1.1 建立楼道控制的工程，创建原理图文件。



```

`timescale 1ns / 1ps

module LampCtrl(S1,
                S2,
                S3,
                F,
                LED);

    input S1;
    input S2;
    input S3;
    output F;
    output [6:0] LED;

    wire XLXN_4;
    wire XLXN_6;
    wire XLXN_8;
    wire XLXN_10;
    wire XLXN_11;
    wire XLXN_12;
    wire XLXN_13;

    INV  XLXI_3 (.I(S1),
                .O(XLXN_6));
    INV  XLXI_4 (.I(S2),
                .O(XLXN_8));
    INV  XLXI_5 (.I(S3),
                .O(XLXN_4));
    AND3 XLXI_6 (.I0(S3),
                .I1(S2),
                .I2(S1),
                .O(XLXN_13));
    AND3 XLXI_7 (.I0(S3),
                .I1(XLXN_8),
                .I2(XLXN_6),
                .O(XLXN_12));
    AND3 XLXI_8 (.I0(XLXN_4),
                .I1(S2),
                .I2(XLXN_6),
                .O(XLXN_11));
    AND3 XLXI_9 (.I0(XLXN_4),
                .I1(XLXN_8),

```

```

        .I2(S1),
        .O(XLXN_10));
OR4  XLXI_10 (.I0(XLXN_13),
            .I1(XLXN_12),
            .I2(XLXN_11),
            .I3(XLXN_10),
            .O(F));
GND  XLXI_12 (.G(LED[6]));
GND  XLXI_13 (.G(LED[5]));
GND  XLXI_14 (.G(LED[4]));
GND  XLXI_15 (.G(LED[3]));
GND  XLXI_16 (.G(LED[2]));
GND  XLXI_17 (.G(LED[1]));
GND  XLXI_18 (.G(LED[0]));
endmodule

```

1.2 建立基准测试波形文件，输出仿真波形图。

```

`timescale 1ns / 1ps
module tb_lampctrl_1 ();
    // Inputs
    reg S1;
    reg S2;
    reg S3;

    // Output
    wire F;

    // Bidirs

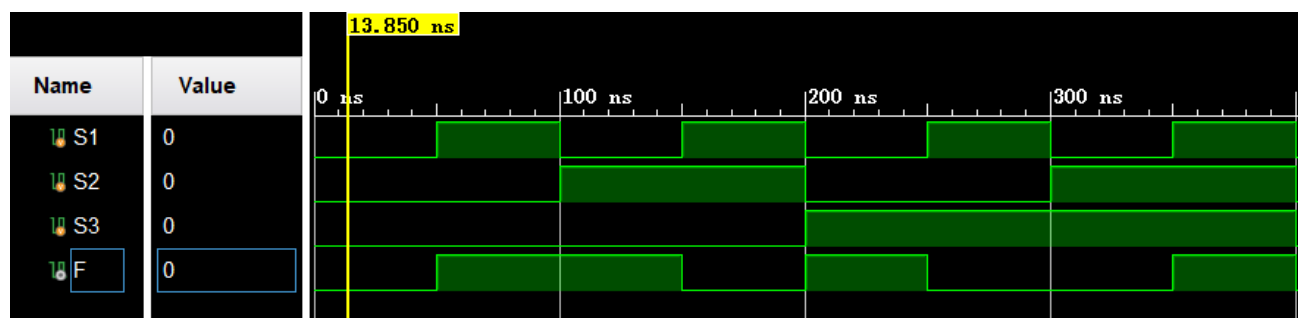
    // Instantiate the UUT
    LampCtrl UUT1 (
        .S1(S1),
        .S2(S2),
        .S3(S3),
        .F (F)
    );
    // Initialize Inputs
    // `ifdef auto_init
    initial begin
        S1 = 0;
        S2 = 0;

```

```

    S3 = 0;
    #50 S1 = 1;
    #50 S1 = 0;
    S2 = 1;
    #50 S1 = 1;
    #50 S1 = 0;
    S2 = 0;
    S3 = 1;
    #50 S1 = 1;
    #50 S1 = 0;
    S2 = 1;
    #50 S1 = 1;
    #50 S1 = 0;
    S2 = 0;
    S3 = 0;
end
// `endif
endmodule

```



```

`timescale 1ns / 1ps
module tb_lampctrl_2 ();
    // Inputs
    reg S1;
    reg S2;
    reg S3;

    // Output
    wire F;

    // Bidirs

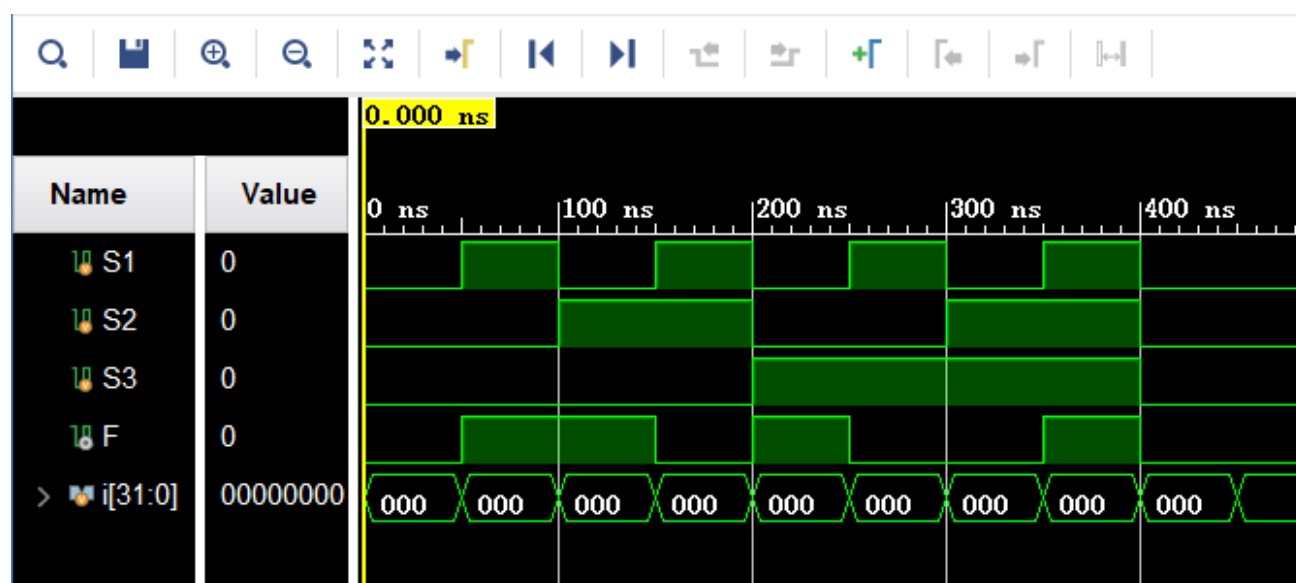
    // Instantiate the UUT
    LampCtrl UUT2 (

```

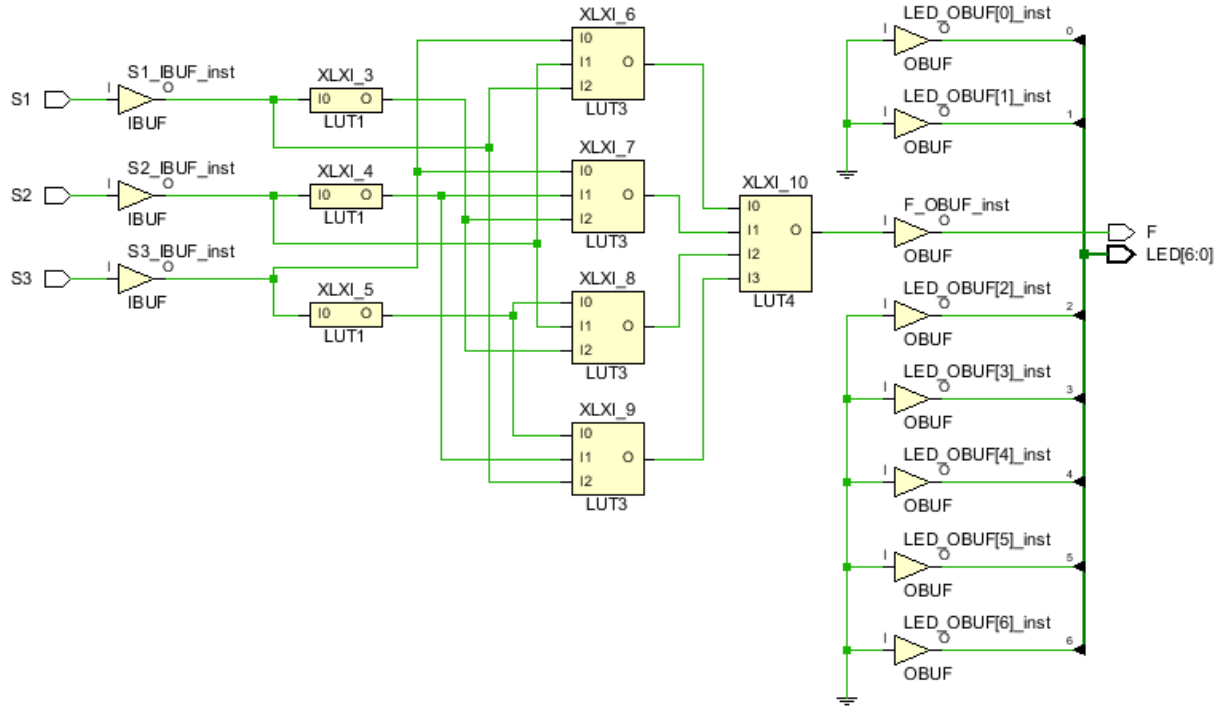
```

        .S1(S1),
        .S2(S2),
        .S3(S3),
        .F (F)
    );
    // Initialize Inputs
    // `ifdef auto_init
    integer i;
    initial begin
        for (i = 0; i <= 8; i = i + 1) begin
            {S3, S2, S1} <= i;
            #50;
        end
    end
    // `endif
endmodule

```



1.3 得出最终电路

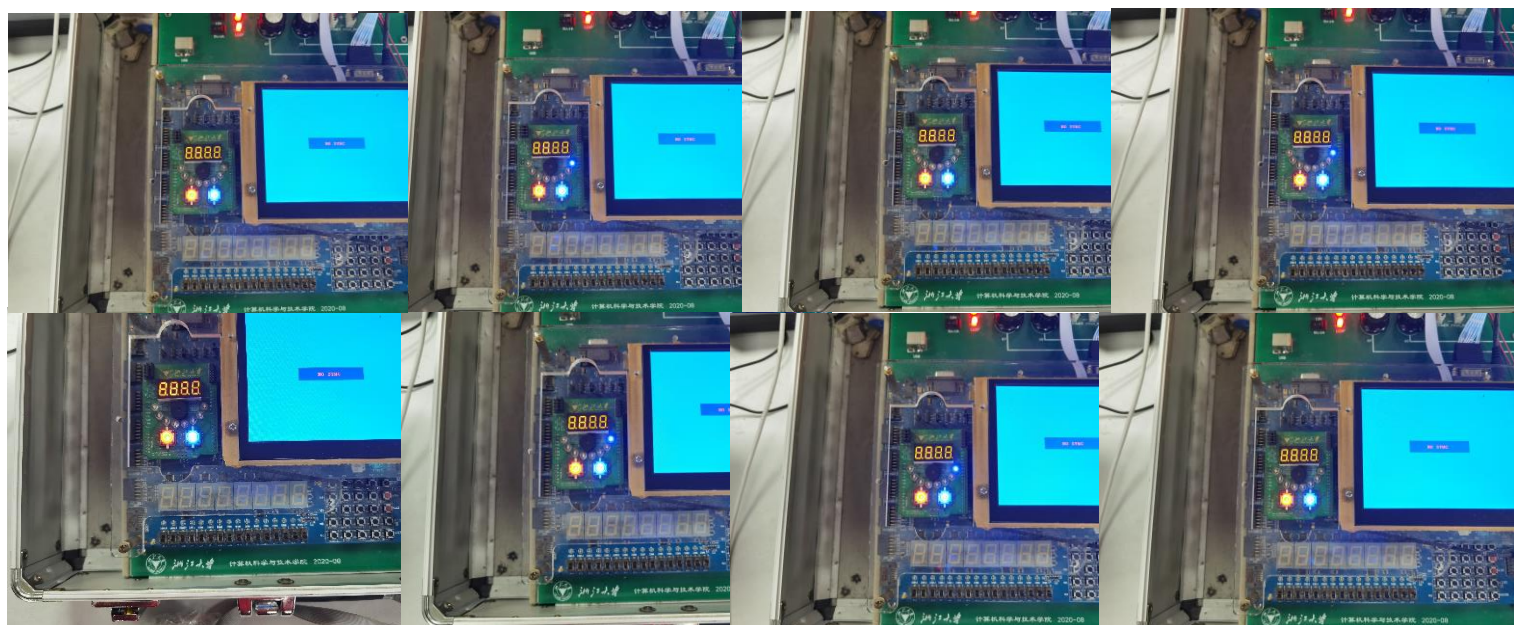


1.4 建立引脚分配文件

```
set_property PACKAGE_PIN AB26 [get_ports {LED[5]}]
set_property PACKAGE_PIN Y25 [get_ports {LED[4]}]
set_property PACKAGE_PIN AA23 [get_ports {LED[3]}]
set_property PACKAGE_PIN Y23 [get_ports {LED[2]}]
set_property PACKAGE_PIN Y22 [get_ports {LED[1]}]
set_property PACKAGE_PIN AE21 [get_ports {LED[0]}]
set_property PACKAGE_PIN AF24 [get_ports F]
set_property PACKAGE_PIN AA10 [get_ports S1]
set_property PACKAGE_PIN AB10 [get_ports S2]
set_property PACKAGE_PIN AA13 [get_ports S3]
set_property IOSTANDARD LVCMOS33 [get_ports {LED[6]}]
set_property IOSTANDARD LVCMOS33 [get_ports {LED[5]}]
set_property IOSTANDARD LVCMOS33 [get_ports {LED[4]}]
set_property IOSTANDARD LVCMOS33 [get_ports {LED[3]}]
set_property IOSTANDARD LVCMOS33 [get_ports {LED[2]}]
set_property IOSTANDARD LVCMOS33 [get_ports {LED[1]}]
set_property IOSTANDARD LVCMOS33 [get_ports {LED[0]}]
set_property IOSTANDARD LVCMOS33 [get_ports F]
set_property IOSTANDARD LVCMOS15 [get_ports S1]
set_property IOSTANDARD LVCMOS15 [get_ports S2]
set_property IOSTANDARD LVCMOS15 [get_ports S3]
set_property PACKAGE_PIN W23 [get_ports {LED[6]}]
```

Name	Direction	Neg Diff Pair	Package Pin	Fixed	Bank	I/O Std	Vcco	Vref	Drive Strength	Slew Type	Pull Type	Off-Chip Terr
All ports (11)												
LED (7)												
LED[6]	OUT		W23	<input checked="" type="checkbox"/>	12	LVC MOS33*	3.300		12	SLOW	NONE	FP_VTT_50
LED[5]	OUT		AB26	<input checked="" type="checkbox"/>	12	LVC MOS33*	3.300		12	SLOW	NONE	FP_VTT_50
LED[4]	OUT		Y25	<input checked="" type="checkbox"/>	12	LVC MOS33*	3.300		12	SLOW	NONE	FP_VTT_50
LED[3]	OUT		AA23	<input checked="" type="checkbox"/>	12	LVC MOS33*	3.300		12	SLOW	NONE	FP_VTT_50
LED[2]	OUT		Y23	<input checked="" type="checkbox"/>	12	LVC MOS33*	3.300		12	SLOW	NONE	FP_VTT_50
LED[1]	OUT		Y22	<input checked="" type="checkbox"/>	12	LVC MOS33*	3.300		12	SLOW	NONE	FP_VTT_50
LED[0]	OUT		AE21	<input checked="" type="checkbox"/>	12	LVC MOS33*	3.300		12	SLOW	NONE	FP_VTT_50
Scalar ports (4)												
F	OUT		AF24	<input checked="" type="checkbox"/>	12	LVC MOS33*	3.300		12	SLOW	NONE	FP_VTT_50
S1	IN		AA10	<input checked="" type="checkbox"/>	33	LVC MOS15*	1.500				NONE	NONE
S2	IN		AB10	<input checked="" type="checkbox"/>	33	LVC MOS15*	1.500				NONE	NONE
S3	IN		AA13	<input checked="" type="checkbox"/>	33	LVC MOS15*	1.500				NONE	NONE

1.5 对硬件设备进行下载编程，验证是否满足设计要求。



2 延时熄灭

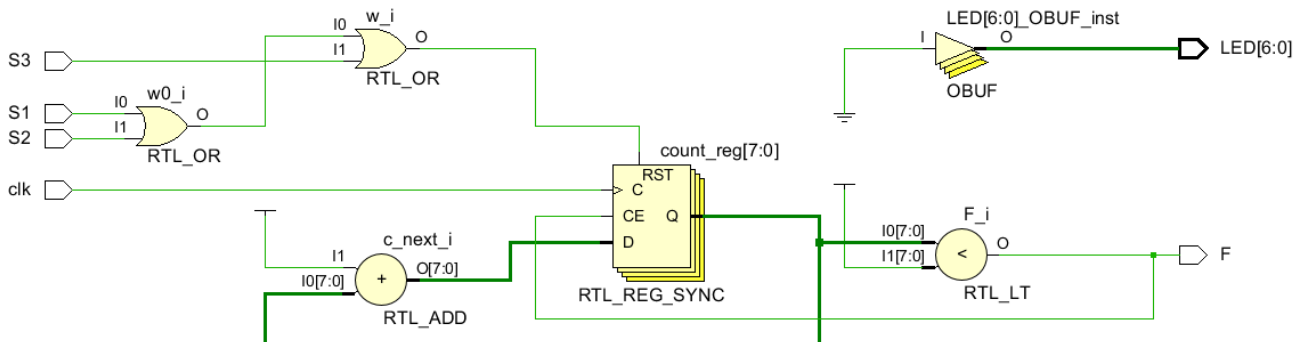
2.1 建立楼道控制的工程，输入楼道灯控逻辑电路 Verilog HDL 代码。仿真时：

parameter C_NUM = 8;parameter C_MAX = 8'hFF;下载运行时：parameter C_NUM = 28;parameter C_MAX = 28'hFFFFFFF;

```

1  `timescale 1ns / 1ps
2  module tb_lampctrl();
3      // Inputs
4      reg clk;
5      reg S1;
6      reg S2;
7      reg S3;
8      // Outputs
9      wire F;
10
11     // Instantiate the Unit Under Test
    (UUT)
12     LampCtrl uut (
13         .clk(clk),
14         .S1(S1),
15         .S2(S2),
16         .S3(S3),
17         .F(F)
18     );
19     initial begin
20         // Initialize Inputs
21         clk = 0;
22         S1 = 0; S2 = 0; S3 = 0;
23
24         #600 S1 = 1;
25         #20 S1 = 0;
26         #6000 S2 = 1;
27         #20 S2 = 0;
28         #6000 S3 = 1;
29         #20 S3 = 0;
30     end
31
32     always begin
33         #10 clk = 0;
34         #10 clk = 1;
35     end
36 endmodule

```



2.2 建立基准测试波形文件，观察仿真激励输入波形。

```

`timescale 1ns / 1ps
module tb_lampctrl();
    // Inputs
    reg clk;
    reg S1;
    reg S2;
    reg S3;

```

```

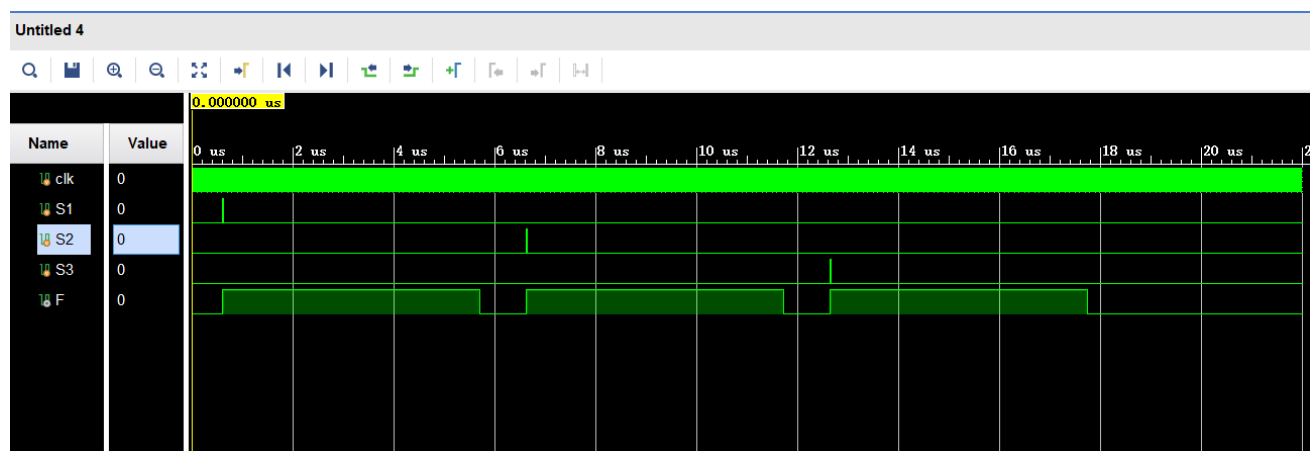
// Outputs
wire F;

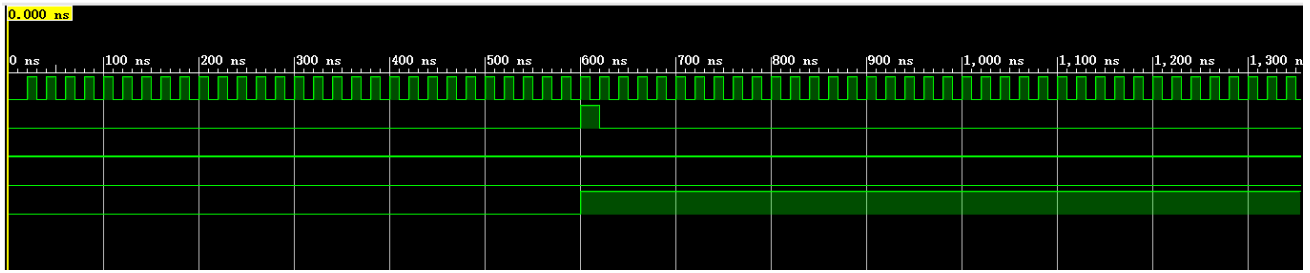
// Instantiate the Unit Under Test (UUT)
LampCtrl uut (
    .clk(clk),
    .S1(S1),
    .S2(S2),
    .S3(S3),
    .F(F)
);
initial begin
    // Initialize Inputs
    clk = 0;
    S1 = 0; S2 = 0; S3 = 0;

    #600 S1 = 1;
    #20 S1 = 0;
    #6000 S2 = 1;
    #20 S2 = 0;
    #6000 S3 = 1;
    #20 S3 = 0;
end

always begin
    #10 clk = 0;
    #10 clk = 1;
end
endmodule

```





2.3 建立引脚分配文件

```
set_property PACKAGE_PIN W23 [get_ports {LED[6]}]
set_property PACKAGE_PIN AB26 [get_ports {LED[5]}]
set_property PACKAGE_PIN Y25 [get_ports {LED[4]}]
set_property PACKAGE_PIN AA23 [get_ports {LED[3]}]
set_property PACKAGE_PIN Y23 [get_ports {LED[2]}]
set_property PACKAGE_PIN Y22 [get_ports {LED[1]}]
set_property PACKAGE_PIN AE21 [get_ports {LED[0]}]
set_property PACKAGE_PIN AF24 [get_ports F]
set_property PACKAGE_PIN AA10 [get_ports S1]
set_property PACKAGE_PIN AB10 [get_ports S2]
set_property PACKAGE_PIN AA13 [get_ports S3]
set_property PACKAGE_PIN AC18 [get_ports clk]
set_property IOSTANDARD LVCMOS33 [get_ports {LED[6]}]
set_property IOSTANDARD LVCMOS33 [get_ports {LED[5]}]
set_property IOSTANDARD LVCMOS33 [get_ports {LED[4]}]
set_property IOSTANDARD LVCMOS33 [get_ports {LED[3]}]
set_property IOSTANDARD LVCMOS33 [get_ports {LED[2]}]
set_property IOSTANDARD LVCMOS33 [get_ports {LED[1]}]
set_property IOSTANDARD LVCMOS33 [get_ports {LED[0]}]
set_property IOSTANDARD LVCMOS33 [get_ports F]
set_property IOSTANDARD LVCMOS15 [get_ports S1]
set_property IOSTANDARD LVCMOS15 [get_ports S2]
set_property IOSTANDARD LVCMOS15 [get_ports S3]
set_property IOSTANDARD LVCMOS18 [get_ports clk]
```


Tel ConsoleMessagesLogReportsDesign RunsI/O Ports x

Q

≡

⚙

🔍

+

🔍

?

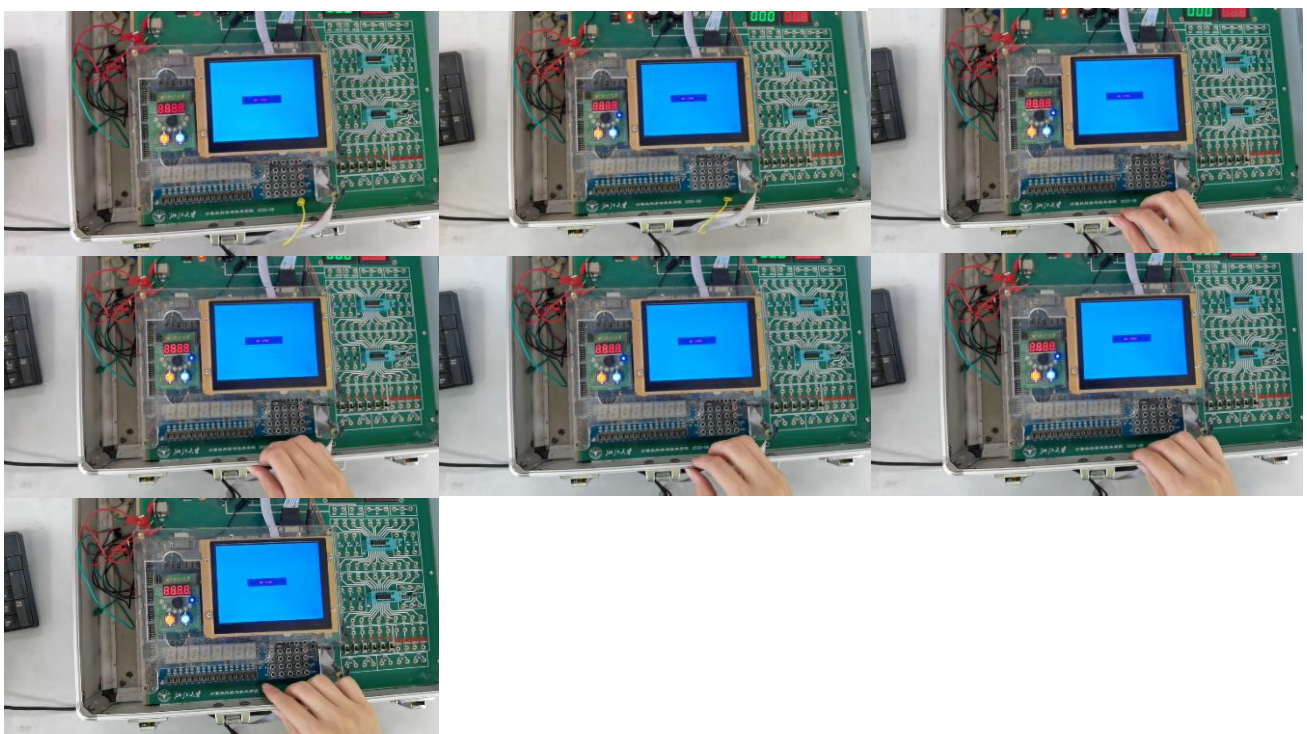
⋮

🔍

⚙

Name	Direction	Neg Diff Pair	Package Pin	Fixed	Bank	I/O Std	Vcco	Vref	Drive Strength	Slew Type	Pull Type	Off-Chip Ter
All ports (12)												
LED (7)												
LED[6]	OUT		W23	✓	12	LVC MOS33*	3.300		12	SLOW	NONE	FP_VTT_50
LED[5]	OUT		AB26	✓	12	LVC MOS33*	3.300		12	SLOW	NONE	FP_VTT_50
LED[4]	OUT		Y25	✓	12	LVC MOS33*	3.300		12	SLOW	NONE	FP_VTT_50
LED[3]	OUT		AA23	✓	12	LVC MOS33*	3.300		12	SLOW	NONE	FP_VTT_50
LED[2]	OUT		Y23	✓	12	LVC MOS33*	3.300		12	SLOW	NONE	FP_VTT_50
LED[1]	OUT		Y22	✓	12	LVC MOS33*	3.300		12	SLOW	NONE	FP_VTT_50
LED[0]	OUT		AE21	✓	12	LVC MOS33*	3.300		12	SLOW	NONE	FP_VTT_50
Scalar ports (5)												
clk	IN		AC18	✓	32	LVC MOS18	1.800				NONE	NONE
F	OUT		AF24	✓	12	LVC MOS33*	3.300		12	SLOW	NONE	FP_VTT_50
S1	IN		AA10	✓	33	LVC MOS15*	1.500				NONE	NONE
S2	IN		AB10	✓	33	LVC MOS15*	1.500				NONE	NONE
S3	IN		AA13	✓	33	LVC MOS15*	1.500				NONE	NONE

2.4 Generate Programming File, 将生成 Bit 文件下载到 SWORD 实验板, 在 SWORD 板上物理运行, 根据 I/O 约束定义, 在板上用拨盘开关模拟按键操作, 查看灯的变化是否正确, 验证设计是否成功



四、实验结果分析

这此实验很成功，波形图与实际测试均符合 ppt 上的预期实验成果。

五、讨论与心得

这次实验是 ISE 使用入门，上课的时候跟着老师和一步一步做的，课后重新整理操作步骤，实验报告也就是 ISE 使用教程。从建立工程文件开始，添加源文件，写代码或者画逻辑电路图，到仿真激励、引脚约束，最后下载到 sword 板上。此外，在画图时，需要注意导线是否连接完整，是否有断开；与非门选择是否正确；导线尽量不要交叉；最好修改次数不太多。总之，一系列的操作其实真正做起来并没有那么难，需要专注与耐心；同时还应当在课前做好预习，以跟上老师上课的速度。