

東京工業大学工学部

学士論文

ハードウェアの論理シミュレーションの
高速化に関する研究

指導教員 吉瀬 謙二 准教授

平成 25 年 8 月

提出者

学科 情報工学科

学籍番号 09_06410

氏名 金子 達哉

指導教員 印	
--------	--

学科長 認定印	
---------	--

平成 25 年度 学士論文内容梗概

ハードウェアの論理シミュレーションの 高速化に関する研究

指導教員 吉瀬 謙二 准教授

情報工学科

09_06410 金子達哉

目次

第 1 章	序論	1
1.1	研究の背景と目的	2
1.2	本論文の構成	2
第 2 章	ArchHDL の概要	3
2.1	ArchHDL による RTL モデリング	4
2.2	テストベンチの記述	4
2.2.1	ArchHDL の実装	4
	全体像	4
	reg クラスの定義	4
	wire クラスの定義	4
	Module クラスの定義	4
2.3	ArchHDL と iverilog の速度比較	4
第 3 章	ArchHDL の高速化手法の提案	5
3.1	set_ 変数を無くす	6
3.2	代入の最適化	6
3.2.1	ダブルバッファリング	6
3.2.2	next_ から curr_ への代入をメモリーコピーにする	6
3.3	OpenMP による並列化	6
第 4 章	評価	7
第 5 章	関連研究	9
第 6 章	結論	11

第 1 章

序論

1.1 研究の背景と目的

1.2 本論文の構成

第 2 章

ArchHDL の概要

2.1 ArchHDL による RTL モデリング

2.2 テストベンチの記述

2.2.1 ArchHDL の実装

全体像

reg クラスの定義

wire クラスの定義

Module クラスの定義

2.3 ArchHDL と iverilog の速度比較

第 3 章

ArchHDL の高速化手法の提案

3.1 set_ 変数を無くす

3.2 代入の最適化

3.2.1 ダブルバッファリング

3.2.2 next_ から curr_ への代入をメモリーコピーにする

3.3 OpenMP による並列化

第 4 章

評価

第 5 章

関連研究

第 6 章

結論

謝辭