

東京工業大学工学部

学士論文

ハードウェアの論理シミュレーションの
高速化に関する研究

指導教員 吉瀬 謙二 准教授

平成 25 年 8 月

提出者

学科 情報工学科

学籍番号 09_06410

氏名 金子 達哉

指導教員 印	
--------	--

学科長 認定印	
---------	--

平成 25 年度 学士論文内容梗概

ハードウェアの論理シミュレーションの 高速化に関する研究

指導教員 吉瀬 謙二 准教授

情報工学科

09_06410 金子達哉

目次

第 1 章	序論 (2)	1
1.1	研究の背景と目的	2
1.2	本論文の構成	2
第 2 章	ArchHDL の概要 (10)	3
2.1	C++ のラムダ関数	4
2.2	ArchHDL による RTL モデリング	4
2.3	ArchHDL の利点	4
2.4	ArchHDL の実装	4
2.4.1	全体像	4
2.4.2	reg クラスの定義	4
2.4.3	wire クラスの定義	4
2.4.4	Module クラスの定義	4
第 3 章	ArchHDL の高速化手法の提案と実装 (8)	5
3.1	ArchHDL のプロファイリング	6
3.1.1	最適化の方針	6
3.2	逐次プログラミングにおける高速化手法	6
3.2.1	set_ 変数を無くす	6
3.2.2	ダブルバッファリング	6
3.2.3	next_ から curr_ への代入をメモリーコピーにする	6
3.3	並列化による高速化	6
第 4 章	評価 (10)	7
4.1	並列化によらない高速化の評価	8

4.2	並列化による高速化の評価	8
第 5 章	関連研究 (2)	9
第 6 章	結論 (2)	10
謝辞		11

第 1 章

序論（2）

1.1 研究の背景と目的

1.2 本論文の構成

第 2 章

ArchHDL の概要 (10)

2.1 C++ のラムダ関数

2.2 ArchHDL による RTL モデリング

2.3 ArchHDL の利点

2.4 ArchHDL の実装

2.4.1 全体像

2.4.2 reg クラスの定義

2.4.3 wire クラスの定義

2.4.4 Module クラスの定義

第 3 章

ArchHDL の高速化手法の提案と 実装（8）

3.1 ArchHDL のプロファイリング

3.1.1 最適化の方針

3.2 逐次プログラミングにおける高速化手法

3.2.1 set_ 変数を無くす

3.2.2 ダブルバッファリング

3.2.3 next_ から curr_ への代入をメモリーコピーにする

3.3 並列化による高速化

第 4 章

評価（10）

4.1 並列化によらない高速化の評価

4.2 並列化による高速化の評価

第 5 章

関連研究（2）

第 6 章

結論（2）

謝辭