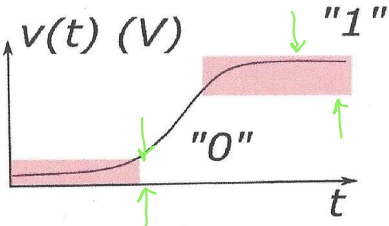


EEA-21 - 1º LABORATÓRIO

Álgebra de Chaveamento (caso particular da Álgebra de Boole)

- Conjunto de 2 elementos: **0** e **1**
(F) (V)
- Três operadores: OU (**OR**), E (**AND**) e COMPLEMENTO (**NOT**)

1. IMPLEMENTAÇÃO FÍSICA:

- Elementos 0 e 1:
- 
- Operadores: "**Portas Lógicas**"

Porta OR

$$\begin{matrix} a \\ b \end{matrix} \rightarrow y \quad \leadsto \quad y = 0 \text{ somente se } a = b = 0$$

a	b	y
0	0	0
0	1	1
1	0	1
1	1	1

$$y = a + b$$

Porta AND

$$\begin{matrix} a \\ b \end{matrix} \rightarrow y \quad \leadsto \quad y = 1 \text{ somente se } a = b = 1$$

a	b	y
0	0	0
0	1	0
1	0	0
1	1	1

$$y = a \cdot b = ab$$

Porta NOT

$$a \rightarrow y$$

a	y
0	1
1	0

$$y = \bar{a} = a'$$

2. PROPIEDADES BÁSICAS

2.1. Idempotência

$$\begin{cases} a + a = a \\ a \cdot a = a \end{cases}$$



2.2.



$$\begin{cases} a + 1 = 1 \\ a \cdot 0 = 0 \end{cases}$$

2.3. Comutatividade

$$\begin{cases} a + b = b + a \\ a \cdot b = b \cdot a \end{cases}$$

2.4. Associatividade

$$a + (b + c) = (a + b) + c = a + b + c$$
 Ex.:  equivalente a 

$$a \cdot (b \cdot c) = (a \cdot b) \cdot c = a \cdot b \cdot c = abc$$
 Ex.:  equivalente a 

2.5. Complementação

$$\begin{cases} a + \bar{a} = 1 \\ a \cdot \bar{a} = 0 \end{cases}$$

2.6. Identidade

$$\begin{cases} a + 0 = a \\ a \cdot 1 = a \end{cases}$$

2.7. Involução

$$\bar{a} = a$$

2.8. Absorção

$$\begin{cases} a + a.b + a.c + a.d \dots = a \\ a . (a + b) . (a + c) . (a + d) \dots = a \end{cases}$$

2.9.

$$\left\{ \begin{array}{l} a + \bar{a}b + \bar{a}c + \bar{a}d \dots = a + b + c + d + \dots \\ a \cdot (\bar{a} + b) \cdot (\bar{a} + c) \cdot (\bar{a} + d) \dots = a.b.c.d\dots \end{array} \right.$$

2.10. Distributividade

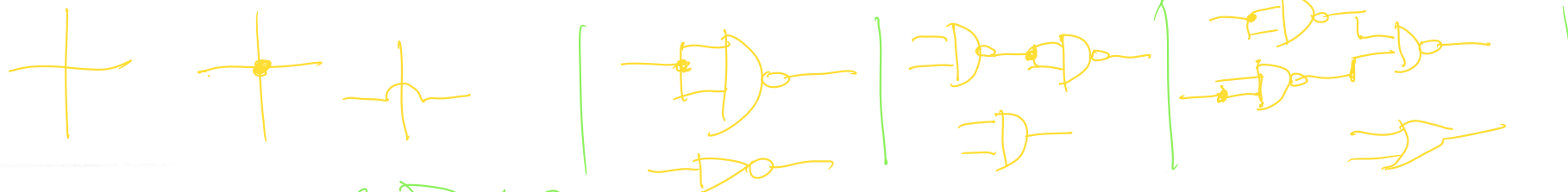
$$\begin{cases} a \cdot (b + c) = a \cdot b + a \cdot c \\ (a + b) \cdot (a + c) = a \cdot a + a \cdot c + a \cdot b + b \cdot c \\ \qquad \qquad \qquad = a + b \cdot c \end{cases}$$

2.11. Teoremas de De Morgan

$$\begin{cases} \overline{a + b} = \bar{a} \cdot \bar{b} \\ \overline{a \cdot b} = \bar{a} + \bar{b} \end{cases}$$

INVERSO P

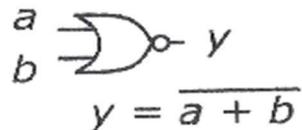




OBSERVAÇÕES:

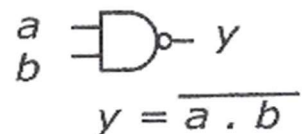
Porta NOR:

a	b	y
0	0	1
0	1	0
1	0	0
1	1	0

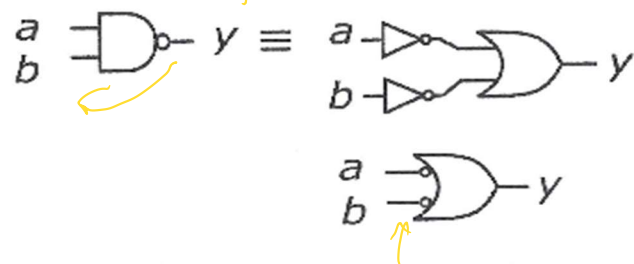
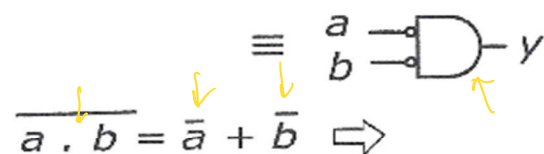
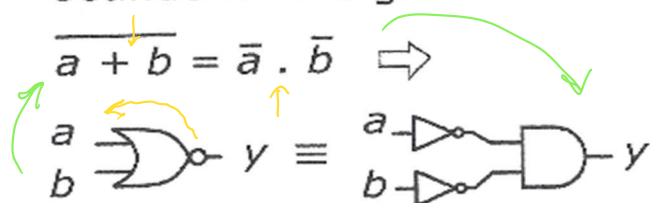


Porta NAND:

a	b	y
0	0	1
0	1	1
1	0	1
1	1	0

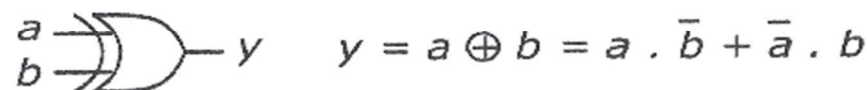


Usando De Morgan:



Podemos implementar qualquer função usando apenas portas NAND (ou NOR)

3. Portas OU EXCLUSIVO (XOR)



Propriedades:

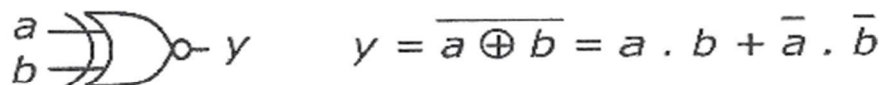
$$a \oplus b = b \oplus a$$

$$(a \oplus b) \oplus c = a \oplus (b \oplus c) = a \oplus b \oplus c$$

$$a . (b \oplus c) = (a . b) \oplus (a . c)$$

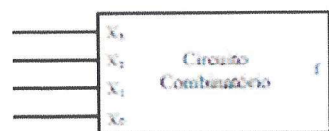
$$\begin{aligned} \text{Se } a \oplus b &= c, \text{ então } a \oplus c = b, \\ b \oplus c &= a, \\ a \oplus b \oplus c &= 0 \end{aligned}$$

4. Portas "NÃO OU EXCLUSIVO" (XNOR)



a	b	y
0	0	1
0	1	0
1	0	0
1	1	1

4.1 Projete e simule um dispositivo digital tem como entrada um número binário de 4 bits, $X_3X_2X_1X_0$, onde X_3 representa o bit mais significativo, e uma única saída f , que detecte se o número pertence à sequência de Fibonacci (1, 1, 2, 3, 5, 8, 13, 21, 34,...) : saída $f = 1$ (um) quando a entrada pertence à sequência; e saída $f = 0$ (zero) quando a entrada não pertence à sequência.



$f = 1$ se o número pertence ao conjunto $\{1, 2, 3, 5, 8, 13\}$

Obtenha:

- A tabela verdade para a função lógica f ;
- O diagrama lógico (diagrama esquemático) usando apenas portas lógicas de no máximo duas entradas; e
- Apresente o resultado da simulação funcional em sua forma de diagrama de temporização.

$$f = \sum(1, 2, 3, 5, 8, 13)$$

$$f = \bar{X}_3\bar{X}_2\bar{X}_1X_0 + \bar{X}_3\bar{X}_2X_1\bar{X}_0 + \bar{X}_3\bar{X}_2X_1X_0 + \bar{X}_3X_2\bar{X}_1X_0 + X_3\bar{X}_2\bar{X}_1\bar{X}_0 + X_3X_2\bar{X}_1X_0$$

\Rightarrow simplificação algébrica ou uso do Mapa de Karnaugh

Mapa de Karnaugh

X_3X_2		X_1X_0			
		00	01	11	10
00		0	0	0	1
01		1	1	1	0
11		1	0	0	0
10		1	0	0	0

$$f = \bar{X}_3\bar{X}_2X_1 + \bar{X}_3\bar{X}_1X_0 + X_2\bar{X}_1X_0 + X_3\bar{X}_2\bar{X}_1\bar{X}_0$$

2,3

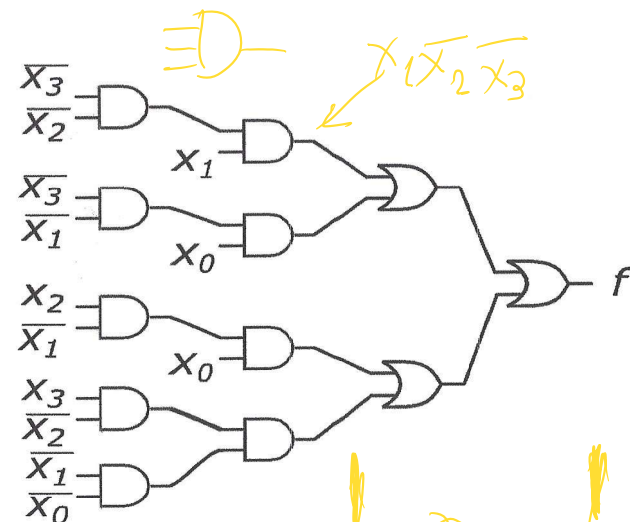
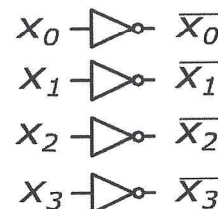
1,5

5,13

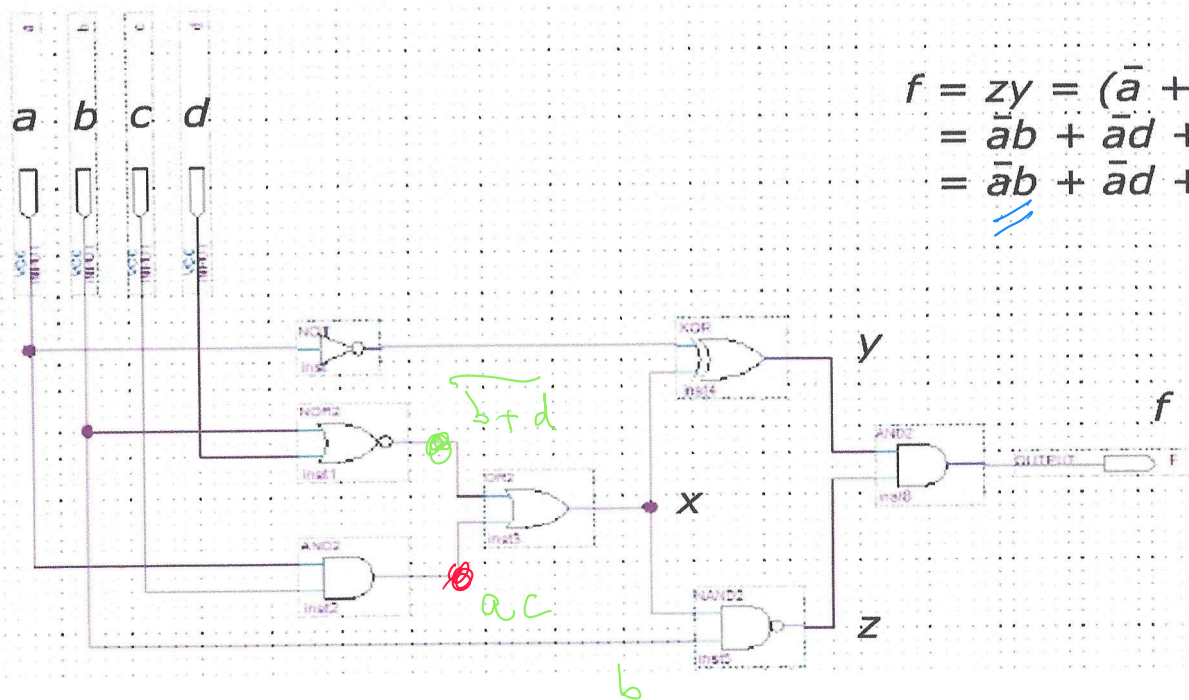
8

TABELA VERDADE

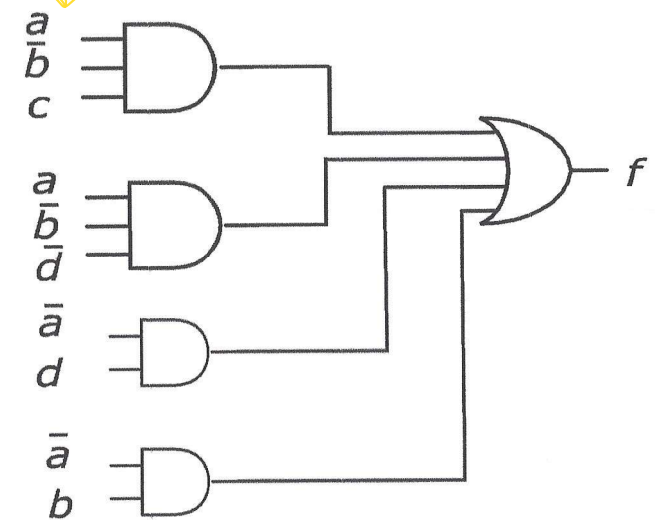
#	x_3	x_2	x_1	x_0	f
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	1
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	1
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	1
14	1	1	1	0	0
15	1	1	1	1	0



4.2 Analise o circuito combinacional abaixo.



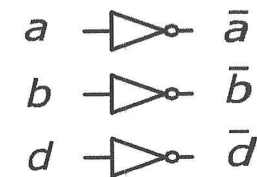
$$\begin{aligned}
 f &= zy = (\bar{a} + \bar{b} + \bar{c}).(\bar{a}b + \bar{a}d + a\bar{b}\bar{d} + \bar{a}c) = \\
 &= \bar{a}b + \bar{a}d + \bar{a}\bar{b}d + \bar{a}b\bar{d} + \bar{a}b\bar{c} + \bar{a}b\bar{c} + \bar{a}\bar{c}d + a\bar{b}\bar{c}d = \\
 &= \bar{a}b + \bar{a}d + \bar{a}\bar{b}\bar{d} + \bar{a}b\bar{c}
 \end{aligned}$$



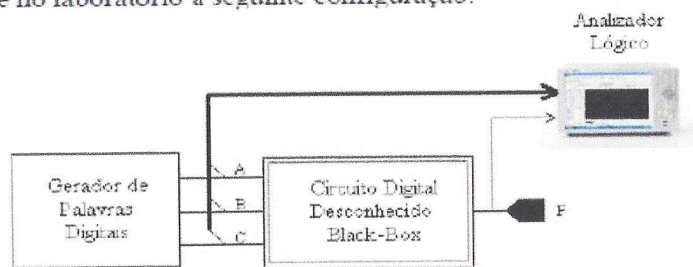
Obtenha:

- A expressão lógica simplificada.
- Simule o circuito acima e apresente o diagrama de temporização.
- Simule o circuito obtido a partir da expressão lógica simplificada do item a.
- Compare os resultados das simulações obtidas.

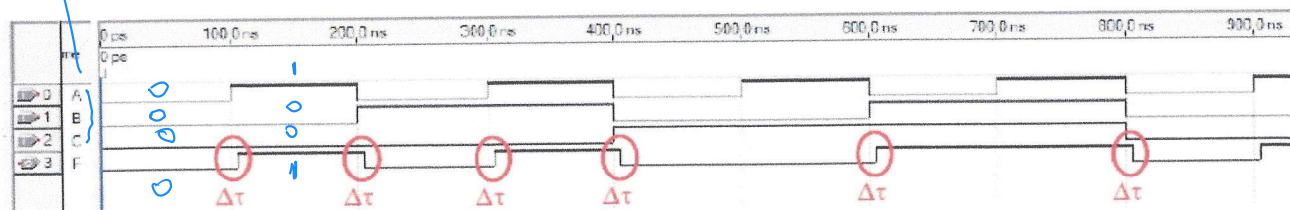
$$\begin{aligned}
 x &= \overline{(b + d)} + ac = \bar{b}\bar{d} + ac \\
 z &= \overline{bx} = \overline{b.(\bar{b}\bar{d} + ac)} = \bar{a}\bar{b}\bar{c} = \bar{a} + \bar{b} + \bar{c} \\
 y &= \bar{a} \oplus x = \bar{a} \oplus (\bar{b}\bar{d} + ac) = \bar{a}.(\bar{b}\bar{d} + ac) + a.(\bar{b}\bar{d} + ac) = \\
 &= \bar{a}.(\bar{b}\bar{d}.ac) + \bar{a}\bar{b}\bar{d} + ac = \bar{a}.((b+d)(\bar{a}+\bar{c})) + \bar{a}\bar{b}\bar{d} + ac = \\
 &= \bar{a}.(\bar{a}b + \bar{a}d + b\bar{c} + \bar{c}d) + \bar{a}\bar{b}\bar{d} + ac = \\
 &= \bar{a}b + \bar{a}d + \bar{a}b\bar{c} + \bar{a}\bar{c}d + \bar{a}\bar{b}\bar{d} + ac = \\
 &= \bar{a}b + \bar{a}d + \bar{a}\bar{b}\bar{d} + ac
 \end{aligned}$$



4.3 Um circuito digital desconhecido possui três entradas e gera uma única saída digital F. Para sintetizar este circuito montou-se no laboratório a seguinte configuração:



Nesta montagem o gerador de palavras digitais gera uma palavra de três bits (bits A, B e C) a cada 100 ns. O diagrama de temporização obtido através do analisador lógico e apresentado abaixo.



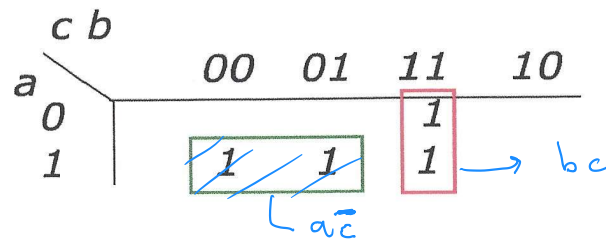
Considerando as informações acima Projete e Simule o circuito combinacional que satisfaz este diagrama usando apenas portas NAND de duas entradas.

Obtenha:

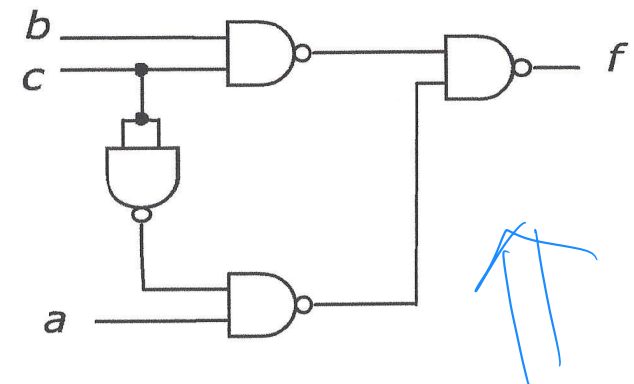
- A expressão lógica.
- O diagrama esquemático e a simulação deste circuito obtido, comparando com a figura dada.
- Justifique o aparecimento de um deslocamento temporal Δt no diagrama temporal da saída F.

TABELA VERDADE

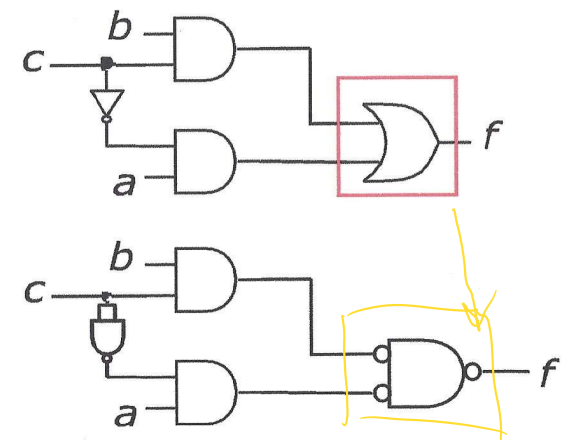
#	c	b	a	f
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	0
6	1	1	0	1
7	1	1	1	1



$$f = a\bar{c} + bc = \overline{a\bar{c}} \cdot \overline{bc} = \overline{a\bar{c} \cdot bc}$$



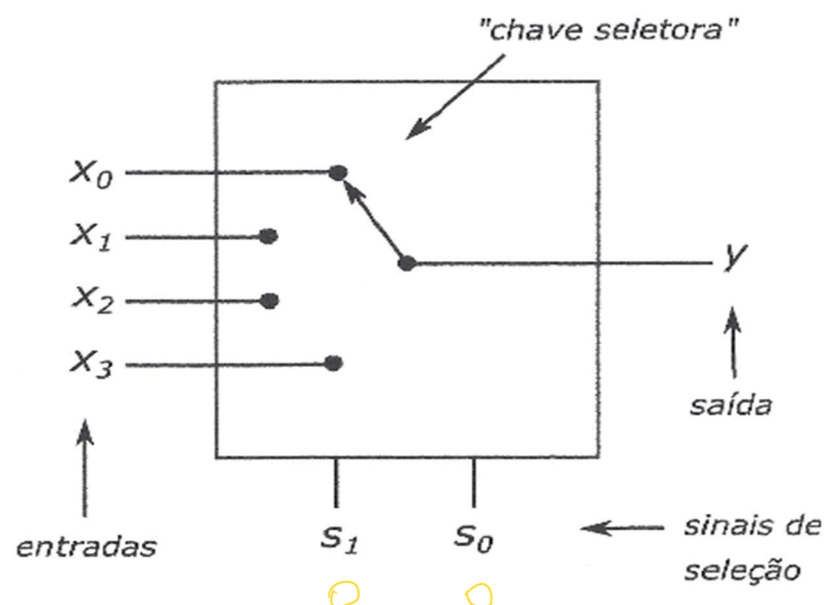
Outra maneira:



4.4 Usando somente portas NAND de duas entradas, projete e simule a função multiplexadora (MUX) 4x1 minimizada, na forma de soma de produto.

Obtenha:

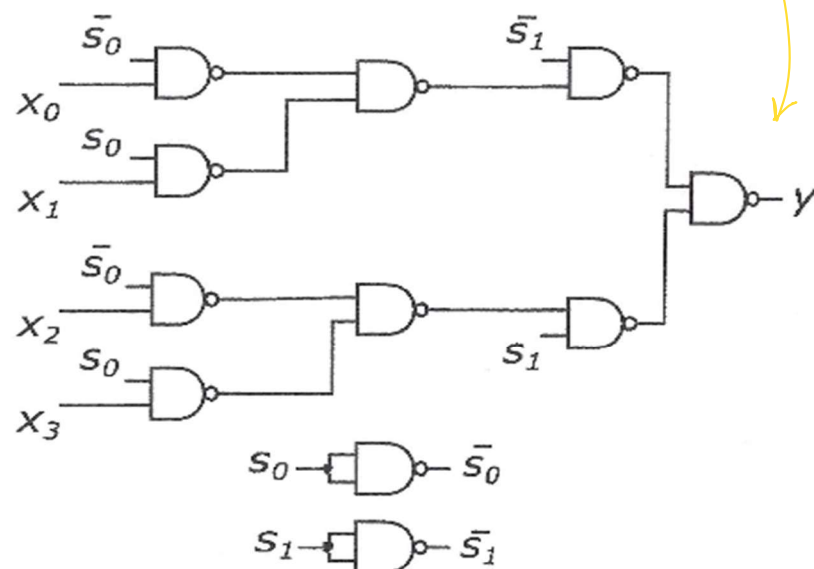
- O diagrama esquemático; e
- O diagrama temporal da simulação funcional.



s_1	s_0	y
0	0	x_0
0	1	x_1
1	0	x_2
1	1	x_3

$$y = \bar{s}_1 \bar{s}_0 x_0 + \bar{s}_1 s_0 x_1 + s_1 \bar{s}_0 x_2 + s_1 s_0 x_3 = \bar{s}_1 \cdot (\bar{s}_0 x_0 + s_0 x_1) + s_1 \cdot (\bar{s}_0 x_2 + s_0 x_3)$$

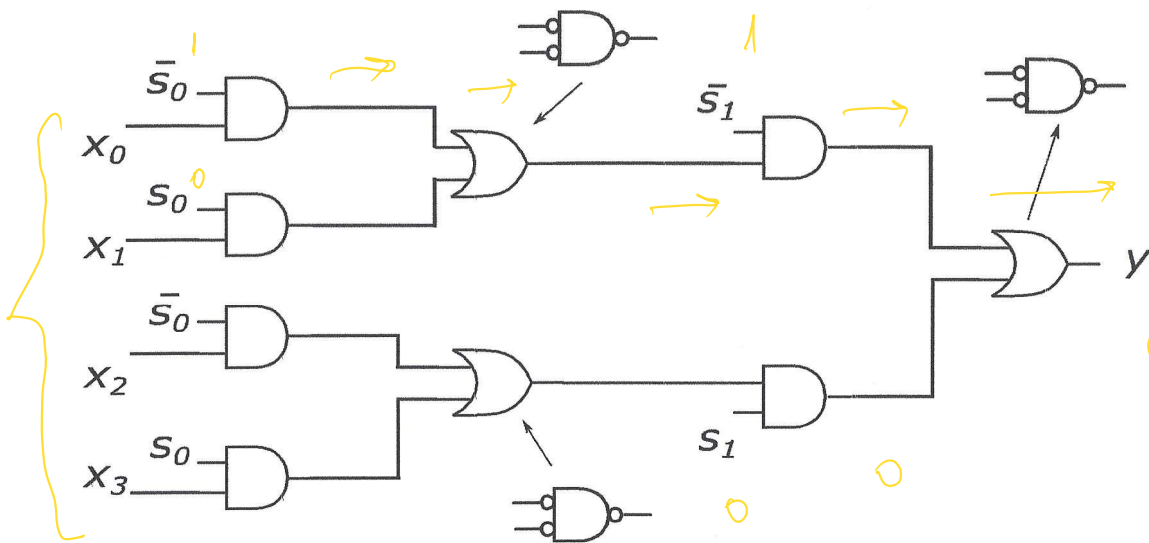
$$\begin{aligned} y &= \bar{s}_1 \bar{s}_0 x_0 + \bar{s}_1 s_0 x_1 + s_1 \bar{s}_0 x_2 + s_1 s_0 x_3 = \\ &= \bar{s}_1 \cdot (\bar{s}_0 x_0 + s_0 x_1) + s_1 \cdot (\bar{s}_0 x_2 + s_0 x_3) = \\ &= \bar{s}_1 \cdot (\bar{s}_0 x_0 + s_0 x_1) + s_1 \cdot (\bar{s}_0 x_2 + s_0 x_3) = \\ &= \bar{s}_1 \cdot (\bar{s}_0 x_0 + s_0 x_1) \cdot s_1 \cdot (\bar{s}_0 x_2 + s_0 x_3) = \\ &= \bar{s}_1 \cdot (\bar{s}_0 x_0 + s_0 x_1) \cdot s_1 \cdot (\bar{s}_0 x_2 + s_0 x_3) = \\ &= \bar{s}_1 \cdot (\bar{s}_0 x_0 \cdot s_0 x_1) \cdot s_1 \cdot (\bar{s}_0 x_2 \cdot s_0 x_3) \end{aligned}$$



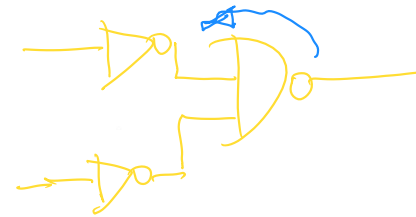
Outra maneira:

$$y = \bar{s}_1 \bar{s}_0 x_0 + \bar{s}_1 s_0 x_1 + s_1 \bar{s}_0 x_2 + s_1 s_0 x_3 =$$

$$= \bar{s}_1 \cdot (\bar{s}_0 x_0 + s_0 x_1) + s_1 \cdot (\bar{s}_0 x_2 + s_0 x_3)$$

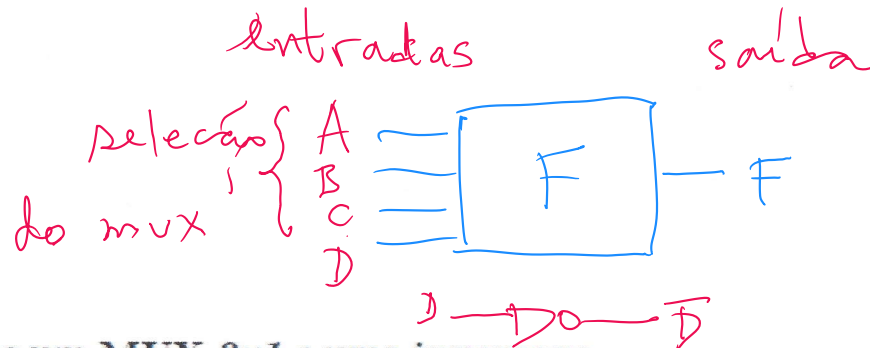


x_0
saída



4.5 Seja a função:

$$F = \sum(2, 3, 5, 7, 8, 11, 13)$$



Projete e simule F utilizando apenas um MUX 8x1 e uma inversora.

Obtenha o diagrama esquemático e o resultado da simulação.

Obs.: F é uma função com entrada de 4 bits e sua saída vale 1 (um) quando a entrada representa um dos valores da lista acima.

#	A	B	C	D	F
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	1
3	0	0	1	1	1
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	1
12	1	1	0	0	0
13	1	1	0	1	1
14	1	1	1	1	0
15	1	1	1	1	0

