

ARQUITECTURA LÓGICA DE CIRCUITOS

Por Cayetano Borja Carrillo

Índice:

Ejercicio 1 – Simplificación mediante Álgebra de Boole	2
Ejercicio 2 – Simplificación mediante mapas de Karnaugh	4
Ejercicio 3 – Circuito combinacional: Planta química	5
Ejercicio 4 – Circuito combinacional 2: Potencia de 2	9
Ejercicio 5 – Circuito combinacional 3: Dado un circuito	10
Ejercicio 6 – Circuito combinacional 4: Sistema de alarma	14
Ejercicio 7 – Circuito combinacional 5: Sistema de seguridad	18
Ejercicio 8 – Circuito secuencial: Biestables	21
Ejercicio 9 – Circuito secuencial 2: Biestables	23
Ejercicio 10 – Circuito secuencial 3: Biestables	25
Ejercicio 11 – Examen oposiciones 2002	27
Ejercicio 12 – Examen oposiciones 2018	29

Ejercicio 1 – Simplificación mediante Álgebra de Boole

Simplifica con las leyes del Álgebra de Boole las siguientes funciones lógicas:

- a) $A(A+B)$
- b) $A(\bar{A}+AB)$
- c) $BC+\bar{B}C$
- d) $A(A+\bar{A}B)$
- e) $\bar{A}\bar{B}C + \bar{A}BC + \bar{A}\bar{B}C$
- f) $(A+\bar{B}) \cdot (A+C)$
- g) $\bar{A}B + \bar{A}B\bar{C} + \bar{A}BCD + \bar{A}B\bar{C}\bar{D}E$
- h) $AB + \bar{A}\bar{B}C + A$
- i) $(A+\bar{A}) \cdot (AB+AB\bar{C})$
- j) $AB + (\bar{A}+\bar{B})C + AB$
- k) $BD + B(D+E) + \bar{D}(D+F)$
- l) $\bar{A}\bar{B}C + \overline{A+B+\bar{C}} + \bar{A}\bar{B}\bar{C}D$
- m) $(B+BC) \cdot (B+\bar{B}C) \cdot (B+D)$
- n) $ABC[AB + \bar{C} \cdot (BC+AC)]$
- o) $ABCD + AB\bar{C}D + \bar{A}BCD$
- p) $\overline{A + \bar{B}}$
- q) $\overline{\bar{A} \cdot B}$
- r) $\overline{(A + \bar{B}) \cdot (\bar{C} + D)}$

Consideraciones previas

Leyes y reglas (axiomas) del Álgebra de Boole que tener en cuenta antes de empezar:

Leyes fundamentales

O (OR)	Y (AND)	NO (NOT)
$A + 0 = A$	$A \cdot 0 = 0$	$\overline{\bar{A}} = A$
$A + 1 = 1$	$A \cdot 1 = A$	
$A + A = A$	$A \cdot A = A$	
$A + \bar{A} = 1$	$A \cdot \bar{A} = 0$	

<u>Leyes conmutativas</u>	<u>Leyes distributivas</u>	<u>Leyes asociativas</u>
$A+B = B+A$	$A \cdot (B+C) = (A \cdot B) + (A \cdot C)$	$A+(B+C) = (A+B)+C$
$A \cdot B = B \cdot A$	$A+(B \cdot C) = (A+B) \cdot (A+C)$	$A \cdot (B \cdot C) = (A \cdot B) \cdot C$
<u>Factor común</u>	<u>Teoremas DeMorgan</u>	<u>Absorción</u>
$(A \cdot B) + (A \cdot C) = A \cdot (B+C)$	$\overline{A \cdot B} = \overline{A} + \overline{B}$	$A + (A \cdot B) = A$
$(A+B) \cdot (A+C) = A + (B \cdot C)$	$\overline{A+B} = \overline{A} \cdot \overline{B}$	$A + (\overline{A} \cdot B) = A+B$

Solución

- a) $A(A+B) \rightarrow$ Ley distributiva $\rightarrow AA + AB \rightarrow$ Ley fundamental $\rightarrow A + AB \rightarrow$ Absorción $\rightarrow \mathbf{A}$
- b) $A(\overline{A}+AB) \rightarrow$ Ley distributiva $\rightarrow A\overline{A} + AAB \rightarrow$ Ley fundamental $\rightarrow 0 + AB \rightarrow \mathbf{AB}$
- c) $BC+\overline{B}C \rightarrow$ Factor común de C $\rightarrow C(B+\overline{B}) \rightarrow$ Ley fundamental $\rightarrow C \cdot 1 \rightarrow \mathbf{C}$
- d) $A(A+\overline{A}B) \rightarrow$ Ley distributiva $\rightarrow AA + A\overline{A}B \rightarrow$ Ley fundamental $\rightarrow A + 0B \rightarrow \mathbf{A}$
- e) $\overline{A}BC + \overline{A}BC + \overline{A}BC \rightarrow$ Factor común de C $\rightarrow C(\overline{A}B + \overline{A}B + \overline{A}B) \rightarrow$ Teorema DeMorgan $\rightarrow C(\overline{A}B + \overline{A}B + \overline{A} + \overline{B}) \rightarrow$ Absorción $\rightarrow C(\overline{A} + \overline{B}) \rightarrow$ Ley distributiva $\rightarrow \mathbf{\overline{A}C + \overline{B}C}$
- f) $(A+\overline{B})(A+C) \rightarrow$ Ley distributiva $\rightarrow AA + AC + \overline{B}A + \overline{B}C \rightarrow$ Absorción $\rightarrow \mathbf{A + \overline{B}C}$
- g) $\overline{A}B + \overline{A}B\overline{C} + \overline{A}BCD + \overline{A}B\overline{C}DE \rightarrow$ Absorción (3 veces) $\rightarrow \mathbf{\overline{A}B}$
- h) $AB + \overline{A}BC + A \rightarrow$ Absorción (2ª regla) $\rightarrow AB + C + A \rightarrow$ Absorción $\rightarrow \mathbf{A+C}$
- i) $(A+\overline{A}) \cdot (AB+AB\overline{C}) \rightarrow$ Ley fundamental $\rightarrow 1 \cdot (AB+AB\overline{C}) \rightarrow$ Absorción $\rightarrow \mathbf{AB}$
- j) $AB + (\overline{A}+\overline{B})C + AB \rightarrow$ Ley fundamental $\rightarrow AB + (\overline{A}+\overline{B})C \rightarrow$ Ley distributiva $\rightarrow \mathbf{AB + \overline{A}C + \overline{B}C}$
- k) $BD + B(D+E) + \overline{D}(D+F) \rightarrow$ Ley distributiva $\rightarrow BD + BD + BE + \overline{D}D + \overline{D}F \rightarrow$ Ley fundamental $\rightarrow BD + BE + 0 + \overline{D}F \rightarrow$ Simplificación $\rightarrow \mathbf{BD + BE + \overline{D}F}$
- l) $\overline{A}\overline{B}C + \overline{A+B+\overline{C}} + \overline{A}\overline{B}\overline{C}D \rightarrow$ Teorema DeMorgan $\rightarrow \overline{A}\overline{B}C + \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}\overline{C}D \rightarrow$ Doble negación $\rightarrow \overline{A}\overline{B}C + \overline{A}\overline{B}C + \overline{A}\overline{B}\overline{C}D \rightarrow$ Ley fundamental $\rightarrow \overline{A}\overline{B}C + \overline{A}\overline{B}\overline{C}D \rightarrow$ Factor común $\rightarrow \overline{A}\overline{B} \cdot (C + \overline{C}D) \rightarrow$ Absorción (2ª regla) $\rightarrow \overline{A}\overline{B} \cdot (C + D) \rightarrow$ Ley distributiva $\rightarrow \mathbf{\overline{A}\overline{B}C + \overline{A}\overline{B}D}$
- m) $(B+BC) \cdot (B+\overline{B}C) \cdot (B+D) \rightarrow$ Absorción (2 veces) $\rightarrow B \cdot (B+C) \cdot (B+D) \rightarrow$ Ley distributiva $\rightarrow (BB+BC) \cdot (B+D) \rightarrow$ Absorción $\rightarrow B \cdot (B+D) \rightarrow$ Ley distributiva $\rightarrow BB+BD \rightarrow$ Absorción $\rightarrow \mathbf{B}$
- n) $ABC[AB + \overline{C} \cdot (BC+AC)] \rightarrow$ Ley distributiva $\rightarrow ABC(AB + BC\overline{C} + AC\overline{C}) \rightarrow$ Ley fundamental $\rightarrow ABC(AB + 0 + 0) \rightarrow$ Simplificación $\rightarrow ABC \cdot AB \rightarrow$ Ley fundamental $\rightarrow \mathbf{ABC}$
- o) $ABCD + AB\overline{C}D + \overline{A}BCD \rightarrow$ Factor común de AB $\rightarrow AB(CD + \overline{C}D) + \overline{A}BCD \rightarrow$ Ley fundamental $\rightarrow AB \cdot 1 + \overline{A}BCD \rightarrow$ Absorción $\rightarrow \mathbf{AB + CD}$
- p) $\overline{\overline{A+B}} \rightarrow$ Teorema DeMorgan $\rightarrow \overline{\overline{A}} \cdot \overline{\overline{B}} \rightarrow$ Convolución (Doble negación) $\rightarrow \mathbf{\overline{A}B}$
- q) $\overline{\overline{A} \cdot \overline{B}} \rightarrow$ Teorema DeMorgan $\rightarrow \overline{\overline{A}} + \overline{\overline{B}} \rightarrow$ Convolución (Doble negación) $\rightarrow \mathbf{A + B}$

$$r) \overline{(A + \bar{B}) \cdot (\bar{C} + D)} \rightarrow \text{Teorema DeMorgan} \rightarrow \overline{(A + \bar{B})} + \overline{(\bar{C} + D)} \rightarrow \text{Teorema DeMorgan} \rightarrow \bar{A}\bar{B} + \bar{C}\bar{D} \rightarrow \text{Convolución (Doble negación)} \rightarrow \bar{A}\bar{B} + \bar{C}\bar{D}$$

Ejercicio 2 – Simplificación mediante mapas de Karnaugh

Simplifica las siguientes expresiones lógicas con mapas de Karnaugh:

- a) $A \cdot (A+B)$
- b) $A \cdot (\bar{A}+AB)$
- c) $(A+\bar{B}) \cdot (A+C)$
- d) $ABCD + AB\bar{C}\bar{D} + \bar{A}\bar{B}CD$

Consideraciones previas

Para elaborar un mapa de Karnaugh de una expresión lógica, se recomienda tener confeccionada su tabla de verdad. Después representamos el mapa como una matriz bidimensional, en cuyos extremos se ponen los valores variables y en el centro irán todas las posibles soluciones de la expresión.

Finalmente se agrupan todos los 1 (se obtiene suma de productos) o todos los 0 (se obtiene producto de sumas) en subcubos de 2^n elementos, es decir, cada agrupación debe contener 1, 2, 4, 8, etc. elementos. Cuánto más grande sea el subcubo, más reducida quedará la expresión. Una vez tengamos agrupados todos los elementos (todos los 0 o todos los 1), cada subcubo será igual a aquellas variables que no cambian.

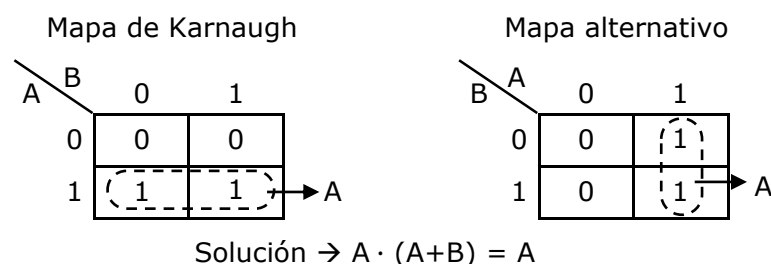
Solución

- a) $A \cdot (A+B)$

A partir de la expresión booleana, creamos la tabla de verdad sustituyendo los valores de las variables por todas las combinaciones posibles.

A	B	F	Motivo
0	0	0	$0 \cdot (0+0) = 0$
0	1	0	$0 \cdot (0+1) = 0$
1	0	1	$1 \cdot (1+0) = 1$
1	1	1	$1 \cdot (1+1) = 1$

Con la tabla ya creada, elaboramos el mapa de Karnaugh y agrupamos.



b) $A \cdot (\bar{A} + AB) = AB$

Tabla de verdad

A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

Mapa de Karnaugh

		B	
		0	1
A	0	0	0
	1	0	1

→ AB

c) $(A + \bar{B}) \cdot (A + C) = A + \bar{B}C$

Tabla de verdad

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

Mapa de Karnaugh

		BC			
		00	01	11	10
A	0	0	1	0	0
	1	1	1	1	1

↓ A ↓ $\bar{B}C$

d) $ABCD + A\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}CD = AB + CD$

Tabla de verdad

A	B	C	D	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

Mapa de Karnaugh

		CD			
		00	01	11	10
AB	00	0	0	1	0
	01	0	0	1	0
	11	0	0	1	0
	10	1	1	1	1

↓ AB ↓ CD

Ejercicio 3 – Circuito combinacional: Planta química

Cuatro tanques de una planta química contienen líquidos diferentes cometidos a calentamiento. Se usan sensores de nivel de líquido para determinar si el nivel en el tanque A o B se eleva sobre un nivel predeterminado. Los sensores de temperatura en

los tanques C y D detectan cuando la temperatura, en cualquiera de los tanques, desciende de un límite establecido. Suponga que las salidas A y B del sensor del nivel de líquido son "0" cuando éste es satisfactorio y "1" cuando el nivel es demasiado alto. Así mismo, las salidas del sensor de temperatura C y D son "0" cuando la temperatura es satisfactoria y "1" cuando es demasiado baja. Diseñe un circuito lógico que detecte si el nivel en el tanque A o B es muy alto, al mismo tiempo que la temperatura en cualquier tanque C o D es demasiado baja.

- Obtener la tabla de verdad.
- Obtener la función lógica $F(a, b, c, d)$ a partir de la tabla de verdad.
- Obtener la función mínima en forma de suma de productos e implementar el circuito con puertas lógicas.
- Obtener la función mínima en forma de producto de sumas e implementar el circuito con puertas lógicas.
- Implementar el circuito usando únicamente puertas NAND.
- Implementar el circuito usando únicamente puertas NOR.

Solución

- Obtener la tabla de verdad.

El sistema tendrá 4 variables de entrada A, B, C y D y una de salida F. Las variables A y B hacen referencia a los sensores de nivel para los tanques A y B respectivamente, mientras que C y D son sus correspondientes sensores de temperatura.

El sistema devolverá "1" si al menos uno de los sensores de líquido y de temperatura están activos a la vez.

A	B	C	D	F	Motivo
0	0	0	0	0	Niveles de líquido y temperaturas satisfactorios
0	0	0	1	0	Niveles de líquido satisfactorios, pero temperatura baja en D
0	0	1	0	0	Niveles de líquido satisfactorios, pero temperatura baja en C
0	0	1	1	0	Niveles de líquido satisfactorios, pero temperaturas bajas
0	1	0	0	0	Nivel de líquido alto en B y temperaturas satisfactorias
0	1	0	1	1	Nivel de líquido alto en B y temperatura baja en D
0	1	1	0	1	Nivel de líquido alto en B y temperatura baja en C
0	1	1	1	1	Nivel de líquido alto en B y temperaturas bajas en C y D
1	0	0	0	0	Nivel de líquido alto en A, pero temperaturas satisfactorias
1	0	0	1	1	Nivel de líquido alto en A y temperatura bajas en D
1	0	1	0	1	Nivel de líquido alto en A y temperatura bajas en C
1	0	1	1	1	Nivel de líquido alto en A y temperaturas bajas en C y D
1	1	0	0	0	Nivel de líquido alto en A y B, pero temperaturas satisfactorias
1	1	0	1	1	Niveles de líquido alto en A y B y temperatura bajas en D
1	1	1	0	1	Niveles de líquido alto en A y B y temperatura bajas en C
1	1	1	1	1	Niveles de líquido y temperaturas no satisfactorias

- b) Obtener la función lógica $F(a, b, c, d)$ a partir de la tabla de verdad.

A partir de la tabla de verdad de una función, se pueden obtener 2 funciones lógicas equivalentes: una expresada como suma de productos y la otra expresada como producto de sumas.

Para obtener la función como sumas de productos, se tienen en cuenta únicamente los valores de las variables de entrada donde el valor de salida es "1".

$$F(a,b,c,d) = \bar{A}\bar{B}\bar{C}D + \bar{A}B\bar{C}D + \bar{A}BCD + A\bar{B}\bar{C}D + A\bar{B}CD + AB\bar{C}D + ABCD + ABCD$$

Para obtener la función como productos de sumas, se tienen en cuenta únicamente los valores de las variables de entrada donde el valor de salida es "0".

$$F(a,b,c,d) = (A+B+C+D) \cdot (A+B+C+\bar{D}) \cdot (A+B+\bar{C}+D) \cdot (A+B+\bar{C}+\bar{D}) \cdot (A+\bar{B}+C+D) \cdot (\bar{A}+B+C+D) \cdot (\bar{A}+\bar{B}+C+D)$$

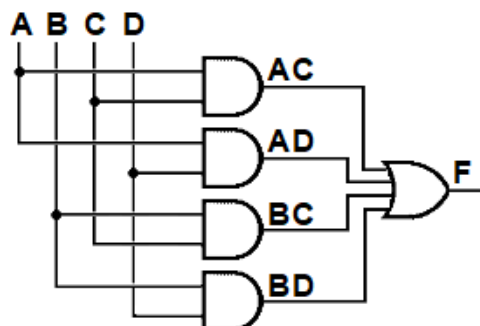
- c) Obtener la función mínima en forma de suma de productos e implementar el circuito con puertas lógicas.

La función lógica se puede simplificar aplicando los axiomas del Álgebra de Boole o mediante mapas de Karnaugh. Como ya se ha obtenido la tabla de verdad en el apartado anterior, lo más fácil y rápido es aplicar Karnaugh:

		CD				
AB		00	01	11	10	
	00	0	0	0	0	BD
	01	0	1	1	1	BC
	11	0	1	1	1	AC
	10	0	1	1	1	AD

$$F(a,b,c,d) = AC + AD + BC + BD$$

Implementación con puertas lógicas:



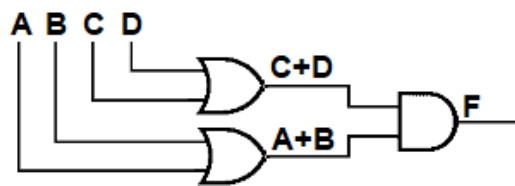
- a) Obtener la función mínima en forma de producto de sumas e implementar el circuito.

Simplificación mediante mapas de Karnaugh:

CD \ AB	00	01	11	10	
00	0	0	0	0	→ A+B
01	0	1	1	1	
11	0	1	1	1	→ C+D
10	0	1	1	1	

$$F(a,b,c,d) = (A+B) \cdot (C+D)$$

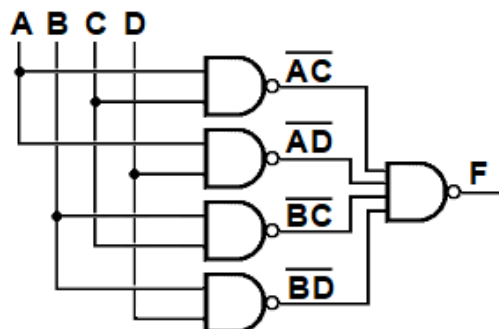
Implementación con puertas lógicas:



b) Implementar el circuito usando únicamente puertas NAND.

Para obtener una función lógica equivalente con puertas lógicas NAND, partimos de la función minimizada de suma de productos y aplicamos la ley de la convolución ($A = \overline{\overline{A}}$) y el teorema DeMorgan.

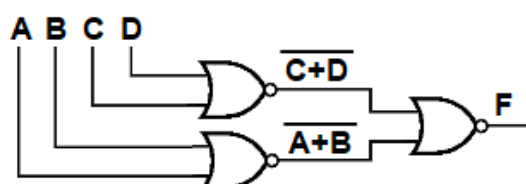
$$F(a,b,c,d) = AC + AD + BC + BD = \overline{\overline{AC + AD + BC + BD}} = \overline{\overline{AC} \cdot \overline{AD} \cdot \overline{BC} \cdot \overline{BD}}$$



c) Implementar el circuito usando únicamente puertas NOR.

Para obtener la función lógica equivalente con puertas lógicas NOR, partimos de la función minimizada de productos de sumas y aplicamos el teorema DeMorgan.

$$F(a,b,c,d) = (A+B) \cdot (C+D) = \overline{\overline{(A+B)} \cdot \overline{(C+D)}} = \overline{\overline{(A+B)} + \overline{(C+D)}}$$



Ejercicio 4 – Circuito combinacional 2: Potencia de 2

Las 4 líneas de entrada de un circuito combinacional corresponden a un número BCD natural. Diseñar un circuito que permita detectar cuando el número es potencia de 2.

- Obtener la tabla de verdad.
- Obtener su función lógica $F(a, b, c, d)$ a partir de la tabla de verdad.
- Obtener la función mínima en forma de suma de productos.
- Obtener la función mínima en forma de producto de sumas.

Solución

- Obtener la tabla de verdad.

BCD representa números enteros naturales utilizando 4 bits para cada dígito, por lo que el sistema tendrá 4 variables de entrada (A, B, C y D) y una de salida (F). Como en BCD solo se tienen en cuenta los 10 primeros valores (del 0 al 9), el resto de los valores se expresarán como "X" porque su valor es irrelevante.

A	B	C	D	F	Motivo
0	0	0	0	0	No es potencia de 2
0	0	0	1	1	Potencia de 2 ($2^0=1$)
0	0	1	0	1	Potencia de 2 ($2^1=2$)
0	0	1	1	0	No es potencia de 2
0	1	0	0	1	Potencia de 2 ($2^2=4$)
0	1	0	1	0	No es potencia de 2
0	1	1	0	0	No es potencia de 2
0	1	1	1	0	No es potencia de 2
1	0	0	0	1	Potencia de 2 ($2^3=8$)
1	0	0	1	0	No es potencia de 2
1	0	1	0	X	No va a ocurrir
1	0	1	1	X	No va a ocurrir
1	1	0	0	X	No va a ocurrir
1	1	0	1	X	No va a ocurrir
1	1	1	0	X	No va a ocurrir
1	1	1	1	X	No va a ocurrir

- Obtener su función lógica $F(a, b, c, d)$ a partir de la tabla de verdad.

Para obtener la función como sumas de productos, se tienen en cuenta únicamente los valores de las variables de entrada donde el valor de salida es "1".

$$F(a,b,c,d) = \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}\bar{D} + A\bar{B}\bar{C}\bar{D}$$

Para obtener la función como productos de sumas, se tienen en cuenta únicamente los valores de las variables de entrada donde el valor de salida es "0".

$$F(a,b,c,d) = (A+B+C+D) \cdot (A+B+\bar{C}+\bar{D}) \cdot (A+\bar{B}+C+\bar{D}) \cdot (A+\bar{B}+\bar{C}+D) \cdot (A+\bar{B}+\bar{C}+\bar{D}) \cdot (\bar{A}+B+C+\bar{D})$$

- c) Obtener la función mínima en forma de suma de productos.

AB \ CD	00	01	11	10	
00	0	(1)	0	(1)	$\bar{A}\bar{B}\bar{C}D$
01	(1)	0	0	0	$\bar{B}C\bar{D}$
11	(X)	X	X	(X)	$B\bar{C}\bar{D}$
10	(1)	0	X	(X)	$A\bar{D}$

$$F(a,b,c,d) = \bar{A}\bar{B}\bar{C}D + \bar{B}C\bar{D} + B\bar{C}\bar{D} + A\bar{D}$$

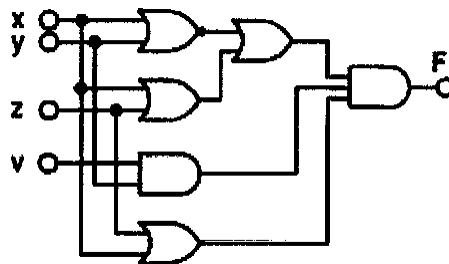
- d) Obtener la función mínima en forma de producto de sumas.

AB \ CD	00	01	11	10	
00	(0)	1	(0)	1	$A+B+C+D$
01	1	(0)	(0)	0	$\bar{C}+\bar{D}$
11	X	(X)	(X)	X	$\bar{B}+\bar{C}$
10	1	(0)	(X)	X	$\bar{B}+\bar{D}$
					$\bar{A}+\bar{D}$

$$F(a,b,c,d) = (A+B+C+D) \cdot (\bar{C}+\bar{D}) \cdot (\bar{B}+\bar{C}) \cdot (\bar{B}+\bar{D}) \cdot (\bar{A}+\bar{D})$$

Ejercicio 5 – Circuito combinacional 3: Dado un circuito

Dado el siguiente circuito combinacional:



- Obtener la tabla de verdad.
- Obtener su función lógica $F(x,y,z,v)$ a partir de la tabla de verdad.
- Obtener la función lógica $F(x,y,z,v)$ simplificada.
- Implementar la función resultante con puertas NAND de dos entradas.
- Implementar la función resultante con puertas NOR de dos entradas.
- Implementar con el mínimo número de MUX 2:1
- Implementar con 1 MUX 4:1 y el mínimo número de puertas universales.
- Implementar con 1 MUX 4:1 y el mínimo número de MUX 2:1
- Implementar con un DECO 2:4 y el mínimo número de puertas lógicas.

Solución

a) Obtener la tabla de verdad.

Para obtener la tabla de verdad, primero se va a expresar el circuito como una función lógica para después, calcular el valor de salida por cada combinación de entrada posible.

La función lógica es: $F(x,y,z,v) = [\overline{(X+Y)} + (X+Z)] \cdot (Y \cdot V) \cdot (X+Z)$

Se sustituye cada variable de entrada por los valores correspondientes y construye la tabla de verdad poniendo los valores de salida que devuelve la función:

X	Y	Z	V	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

b) Obtener su función lógica $F(x,y,z,v)$ a partir de la tabla de verdad.

No se menciona si la función debe expresarse como suma de productos o como producto de sumas. Se obtiene como sumas de productos ya que, al haber menos combinaciones que devuelvan el valor "1" que el valor "0", es más sencilla.

$$F(x,y,z,v) = \overline{X}YZV + XY\overline{Z}V + XYZV$$

c) Obtener la función lógica $F(x,y,z,v)$ simplificada.

Simplificación mediante mapas de Karnaugh:

XY \ ZV		ZV			
		00	01	11	10
00	0	0	0	0	0
01	0	0	0	1	0
11	0	0	1	1	0
10	0	0	0	0	0

$$F(x,y,z,v) = XYV + YZV$$

Simplificación mediante el Álgebra de Boole:

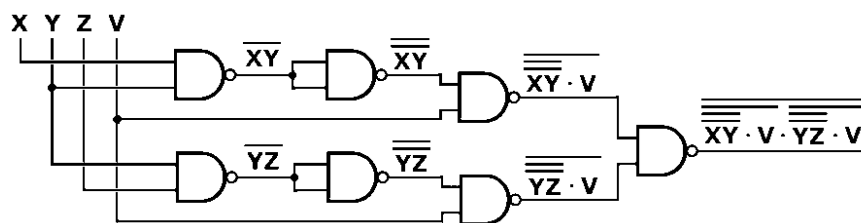
$$F(x,y,z,v) = \overline{X}YZV + XY\overline{Z}V + XYZV \rightarrow \text{Factor común de } YV \rightarrow YV \cdot (\overline{X}Z + X\overline{Z} + XZ) \rightarrow \text{Factor común de } X \rightarrow YV \cdot [\overline{X}Z + X(\overline{Z} + Z)] \rightarrow \text{Ley fundamental} \rightarrow YV \cdot (\overline{X}Z + X \cdot 1) \rightarrow \text{Absorción} \rightarrow YV \cdot (X + Z) \rightarrow \text{Ley distributiva} \rightarrow \mathbf{XYV + YZV}$$

d) Implementar la función resultante con puertas NAND de dos entradas.

Se obtiene la función lógica equivalente a partir de la función minimizada, aplicando la ley de la convolución y el teorema DeMorgan.

$$F(x,y,z,v) = XYV + YZV \rightarrow \overline{\overline{XYV + YZV}} \rightarrow \overline{\overline{XYV} \cdot \overline{YZV}} \rightarrow (\overline{\overline{XYV}} + \overline{\overline{YZV}}) \rightarrow (\overline{\overline{XY + V}}) \cdot (\overline{\overline{YZ + V}}) \rightarrow \overline{\overline{XY + V}} \cdot \overline{\overline{YZ + V}} \rightarrow \overline{\overline{XY} \cdot \overline{V}} \cdot \overline{\overline{YZ} \cdot \overline{V}} \rightarrow \overline{\overline{XY} \cdot V} \cdot \overline{\overline{YZ} \cdot V}$$

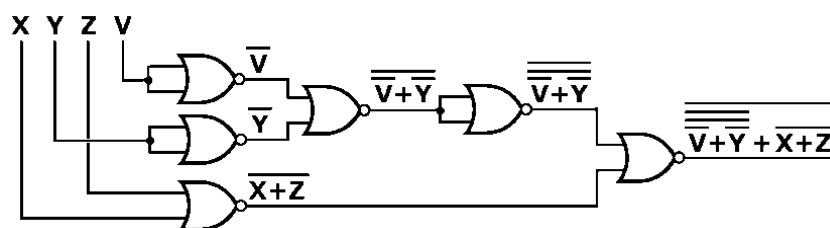
Y se implementa el circuito:



a) Implementar la función resultante con puertas NOR de dos entradas.

Se obtiene la función lógica equivalente a partir de la función minimizada y se implementa el circuito:

$$F(x,y,z,v) = XYV + YZV \rightarrow VY(X+Z) \rightarrow \overline{\overline{VY(X+Z)}} \rightarrow \overline{\overline{VY} + \overline{(X+Z)}} \rightarrow \overline{\overline{V} + \overline{Y} + \overline{(X+Z)}} \rightarrow \overline{\overline{\overline{V} + \overline{Y} + \overline{(X+Z)}}}$$



b) Implementar con el mínimo número de MUX 2:1

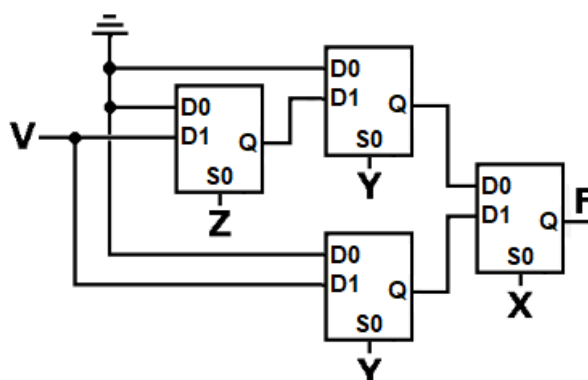
Un MUX 2:1 tiene 2 entradas de datos (D_0 y D_1), 1 entrada de selección (S_0) y una salida (Q). El multiplexor redirigirá por la salida "Q" el valor de " D_0 " si " $S_0=0$ " y el valor de " D_1 " si " $S_0=1$ ".

Como solo disponemos de una entrada de selección, tenemos que dividir la tabla de verdad en agrupaciones de una única variable. Las agrupaciones se realizan teniendo en cuenta los distintos resultados de la función. Comenzaremos agrupando un primer nivel con la variable "X", seguido de un segundo nivel con "Y", y finalizando con un tercer nivel con "Z". La variable "V" servirá como entrada de datos.

Tabla de verdad

X	Y	Z	V	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

Circuito lógico con MUX 2:1



c) Implementar con 1 MUX 4:1 y el mínimo número de puertas lógicas.

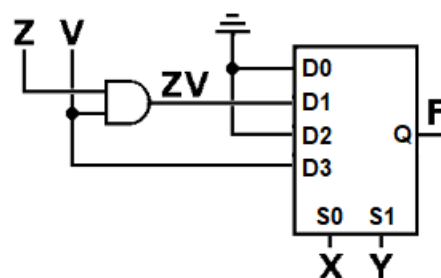
Un MUX 4:1 tiene 4 entradas de datos (D_0 , D_1 , D_2 y D_3), 2 entradas de selección (S_0 y S_1) y una salida (Q). El MUX redirigirá por la salida "Q" el valor de D_0 si $S_0=0$ y $S_1=0$, el valor de D_1 si $S_0=0$ y $S_1=1$, el valor de D_2 si $S_0=1$ y $S_1=0$ y el valor de D_3 si $S_0=1$ y $S_1=1$.

Como disponemos de dos entradas de selección, tenemos que dividir la tabla de verdad en agrupaciones de 2 variables. En este caso, se realiza la agrupación con las variables "X" y "Y", utilizando "Z" y "V" como entradas de datos.

Tabla de verdad

X	Y	Z	V	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

Circuito lógico con MUX 4:1

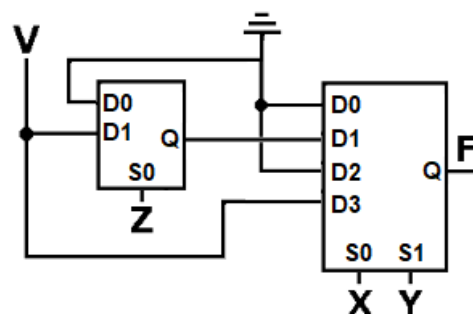


d) Implementar con 1 MUX 4:1 y el mínimo número de MUX 2:1.

Tabla de verdad

X	Y	Z	V	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

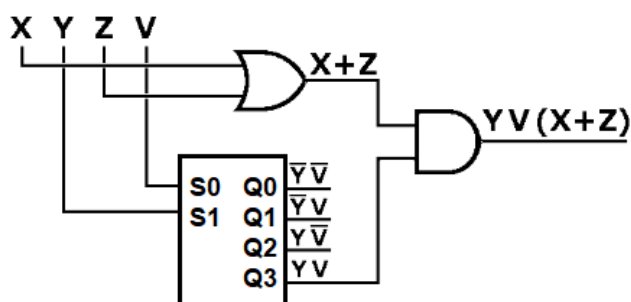
Circuito lógico con MUX 4:1 y MUX 2:1



e) Implementar con un DECO 2:4 y el mínimo número de puertas lógicas.

Un DECO 2:4 tiene 2 entradas (S_0, S_1) y 4 salidas (Q_0, Q_1, Q_2 y Q_3), por donde redirigirá cada una de las posibles combinaciones de entrada.

Partiendo de la función mínima $F(x,y,z,v) = XYV + YZV = VY(X+Z)$, para las entradas " S_0 " y " S_1 ", habría que escoger las variables que más se repiten. En este caso, el DECO tendrá como entradas " V " y " Y " y sólo se usará la última salida " $Q_3=VY$ ".



Ejercicio 6 – Circuito combinacional 4: Sistema de alarma

Un sistema electrónico de alarma se compone de 4 detectores a, b, c y d. La alarma debe dispararse cuando se activen 3 o 4 detectores. Si se activan solo 2, su disparo es indiferente. La alarma nunca debe dispararse si se activa un solo detector o ninguno. Por último, y por razones de seguridad, se debe activar si $a=0, b=0, c=0$ y $d=1$.

a) Obtener la tabla de verdad.

b) Obtener la función mínima en forma de suma de productos.

- c) Obtener la función mínima en forma de producto de sumas.
- d) Implementar con puertas NAND de 2 entradas.
- e) Implementar con puertas NOR de 2 entradas
- f) Implementar con el mínimo número de MUX 2:1.
- g) Implementar con 1 MUX 4:1 y el mínimo número de puertas lógicas.
- h) Implementar con un DECO 2:4 y el mínimo de puertas lógicas.
- i) Implementar con 1 MUX 4:1 y el mínimo número de MUX 2:1.

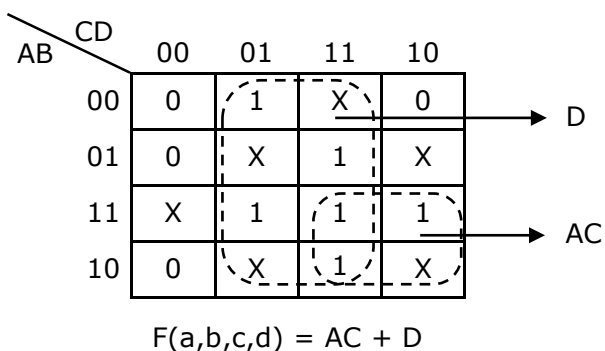
Solución

- a) Obtener la tabla de verdad.

A	B	C	D	F	Motivo
0	0	0	0	0	
0	0	0	1	1	a=0, b=0, c=0 y d=1
0	0	1	0	0	
0	0	1	1	X	Indiferente
0	1	0	0	0	
0	1	0	1	X	Indiferente
0	1	1	0	X	Indiferente
0	1	1	1	1	3 detectores activados
1	0	0	0	0	
1	0	0	1	X	Indiferente
1	0	1	0	X	Indiferente
1	0	1	1	1	3 detectores activados
1	1	0	0	X	Indiferente
1	1	0	1	1	3 detectores activados
1	1	1	0	1	3 detectores activados
1	1	1	1	1	4 detectores activados

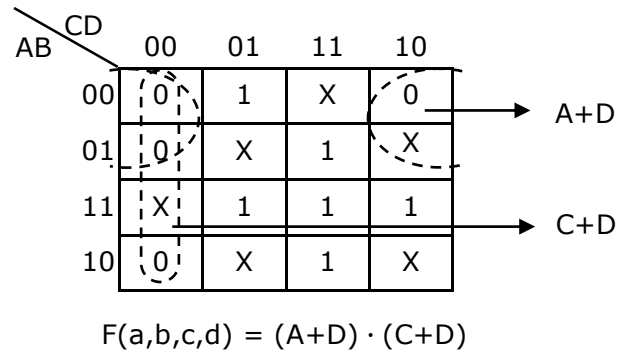
- b) Obtener la función mínima en forma de suma de productos.

Simplificación mediante mapas de Karnaugh:



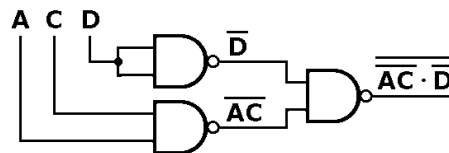
- c) Obtener la función mínima en forma de producto de sumas.

Simplificación mediante mapas de Karnaugh:



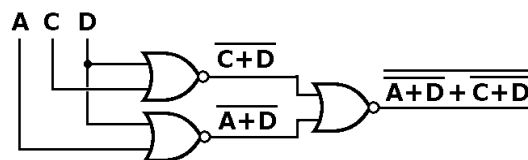
- d) Implementar con puertas NAND de 2 entradas.

$$F(a,b,c,d) = AC + D \rightarrow \overline{\overline{AC} + \overline{D}} \rightarrow \overline{\overline{AC} \cdot \overline{D}}$$



- e) Implementar con puertas NOR de 2 entradas

$$F(a,b,c,d) = (A+D) \cdot (C+D) \rightarrow \overline{\overline{(A+D) \cdot (C+D)}} \rightarrow \overline{\overline{(A+D)} + \overline{(C+D)}}$$



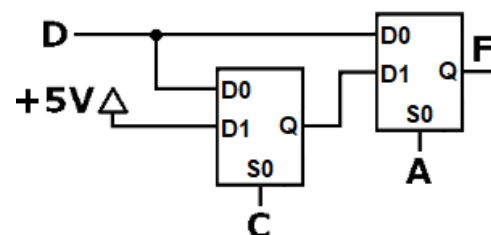
- f) Implementar con el mínimo número de MUX 2:1.

Generalmente, para implementar funciones con multiplexores se parte de la tabla de verdad. No obstante, como la expresión mínima es $F = D + AC$, se observa que la variable "B" es irrelevante en el sistema, por lo que se creará una tabla de verdad nueva donde "B" no tenga representación y se trabajará a partir de ésta.

Tabla de verdad

A	C	D	F
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Circuito lógico con MUX 2:1



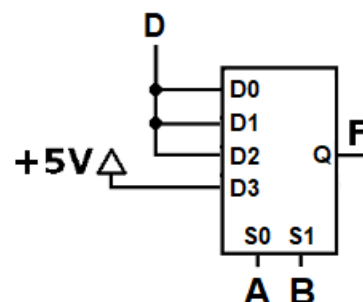
g) Implementar con 1 MUX 4:1 y el mínimo número de puertas lógicas.

Como el valor "X" significa que puede ser "0" o "1" indistintamente, porque su valor no tiene relevancia, se sustituirá por "0" o por "1" según lo que más interese para obtener el circuito más simplificado posible. Se pone entre paréntesis el valor por el que se ha sustituido.

Tabla de verdad

A	B	C	D	F
0	0	0	0	0 F=D
0	0	0	1	1
0	0	1	0	0
0	0	1	1	X (1)
0	1	0	0	0 F=D
0	1	0	1	X (1)
0	1	1	0	X (0)
0	1	1	1	1
1	0	0	0	0 F=D
1	0	0	1	X (1)
1	0	1	0	X (0)
1	0	1	1	1
1	1	0	0	X (1) F=1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

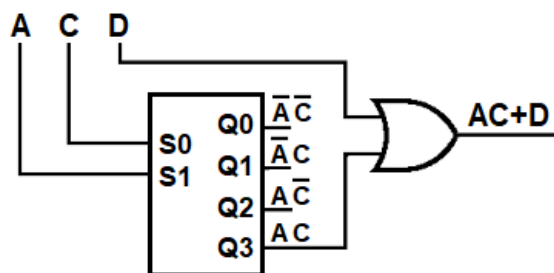
Circuito lógico con MUX 4:1



h) Implementar con un DECO 2:4 y el mínimo de puertas lógicas.

Un DECO 2:4 tiene 2 entradas (S_0 , S_1) y 4 salidas (Q_0 , Q_1 , Q_2 y Q_3), por donde redirigirá cada una de las posibles combinaciones de entrada.

Partiendo de la función mínima $F(a,b,c,d) = AC + D$ y usando las entradas "A" y "C", sólo se usará la última salida " $S_3=AC$ ", quedando el circuito de la siguiente forma:



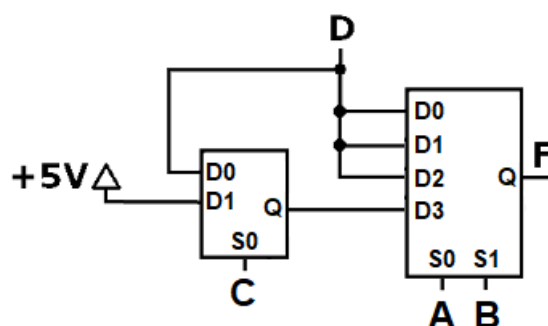
i) Implementar con 1 MUX 4:1 y el mínimo número de MUX 2:1.

Para poder usar un MUX 2:1, la última "X" de la tabla de verdad tiene que interpretarse como un "0" y así se obtiene 2 posibles salidas.

Tabla de verdad

A	B	C	D	F	
0	0	0	0	0	F=D
0	0	0	1	1	
0	0	1	0	0	
0	0	1	1	X (1)	
0	1	0	0	0	F=D
0	1	0	1	X (1)	
0	1	1	0	X (0)	
0	1	1	1	1	
1	0	0	0	0	F=D
1	0	0	1	X (1)	
1	0	1	0	X (0)	
1	0	1	1	1	
1	1	0	0	X (0)	F=D
1	1	0	1	1	
1	1	1	0	1	F=1
1	1	1	1	1	

Circuito con MUX 4:1 y MUX 2:1



Ejercicio 7 – Circuito combinacional 5: Sistema de seguridad

En una sala blanca de una empresa electrónica, se dispone de un sistema de seguridad basado en una serie de sensores activos a nivel alto. El diseño consta de tres sensores distintos:

- Un sensor A de movimiento que detecta movimientos excesivamente bruscos en el interior de la sala.
 - Un sensor B de temperatura que se activa cuando se alcanzan valores altos de temperatura.
 - Un sensor C de humos que se activa cuando la concentración de partículas en suspensión en el aire supera cierto umbral
- a) Para avisar de posibles situaciones comprometidas, se dispone de un indicador X que hace las veces de alarma general. Implemente, mediante puertas NAND de 2 entradas, el circuito lógico que permite activar con un nivel alto la señal X cuando se active uno o varios de los sensores A, B y C.
- b) Del mismo modo, existe un sistema Y que detiene la línea de producción siempre que se active el sensor A de movimiento o los sensores B y C simultáneamente. Implemente el diseño lógico que permite activar el sistema Y en las condiciones mencionadas anteriormente. Utilice para ello solamente multiplexores de 4 a 1.
- c) Finalmente, se dispone de un ventilador Z que debe activarse cuando se activan cualquiera de los sensores B o C, o ambos simultáneamente. Desarrolle el diseño combinacional empleando únicamente un decodificador de 3 a 8 activo a nivel alto y puertas OR de 2 entradas.

Solución

- a) Para avisar de posibles situaciones comprometidas, se dispone de un indicador X que hace las veces de alarma general. Implemente, mediante puertas NAND de 2 entradas, el circuito lógico que permite activar con un nivel alto la señal X cuando se active uno o varios de los sensores A, B y C.

Para hacer lo que se pide, primero necesitamos confeccionar la tabla de verdad, para luego obtener la función lógica simplificada y, finalmente, aplicar LA ley de la convolución y el teorema DeMorgan para obtener la función a implementar con puertas NAND.

Tabla de verdad:

A	B	C	X	Motivo
0	0	0	0	Ningún sensor está activo
0	0	1	1	Un sensor activo (C)
0	1	0	1	Un sensor activo (B)
0	1	1	1	2 sensores activos (B y C)
1	0	0	1	Un sensor activo (A)
1	0	1	1	2 sensores activos (A y C)
1	1	0	1	2 sensores activos (A y B)
1	1	1	1	Todos los sensores activos

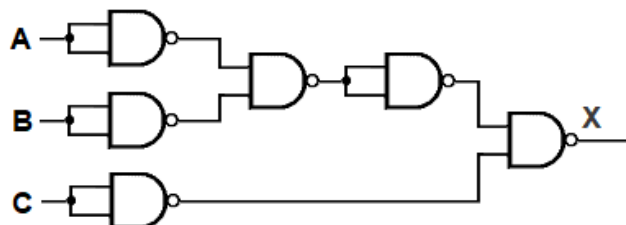
A partir de la tabla de verdad de una función, se pueden obtener 2 funciones lógicas equivalentes: una expresada como suma de productos y la otra expresada como producto de sumas. En este caso utilizaremos la expresada como suma de productos ya que, al solo existir un caso donde $X=0$, obtenemos una función más minimizada.

$$X(a,b,c,d) = A+B+C \text{ (No se puede minimizar más)}$$

Aplicamos el teorema DeMorgan para obtener la función equivalente con puertas NAND.

$$X(a,b,c,d) = A+B+C = \overline{\overline{A + B + C}} \rightarrow \overline{\overline{A + B} \cdot \overline{C}} \rightarrow \overline{\overline{A} \cdot \overline{B} \cdot \overline{C}} \rightarrow \overline{\overline{A} \cdot \overline{B} \cdot \overline{C}}$$

Implementación del circuito:



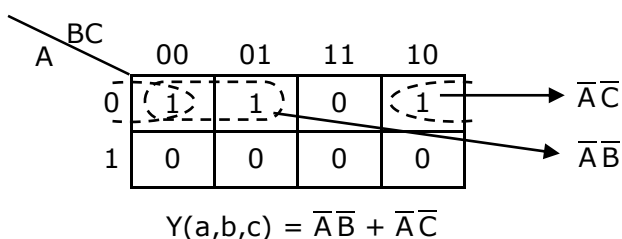
- b) Del mismo modo, existe un sistema Y que detiene la línea de producción siempre que se active el sensor A de movimiento o los sensores B y C simultáneamente. Implemente el diseño lógico que permite activar el sistema Y en las condiciones mencionadas anteriormente. Utilice para ello solamente multiplexores de 4 a 1.

Al igual que el apartado anterior, primero se confecciona la tabla de verdad para luego obtener la función simplificada.

Tabla de verdad:

A	B	C	Y	Motivo
0	0	0	1	En producción
0	0	1	1	En producción
0	1	0	1	En producción
0	1	1	0	Detenido. Sensor B y C activos
1	0	0	0	Detenido. Sensor A activo
1	0	1	0	Detenido. Sensor A activo
1	1	0	0	Detenido. Sensor A activo
1	1	1	0	Detenido. Sensor A activo

Simplificación mediante mapa de Karnaugh:

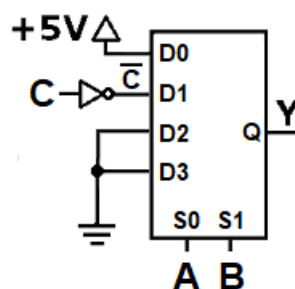


Implementar el circuito con un MUX 4:1:

Tabla de verdad

A	B	C	Y
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

Circuito lógico con MUX 4:1



- c) Finalmente, se dispone de un ventilador Z que debe activarse cuando se activan cualquiera de los sensores B o C, o ambos simultáneamente. Desarrolle el diseño combinacional empleando únicamente un decodificador de 3 a 8 y puertas OR de 2 entradas.

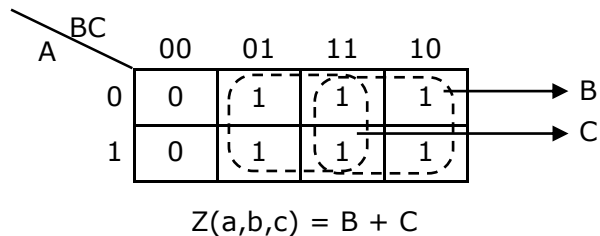
Tabla de verdad:

A	B	C	Z	Motivo
0	0	0	0	Apagado. Sensor B y C apagados
0	0	1	1	Encendido. Sensor C activo
0	1	0	1	Encendido. Sensor B activo
0	1	1	1	Encendido. Sensores B y C activos
1	0	0	0	Apagado. Sensor B y C apagados
1	0	1	1	Encendido. Sensor C activo
1	1	0	1	Encendido. Sensor B activo
1	1	1	1	Encendido. Sensores B y C activos

Obtenemos la función lógica como producto de sumas:

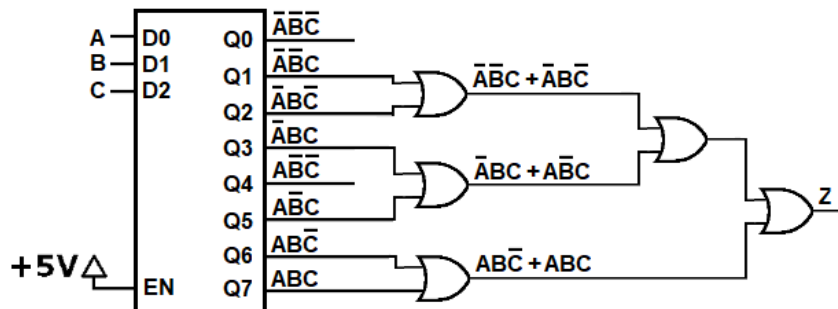
$$Z(a,b,c) = \bar{A}\bar{B}C + \bar{A}B\bar{C} + \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC$$

También obtenemos la función simplificada, aunque no es necesario:



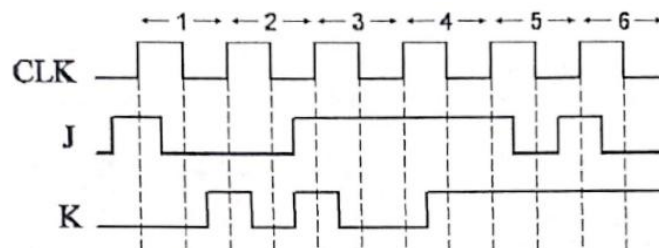
Implementación del circuito con un DECO 3:8 y puertas OR de 2 entradas:

Un DECO 3:8 tiene 3 entradas (A, B y C) y 8 salidas "Q"; una por cada salida de la tabla de verdad. Para su implementación, se va a utilizar la función sin simplificar, ya que está expresada como sumas de productos.



Ejercicio 8 – Circuito secuencial: Biestables

Considera la señal de reloj CLK y las señales J y K que se muestran en la figura. Determina cuáles serían las salidas Q si aplicáramos esas señales a los casos de los apartados.



Considera que el estado inicial es 0. Escribe las explicaciones de cada apartado y, al final, dibuja un cronograma que represente el resultado de cada uno (Q_a , Q_b , Q_c y Q_d).

- Un latch JK con entrada de habilitación activa a nivel bajo. La señal de reloj CLK está conectada a la entrada de habilitación.
- Un flip-flop JK disparado por flanco positivo.
- Un flip-flop Maestro-Esclavo disparado por pulso negativo.

- d) Un flip-flop JK Maestro-Esclavo con entrada de datos aislada. Considere que el maestro es un flip-flop disparado por flanco negativo.

Solución

- a) Un latch JK con entrada de habilitación activa a nivel bajo. La señal de reloj CLK está conectada a la entrada de habilitación.

Inicialmente el latch JK se encuentra en estado de RESET. Sin embargo, durante el pulso positivo del primer ciclo de reloj pasa a estado de SET debido a que $J=1$ ⁽¹⁾, aunque vuelve a su estado de RESET al inicio del segundo ciclo de reloj al detectar que $K=1$ ⁽²⁾. En ⁽³⁾ y ⁽⁴⁾ se producen cambios de estados, al inicio del tercer ciclo de reloj y en medio del nivel alto del cuarto ciclo de reloj, en ambos casos, se ha detectado en las entradas $J=K=1$. Estas mismas situaciones se producen en ⁽⁵⁾ y ⁽⁶⁾, correspondientes al inicio de los ciclos quinto y sexto de reloj, respectivamente. Mientras que en ⁽⁷⁾ y ⁽⁸⁾ se produce la salida un RESET debido a que K se mantiene a nivel alto, mientras que J cambia a nivel bajo.

- b) Un flip-flop JK disparado por flanco positivo.

Inicialmente el flip-flop JK está en estado de RESET, estado que se repite en todos los flancos de bajada de los ciclos primero, segundo, quinto y sexto de la señal de reloj, al detectarse $J=0$ y $K=1$. Aunque en el flanco de bajada del tercer ciclo de reloj se detecta un estado de SET producido por $J=1$ y $K=0$ ⁽¹⁾. Sin embargo, en el flanco de bajada del cuarto ciclo se detecta un cambio de estado al estar $J=K=1$.

- c) Un flip-flop Maestro-Esclavo disparado por pulso negativo.

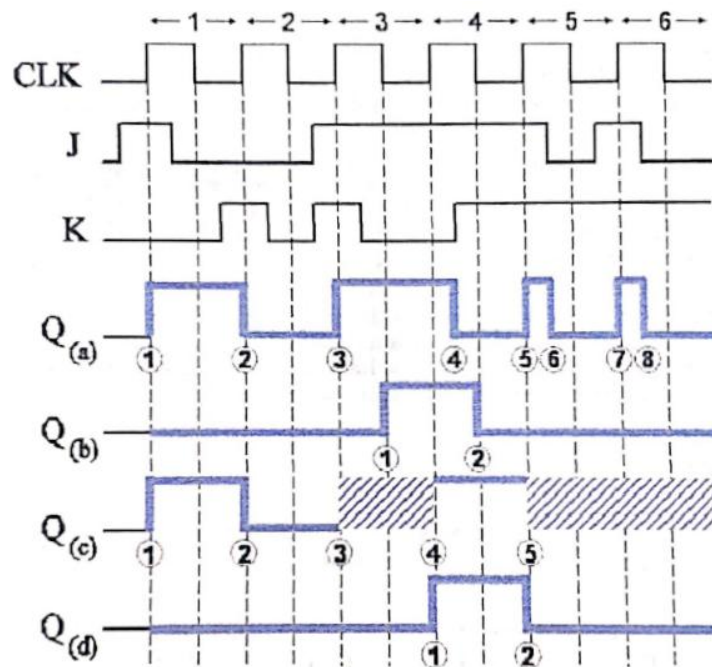
Inicialmente el biestable SR esclavo se encuentra en estado de RESET, sin embargo, consideramos que el pulso negativo anterior al primer ciclo de reloj, el biestable SR maestro se encuentra a SET provocado por las entradas $S=1$ y $R=0$, lo que repercutirá en un estado de SET en ⁽¹⁾. Durante el pulso negativo del primer ciclo de reloj, el biestable SR maestro detecta un RESET en las entradas $S=0$ y $R=1$, lo que obligará al biestable SR esclavo a pasar a RESET en ⁽²⁾. En el pulso negativo del segundo ciclo de reloj, el biestable SR maestro detecta la combinación no permitida $S=R=1$, lo que obliga al biestable SR esclavo pasar a estado INDETERMINADO en ⁽³⁾. Este estado termina en ⁽⁴⁾ debido a que el biestable SR maestro pasa a SET en el pulso negativo del tercer ciclo de reloj. Finalmente, el estado de INDETERMINADO vuelve a aparecer en el biestable SR maestro en el pulso negativo del cuarto ciclo de reloj debido a que $S=R=1$, estado que se transmite al biestable SR esclavo en el pulso positivo del quinto flanco de reloj ⁽⁵⁾, y se que se mantiene hasta el final del cronograma.

- d) Un flip-flop JK Maestro-Esclavo con entrada de datos aislada. Considere que el maestro es un flip-flop disparado por flanco negativo.

El flip-flop JK Maestro-Esclavo con entrada de datos aislada se encuentra los tres primeros ciclos de reloj a nivel bajo, debido a que inicialmente se presupone que el estado inicial es 0, y como el flip-flop JK maestro establece el estado No Cambio al detectar la combinación de entrada $J=K=0$ en los flancos de bajada de los dos primeros ciclos de reloj. Sin embargo, en el flanco de bajada del tercer ciclo de reloj, el flip-flop JK maestro detecta la combinación $J=1$ y $K=0$, lo que se traduce en un SET a la salida

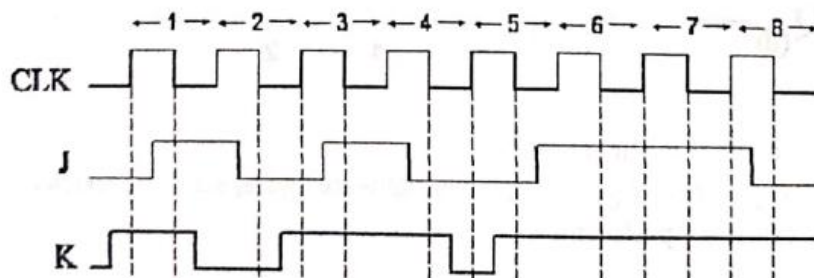
del flip-flop JK esclavo en el flanco de subida del cuarto ciclo de reloj ⁽¹⁾. Posteriormente se produce un Cambio de Estado en el flip-flop JK esclavo durante el flanco de subida del quinto ciclo de reloj ⁽²⁾, provocado porque en el flanco de bajada anterior del flip-flop JK maestro detecta la combinación $J=K=1$. El cronograma finaliza en estado de RESET debido a que en todas las lecturas que el flip-flop JK maestro realiza durante los flancos de bajada siguientes detecta la combinación $J=0$ y $K=1$.

A continuación, se muestra el cronograma que representan los 4 apartados.



Ejercicio 9 – Circuito secuencial 2: Biestables

Considera la señal de reloj CLK y las señales J y K que se muestran en la figura. Determina cuáles serían las salidas Q si aplicáramos esas señales a los casos de los apartados.



Considera que el estado inicial es 0. Escribe las explicaciones en cada apartado y, al final, dibuja un cronograma que represente el resultado de uno (Q_a , Q_b y Q_c).

- Un flip-flop SR disparado por pulso positivo.
- Un flip-flop SR Maestro-Esclavo disparado por pulso negativo. Suponer que $J=S$ y $K=R$.

- c) Un flip-flop JK Maestro-Esclavo con entrada de datos aislada. Considere que el maestro es un flip-flop disparado por flanco negativo.

Solución

- a) Un flip-flop SR disparado por pulso positivo.

Durante el pulso positivo del primer ciclo de reloj, el flip-flop SR para el estado de RESET al estado de INDETERMINADO provocado por las entradas $S=0$, $R=1$ y $S=R=1$, respectivamente ⁽¹⁾. En ⁽²⁾ el flip-flop conmuta a estado de SET durante la primera mitad del pulso positivo del tercer ciclo de reloj, para posteriormente conmutar a estado de NO CAMBIO. En el pulso positivo del tercer ciclo de reloj se repite la combinación RESET – INDETERMINADO del primer ciclo de reloj ⁽³⁾. Esta indeterminación finaliza con un RESET en la mitad del pulso positivo del cuarto ciclo de reloj ⁽⁴⁾, manteniéndose la salida del flip-flop SR a nivel bajo durante el resto del cuarto ciclo de reloj y en todo el quinto ciclo, provocado por los estados de RESET, NO CAMBIO y otra vez RESET. Los ciclos sexto, séptimo y parte del octavo del flip-flop SR se mantiene en estado INDETERMINADO ⁽⁵⁾, provocado por las entradas $S=R=1$, para finalizar en estado de RESET a partir de ⁽⁶⁾.

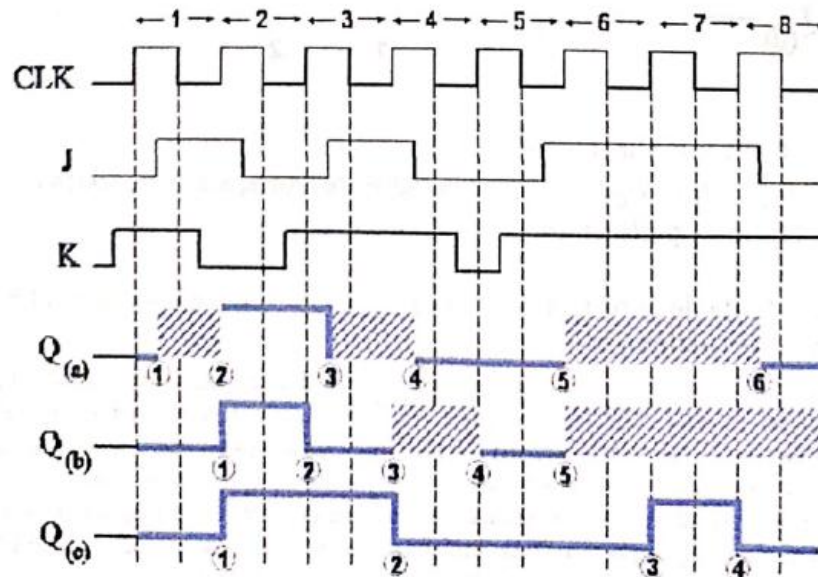
- b) Un flip-flop SR Maestro-Esclavo disparado por pulso negativo. Suponer que $J=S$ y $K=R$.

Durante todo el primer ciclo de reloj el flip-flop SR maestro-esclavo permanece en estado de RESET, sin embargo, durante el pulso negativo del primer ciclo, el flip-flop SR maestro detecta en sus entradas $S=1$ y $R=0$, lo que se traduce en un SET en ⁽¹⁾. En ⁽²⁾ el flip-flop SR esclavo muestra a su salida un RESET detectado por el flip-flop SR maestro durante el pulso negativo del segundo ciclo de reloj. En el resto del cronograma aparece el estado de INDETERMINADO provocado por la combinación $S=R=1$ comenzando en ⁽³⁾, y viéndose momentáneamente interrumpida por un estado de NO CAMBIO entre ⁽⁴⁾ y ⁽⁵⁾. En esta zona comprendida entre el ⁽⁴⁾ y ⁽⁵⁾ hemos indicado un nivel bajo, aunque también podríamos haber dibujado un nivel alto, puesto que no conocemos a priori el estado adquirido por el flip-flop después de un estado INDETERMINADO.

- c) Un flip-flop JK Maestro-Esclavo con entrada de datos aislada. Considere que el maestro es un flip-flop disparado por flanco negativo.

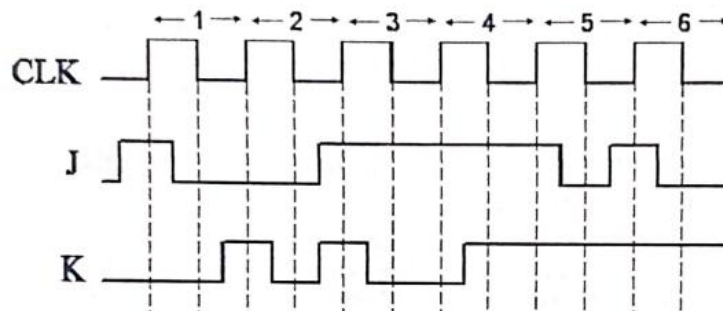
Durante el flanco negativo del primer ciclo de reloj, el flip-flop JK maestro detecta en sus entradas la combinación $J=K=1$ lo que se convierte en un CAMBIO de estado del flip-flop JK esclavo en ⁽¹⁾, como inicialmente hemos supuesto un nivel bajo, éste cambio de estado transforma la salida a un nivel alto. En el flanco de bajada del segundo ciclo, el flip-flop maestro detecta un NO CAMBIO por lo que la salida se mantendrá a nivel alto durante el flanco de subida del tercer ciclo de reloj. Posteriormente, se vuelve a detectar un CAMBIO de estado en el flanco de bajada del tercer ciclo, lo que se traduce en una transición a nivel bajo en el flip-flop esclavo en ⁽²⁾. Durante los ciclos cuarto y quinto, el estado detectado por el flip-flop JK en los flancos negativos y comunicado al flip-flop JK esclavo en los flancos positivos es el estado de RESET. Sin embargo, en el flanco de bajada se detecta a la entrada la combinación $J=K=1$ repercutiendo en un CAMBIO de estado del flip-flop JK esclavo, durante el flanco de subida del séptimo ciclo de reloj ⁽³⁾. Finalmente, en ⁽⁴⁾ se produce otro CAMBIO de estado, lo que lleva a la salida a un nivel bajo.

A continuación, se muestra el cronograma que representan los 3 apartados.



Ejercicio 10 – Circuito secuencial 3: Biestables

Considera la señal de reloj CLK y las señales J y K que se muestran en la figura. Determina cuáles serían las salidas Q si aplicáramos esas señales a los siguientes casos.



Considera que el estado inicial es 0. Escribe las explicaciones de cada apartado y, al final, dibuja un cronograma que represente el resultado de cada uno (Q_a , Q_b , Q_c y Q_d).

- Un latch JK con entrada de habilitación activa a nivel bajo. La señal de reloj CLK está conectada a la entrada de habilitación.
- Un flip-flop JK disparado por flanco positivo.
- Un flip-flop Maestro-Esclavo disparado por pulso negativo.
- Un flip-flop JK Maestro-Esclavo con entrada de datos aislada. Considere que el maestro es un flip-flop disparado por flanco negativo.

Solución

- Un latch JK con entrada de habilitación activa a nivel bajo. La señal de reloj CLK está conectada a la entrada de habilitación.

Comenzamos con un nivel bajo la salida del latch JK, nivel que se mantiene durante todo el primer ciclo de reloj al detectar un NO CAMBIO y un RESET durante el pulso negativo. Sin embargo, en el pulso negativo del segundo ciclo de reloj se detecta el estado de NO CAMBIO y otro de CAMBIO. Éste segundo estado conmuta la salida de nivel bajo a nivel alto ⁽¹⁾, nivel que se mantiene durante todo el tercer ciclo de reloj por el estado de SET, pero conmutado posteriormente a un nivel bajo al inicio del pulso negativo del cuarto ciclo de reloj, al detectar un estado de CAMBIO ⁽²⁾. En el quinto ciclo de reloj se detecta un RESET seguido del estado de CAMBIO, lo que obliga a la salida a pasar a nivel alto ⁽³⁾. Finalmente, el latch JK detecta en las entradas $J=0$ y $K=1$ durante el pulso negativo del sexto ciclo de reloj, lo que obliga a la salida a pasar a estado de RESET ⁽⁴⁾.

b) Un flip-flop JK disparado por flanco positivo.

El funcionamiento de un flip-flop JK disparado por flanco positivo es básicamente igual que el del latch anterior, salvo que únicamente funciona en los flancos positivos del reloj, por lo que, en el flanco positivo del primer ciclo de reloj se detecta un estado de SET debido a que $J=1$ y $K=0$ ⁽¹⁾, en el correspondiente al segundo ciclo, un RESET producido por $J=0$ y $K=1$, volviendo la señal de salida a nivel bajo ⁽²⁾. En ⁽³⁾ se detecta $J=K=1$ equivalente a un estado de CAMBIO, manteniéndose posteriormente a nivel alto durante el cuarto ciclo de reloj.

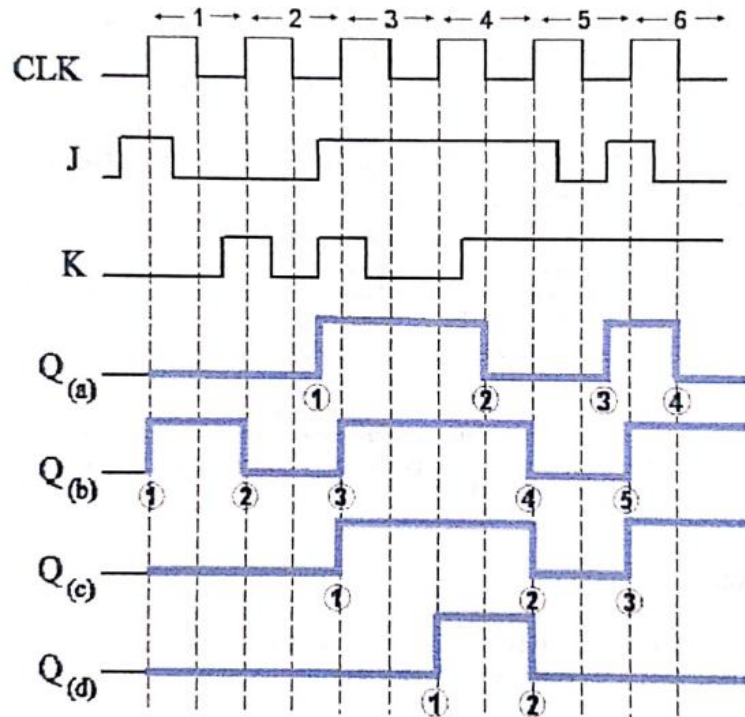
c) Un flip-flop Maestro-Esclavo disparado por pulso negativo.

Inicialmente el biestable maestro se encuentra en estado de RESET, estado que mantiene durante el primer ciclo de reloj puesto que durante el nivel bajo pasa por los estados de NO CAMBIO y RESET. Sin embargo, durante el pulso negativo del segundo ciclo de reloj, el biestable maestro pasa de NO CAMBIO a CAMBIO, estado que hace conmutar al biestable esclavo durante el pulso positivo del tercer ciclo de reloj ⁽¹⁾. Durante el tercer ciclo de reloj, el biestable maestro se mantiene en estado de SET, aunque durante el pulso negativo del cuarto ciclo de reloj detecta un CAMBIO de estado, lo que obliga al biestable esclavo pasar al estado de RESET al inicio del pulso positivo del ciclo de reloj ⁽²⁾. El biestable esclavo vuelve a conmutar al estado de SET al inicio del pulso positivo del sexto ciclo de reloj ⁽³⁾, provocado porque el biestable maestro detectó la transición del estado de RESET a CAMBIO de estado durante el pulso negativo del quinto ciclo de reloj.

d) Un flip-flop JK Maestro-Esclavo con entrada de datos aislada. Considere que el maestro es un flip-flop disparado por flanco negativo.

El biestable esclavo se mantiene durante los tres primeros ciclos de reloj en estado de RESET debido a que inicialmente consideramos al biestable maestro en estado de RESET, estado que se mantuvo durante los flancos de bajada del primer y segundo ciclo de reloj, al detectar un NO CAMBIO. Sin embargo, el biestable maestro detecta un estado de SET en el flanco de bajada del tercer ciclo de reloj, lo que se traduce en un estado de SET para el biestable esclavo en el flanco de subida del cuarto ciclo de reloj ⁽¹⁾. Posteriormente, el biestable esclavo cambió de estado en el flanco de subida del quinto ciclo de reloj ⁽²⁾, provocado porque el biestable maestro detectó un CAMBIO de estado en el flanco de bajada del cuarto ciclo de reloj. Finalmente, la salida del biestable maestro-esclavo se mantiene en estado de RESET, debido a que, durante todos los flancos de bajada de los quinto y sexto ciclos de reloj, el biestable maestro detecta a sus entradas la combinación $J=0$ y $K=1$.

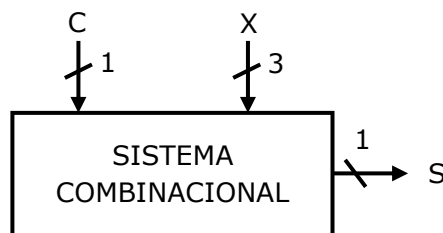
A continuación, se muestra el cronograma que representan los 4 apartados.



Ejercicio 11 – Examen oposiciones 2002

El esquema de la figura corresponde a un sistema combinacional con una entrada de datos (X) que representa un número natural de 3 bits, y una entrada de control (C) de 1 bit. La salida (S) vale:

- Si $C=0$, $S=1$ cuando X es múltiplo de 2 y $S=0$ en caso contrario.
- Si $C=1$, $S=1$ cuando X es múltiplo de 3 y $S=0$ en caso contrario.



- Especificar la tabla de verdad del sistema combinacional. Considere que el 0 es múltiplo de todos los números. Usar el siguiente orden en las entradas para la tabla: C, X_2 , X_1 , X_0 .
- Obtener la expresión más simplificada utilizando mapas de Karnaugh.
- Implementar a dos niveles la función anterior.
- Implementar el circuito con un multiplexor adecuado.

Solución

- a) Especificar la tabla de verdad del sistema combinacional. Considere que el 0 es múltiplo de todos los números. Usar el siguiente orden en las entradas para la tabla: $CX_2X_1X_0$.

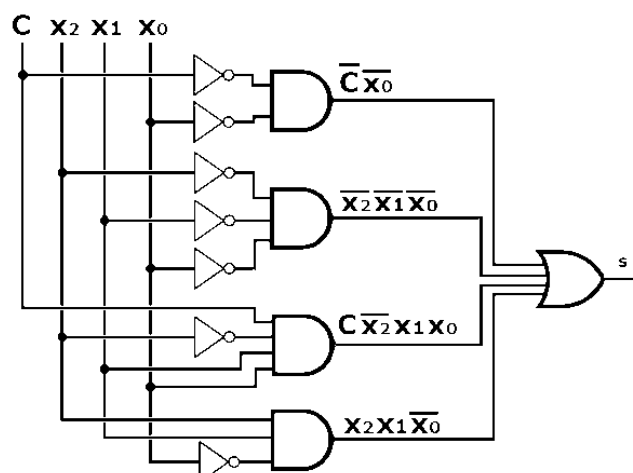
C	X_2	X_1	X_0	S
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	0

- b) Obtener la expresión más simplificada utilizando mapas de Karnaugh.

		X_1X_0			
		00	01	11	10
CX_2	00	1	0	0	1
	01	1	0	0	1
	11	0	0	0	1
	10	1	0	1	0

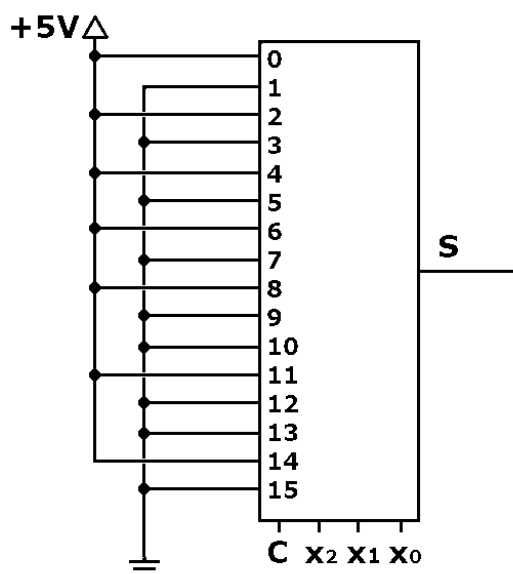
$$S = \bar{C}\bar{X}_0 + \bar{X}_2\bar{X}_1\bar{X}_0 + C\bar{X}_2X_1X_0 + X_2X_1\bar{X}_0$$

- c) Implementar a dos niveles la función anterior.



d) Implementar el circuito con un multiplexor adecuado.

Para implementar el circuito con un multiplexor, se necesita uno de 16 entradas de datos y 4 entradas de selección.



Ejercicio 12 – Examen oposiciones 2018

Queremos diseñar junto a nuestro alumnado del IES, un sistema de aviso que alerte cuando haya un nivel elevado de ruido en el aula. Para ello colocaremos un rótulo luminoso con la palabra "Silencio" a la entrada de la misma, que podrá encenderse como resultado de diferentes circunstancias, como son: un interruptor manual que podrá accionar el docente (I), un sensor de ruido elevado (R) u otro sensor de apertura de ventana hacia la calle con cierto tráfico (V).

El sistema funcionará en base a las siguientes premisas:

- El rótulo de alerta podrá ser activado siempre mediante el interruptor manual (I), de forma independiente al resto de sensores.
- Asimismo, esta alerta se activará de forma independiente al interruptor manual (I), solo cuando estén simultáneamente activados tanto el sensor de ruido elevado (R) como el sensor de apertura de ventana (V).

Teniendo en cuenta lo indicado:

- a) Refleje la tabla de verdad de la función de activación del rótulo luminoso con las premisas impuestas.
- b) Exprese la función F que activa el equipo, en su forma algebraica.
- c) Halle su función F simplificada
- d) Diseñe el circuito a partir de su función simplificada

- e) Para cada una de las 2 funciones propuestas, dibuje la puerta lógica con sus dos entradas, reflejando tras ello su tabla de verdad y escribiendo un ejemplo didáctico que pueda ilustrar su aplicación.

1. NOR
2. NAND

Solución

- a) Refleje la tabla de verdad de la función de activación del rótulo luminoso con las premisas impuestas.

I	R	V	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

- b) Exprese la función F que activa el equipo, en su forma algebraica.

Existen 2 formas equivalentes de expresar la función en su forma algebraica a partir de la tabla de verdad: mediante suma de productos y mediante producto de sumas.

Suma de productos (se toman los valores de entrada cuando la salida devuelve "1"):

$$F(I,V,R) = \bar{I}RV + \bar{I}\bar{R}\bar{V} + \bar{I}RV + I\bar{R}\bar{V} + IRV$$

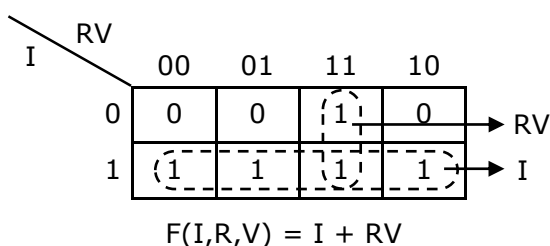
Producto de sumas (se toman los valores de entrada cuando la salida devuelve "0"):

$$F(I,V,R) = (I+R+V) \cdot (I+R+\bar{V}) \cdot (I+\bar{R}+V)$$

- c) Halle su función F simplificada.

Es posible simplificar o minimizar la función lógica "F" de 2 formas: mediante mapas de Karnaugh o aplicando el Álgebra de Boole. Para la función expresada como sumas de productos, se va a simplificar de las 2 formas mientras que, para la función expresada como productos de sumas, solamente se simplificará mediante mapas de Karnaugh.

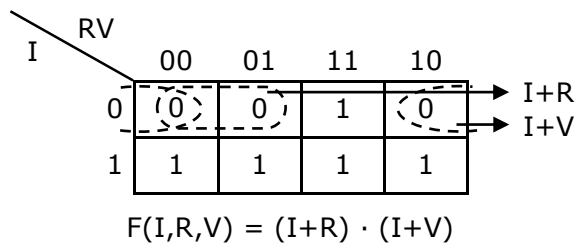
Simplificación de la función expresada como suma de productos mediante Karnaugh:



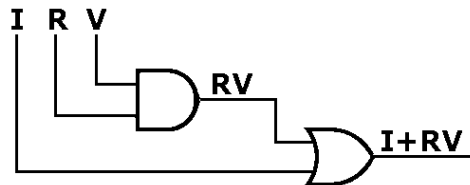
Simplificación de la función expresada como suma de productos mediante el Álgebra de Boole:

$$F(I,R,V) = \bar{I}RV + I\bar{R}\bar{V} + I\bar{R}V + IR\bar{V} + IRV \rightarrow \text{Factor común } I \rightarrow \bar{I}RV + I(\bar{R}\bar{V} + \bar{R}V + R\bar{V} + RV) \rightarrow \\ \text{Factor común } \bar{R} \text{ y } R \rightarrow \bar{I}RV + I[\bar{R}(\bar{V} + V) + R(\bar{V} + V)] \rightarrow \text{Leyes fundamentales} \rightarrow \bar{I}RV + I(\bar{R} \cdot 1 + R \cdot 1) \\ \rightarrow \text{Ley fundamental} \rightarrow \bar{I}RV + I \cdot 1 \rightarrow \text{Absorción (2ª regla)} \rightarrow \mathbf{RV + I}$$

Simplificación de la función expresada como productos de sumas mediante Karnaugh:



d) Diseñe el circuito a partir de su función simplificada.



e) Para cada una de las 2 funciones propuestas, dibuje la puerta lógica con sus dos entradas, reflejando tras ello su tabla de verdad y escribiendo un ejemplo didáctico que pueda ilustrar su aplicación.

1. NOR

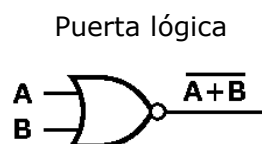


Tabla de verdad

A	B	F
0	0	1
0	1	0
1	0	0
1	1	0

El rótulo luminoso permanecerá encendido hasta que se pulse el interruptor "A" o el interruptor "B", indistintamente.

2. NAND

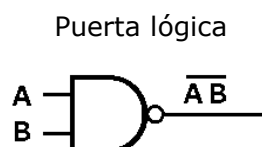


Tabla de verdad

A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

El rótulo luminoso permanecerá encendido mientras no se pulsen ambos interruptores "A" y "B".