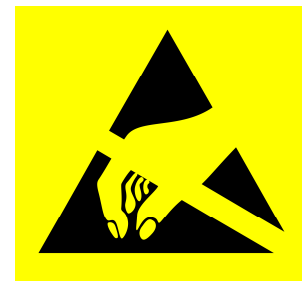




CONTROL DE ESD

OBJETIVOS:

- ☐ Explicar cómo se genera ESD y proveer nociones prácticas
- ☐ Enunciar el impacto de ESD en sistemas electrónicos
- ☐ Explicar los modelos de ESD y las normas asociadas
- ☐ Enunciar técnicas de mitigación de riesgos de ESD



ESD: Descarga electrostática implica transferencia de carga entre cuerpos aislantes a diferente potencial. Puede ocurrir sin evidencia externa aparente, por contacto directo o por campo

Un dispositivo electrónico se declara electrostáticamente sensible si es susceptible a ser dañado durante la manipulación, armado, prueba, operación, transporte o estiba.

EPA: Area bajo protección electrostática, designada aquella en la que pueden manipularse dispositivos electrostáticamente sensibles con un riesgo acotado de daño.

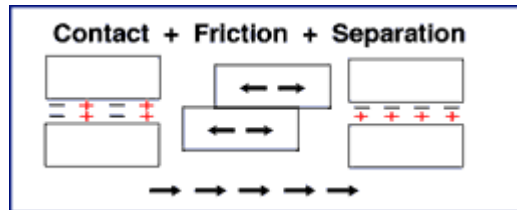




CREACIÓN DE POTENCIAL ELECTROSTÁTICO:

Fenómeno dominante = FRICCIÓN

Influencia de la humedad



> 3000V

> 4000V

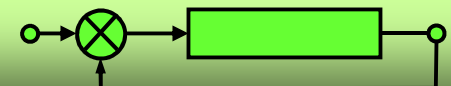
> 5000V

TYPICAL ELECTROSTATIC VOLTAGES*			
EVENT	RELATIVE HUMIDITY		
	10%	40%	55%
Walking across carpet	35,000	15,000	7,500
Walking across vinyl floor	12,000	5,000	3,000
Motions of bench worker	6,000	800	400
Remove DIPs from plastic tubes	2,000	700	400
Remove DIPs from vinyl trays	11,500	4,000	2,000
Remove DIPs from Styrofoam	14,500	5,000	3,500
Remove bubble pack from PCBs	26,000	20,000	7,000
Pack PCBs in foam-lined box	21,000	11,000	5,500

*Source: AT&T ESD Control Handbook-1989

PERCEPCIÓN DE LA DESCARGA ESD

Existen dispositivos que se dañan con apenas 100V , muy por debajo de lo que podemos percibir son los sentidos.



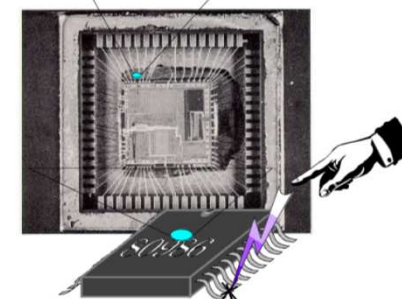
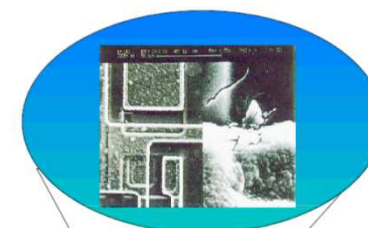
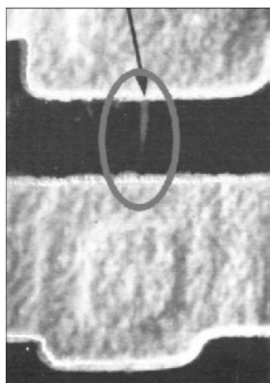


TIPO DE DESCARGA ELECTROSTÁTICA:

- ☐ DESCARGA AL DISPOSITIVO
- ☐ DESCARGA DESDE EL DISPOSITIVO
- ☐ CARGA INDUCIDA DENTRO DEL DISPOSITIVO POR CAMPO EXTERNO

TIPO DE DAÑO POR ESD:

- ☐ FALLA CATASTRÓFICA
 - INMEDIATA
 - PÉRDIDA DE PRODUCCIÓN
 - COSTOS ADICIONALES DE REMEDIACIÓN
- ☐ DEFECTO LATENTE
 - COMPONENTE PARCIALMENTE DAÑADO
 - MÁS COSTOSO / COMPLEJO
 - APROX. 90% DAÑADOS POR ESD
 - EFECTO MULTIPLICATIVO
 - PÉRDIDA DE PRESTIGIO DE MARCAS / VENTAS



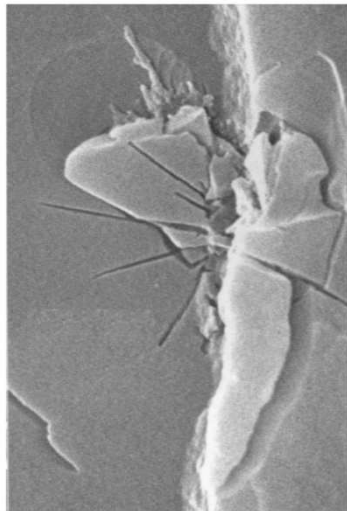


MECANISMOS DE FALLA

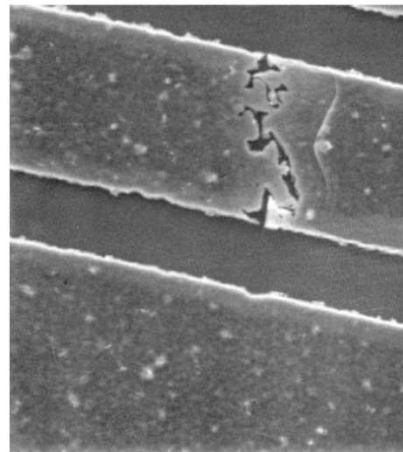
- ❑ RUPTURA DIELECTRICA: PREDOMINANTE EN MOS
- ❑ RUPTURA TÉRMICA: FUSIÓN DE MATERIALES (BONDING, ETC.)



ESPESOR DEL ÓXIDO= 20nm
RIGIDEZ DIELECTRICA= 800MV/m
TENSIÓN DE RUPTURA = 16V



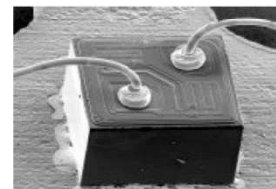
The picture is 5 μm broad
Photo: Nokia Networks



The picture is 40 μm broad
Photo: Nokia Networks

LA RUPTURA TÉRMICA DEPENDE DE LA ENERGÍA DESARROLLADA Y LA VELOCIDAD DE DISIPACIÓN DEL CALOR: DURACIÓN Y FORMA DEL PULSO ESD, AUN A MUY BAJA TENSIÓN, POR DEBAJO DE LA RUPTURA DIELECTRICA

ESCALA DEL PROBLEMA:



- transistor failed by ESD
- discharge energy surge has buried through the weakest point(s) in the oxide layer through to the silicon

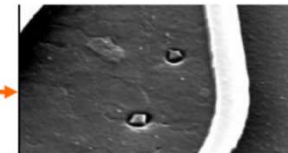
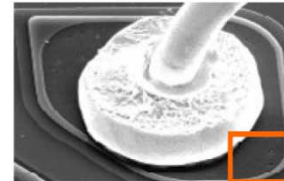
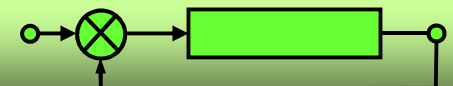


Photo:
Rohm Electronics
Electrostatic Solutions Ltd

DEBIDO A LA DENSIDAD DE INTEGRACIÓN ACTUAL, AÚN LOS TBJ DEVIENEN SENSIBLES A ESD.





EJEMPLOS DE RESULTADOS DE F.A. CON FIRMAS ESD

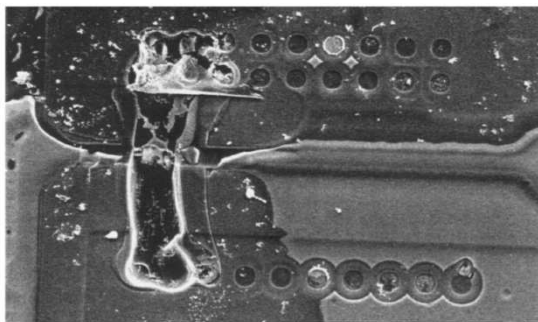


Figure 6: Device X5; Delco and Ford stressing; MM ESD failure signature showing metal melt damage of an NMOS transistor located in the ESD protection circuitry.

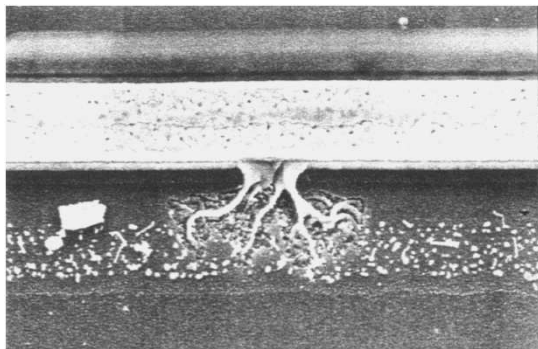


Figure 4: Device X5; Delco stressing; HBM ESD failure signature showing poly-extrusion damage of an I/O pin protection circuitry NMOS transistor. Poly-extrusion damage resulted in shorting of the gate to drain.

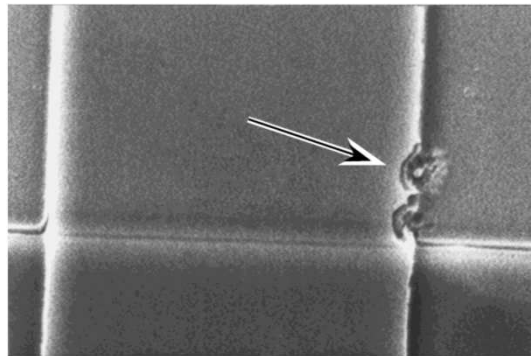


Figure 8: Device X4; Delco and Ford stressing; HBM ESD failure signature showing gate oxide damage of an internal NMOS transistor.

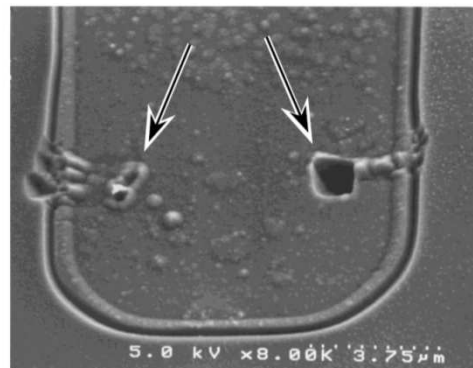


Figure 12: Device X3; Delco stressing; MM ESD failure signature showing contact spiking on an ESD protection circuitry resistor.

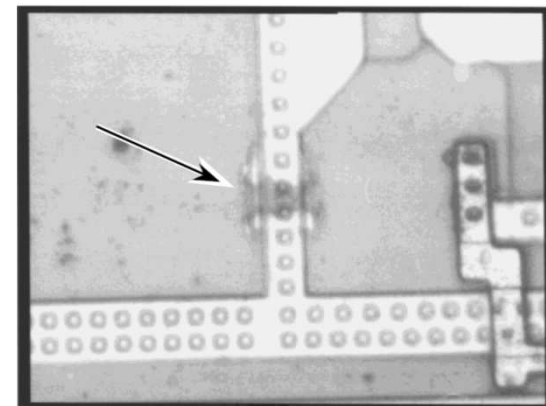


Figure 11: Device X3, Delco and Ford stressing, MM ESD failure signature showing metal burn-out of an ESD protection circuitry Ground runner.

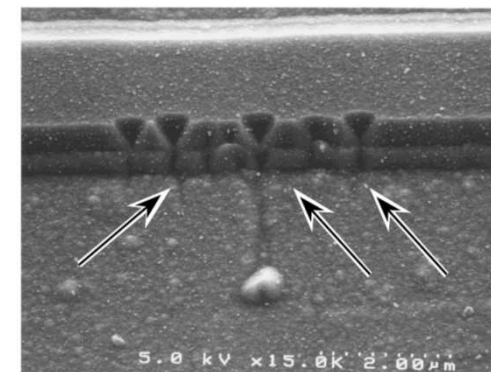
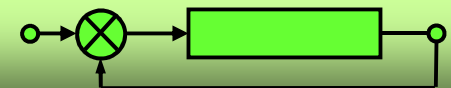


Figure 13: Device X3; Delco stressing; MM ESD failure signature showing gate oxide damage of an ESD protection circuitry NMOS transistor.





DENSIDAD DE ENERGÍA:



DESCARGA
ATMOSFÉRICA

10^9 [J]

10 [Ton]

10 [mJ]

10^{-7} [g]

10^5 [J/g]

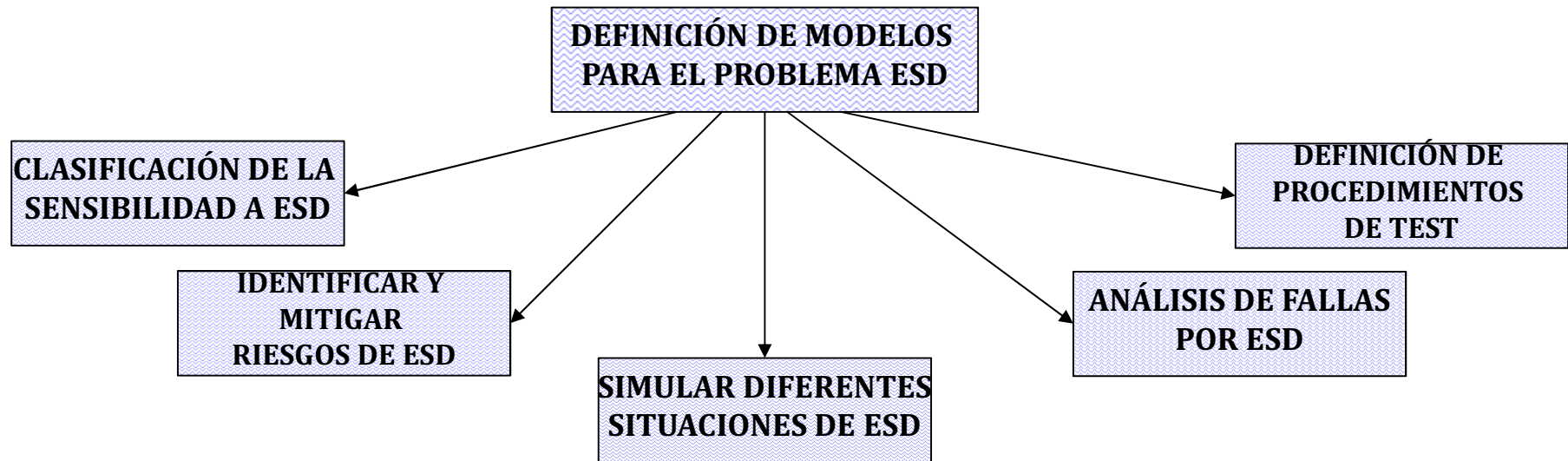


DESCARGA
ELECTROSTÁTICA





SUSCEPTIBILIDAD DE DISPOSITIVOS FRENTE A FENÓMENOS ESD:

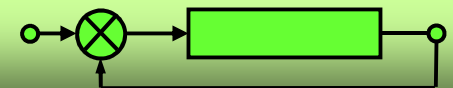


MODELOS DE ESD EMPLEADOS:

- ☐ **HUMAN-BODY MODEL (HBM):** Descarga desde el cuerpo humano, vía dispositivo, hacia tierra
- ☐ **MACHINE MODEL (MM):** Descarga desde ATE o herramienta, vía dispositivo, hacia tierra
- ☐ **CHARGED-DEVICE MODEL (CDM):** Descarga hacia o desde un dispositivo debido a la carga acumulada en sí mismo.

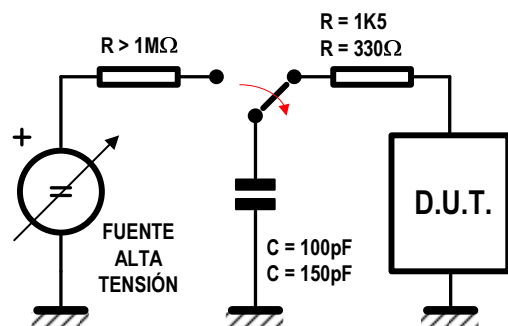
DEFINEN EL TIPO DE DAÑO:

- EVENTOS **HBM** DE ALTA TENSIÓN Y LARGA DURACIÓN => DAÑO POR STRESS DE TENSIÓN EN LA PERIFERIA DEL DIE
- EVENTOS **CDM** DE ALTA CORRIENTE Y CORTA DURACIÓN => DAÑO EN EL CORE DEL DIE INCLUYENDO FALLAS LATENTES

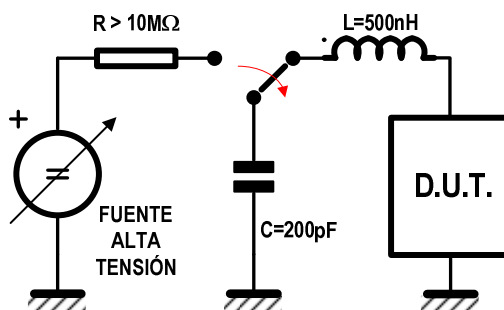




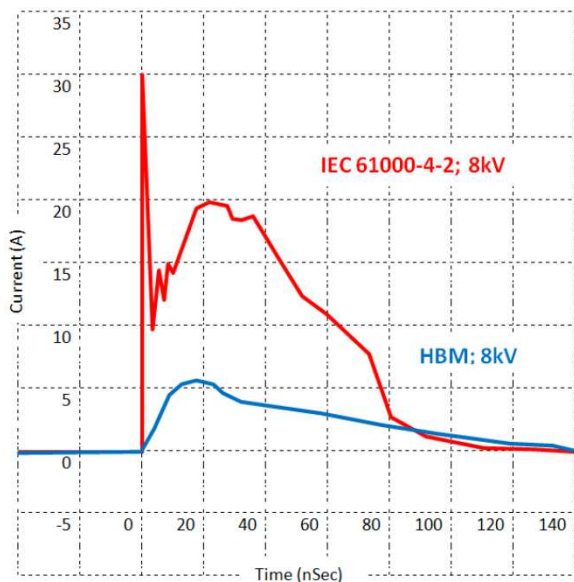
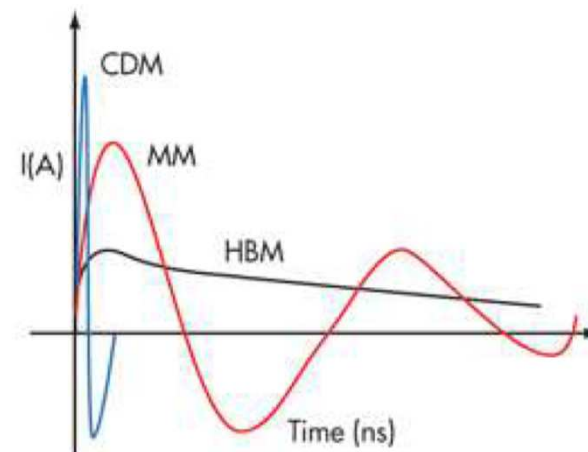
MODELOS DE CLASIFICACIÓN DE ESD:



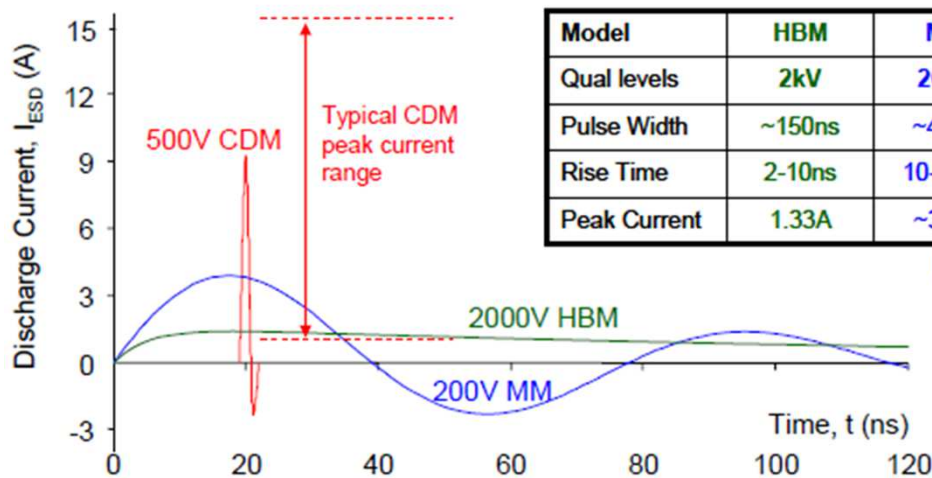
HBM



MM



DEPENDENCIA DEL MODELO CON EL STANDARD



Model	HBM	MM	CDM
Qual levels	2kV	200V	500V
Pulse Width	~150ns	~40ns	~1ns
Rise Time	2-10ns	10-15ns	100-500ps
Peak Current	1.33A	~3.6A	1-16A

[Gieser] (modified)

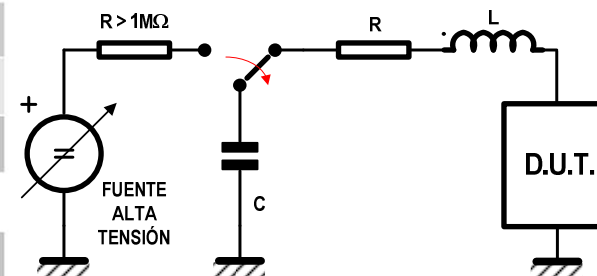
Figure 4: Comparison of current waveforms for CDM, MM, and HBM ESD events.





MODELOS DE CLASIFICACIÓN DE ESD:

Human Body Model		Machine Model		Charged Device Model	
Class 0	<250 V	Class M1	< 100 V	Class C1	< 125 V
Class 1A	250 V to < 500 V	Class M2	100 V to < 200 V	Class C2	125 V to < 250 V
Class 1B	500 V to < 1 kV	Class M3	200 V to < 400 V	Class C3	250 V to < 500 V
Class 1C	1 kV to < 2 kV	Class M4	≥ 400 V	Class C4	500 V to < 1 kV
Class 2	2 kV to < 4 kV	---	---	Class C5	1 kV to < 1.5 kV
Class 3A	4 kV to < 8 kV	---	---	Class C6	1.5 kV to < 2 kV
Class 3B	≥ 8 kV	---	---	Class C7	≥ 2 kV



ESD Models	Z_D	R_C	C_D	L_D	E_S in μJ	5τ in ns	P_{ave} (W)	I_{PS}
$V_c = 1000 V$	Typ.#	Req #	Req #	Typ #	$\frac{1}{2}CV^2$	$5R_e C$	E/τ_{eff}	V/R_e
HBM	0	1500	100	0	50	750	~67	0.67
MM	55	2	200	5.0E-07	100	160	625	17.5
CDM	42	25	15	1.0E-08	7.5	5	>750	15

HBM: Menor potencia en mayor tiempo.

Produce el mayor daño por calor al dispositivo.

Se presenta donde el campo eléctrico es mayor

MM: Libera ~10X la potencia HBM en un quinto del tiempo.

Las oscilaciones causan multiples fallas pero menos daño por calor

Las tensiones son 10...30% de HBM.

CDM: Fenómeno muy rápido.

Entrega la mayor potencia al dispositivo.

El daño ocurre en el core del dispositivo en area muy pequeña
Muy difícil de detectar.

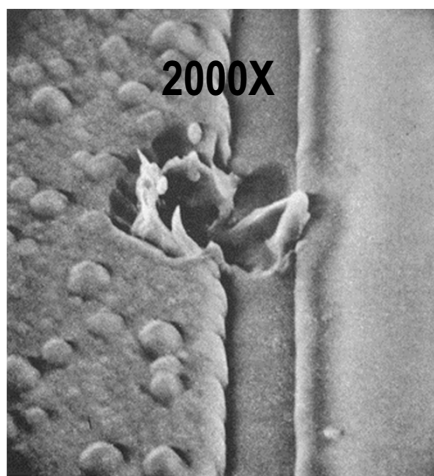
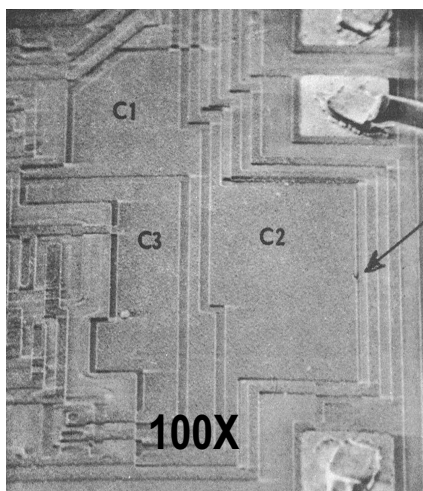
Los fabricantes de IC calculan 90% de las fallas en campo por CDM

Reference: Device Technology and FA Overview ESDA Tutorial
2005 by Leo G. Henry: leogesd@ieee.org

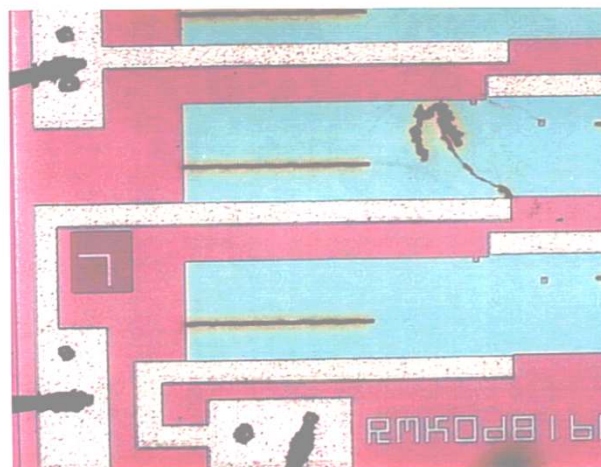
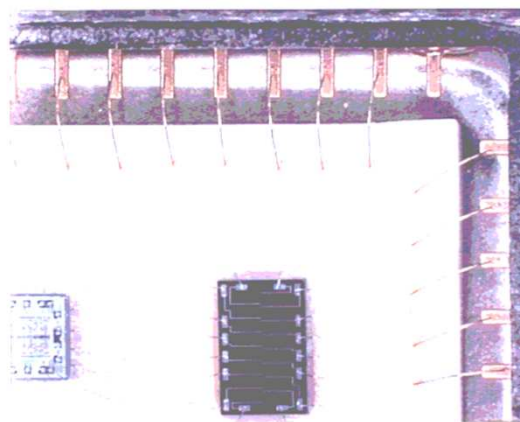




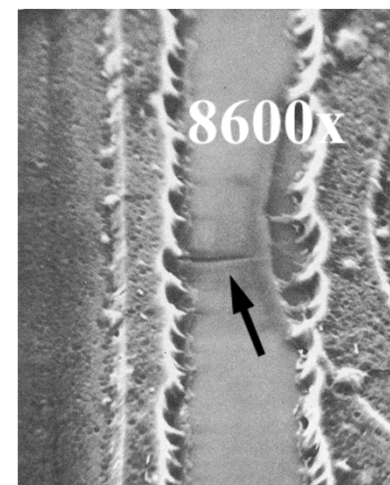
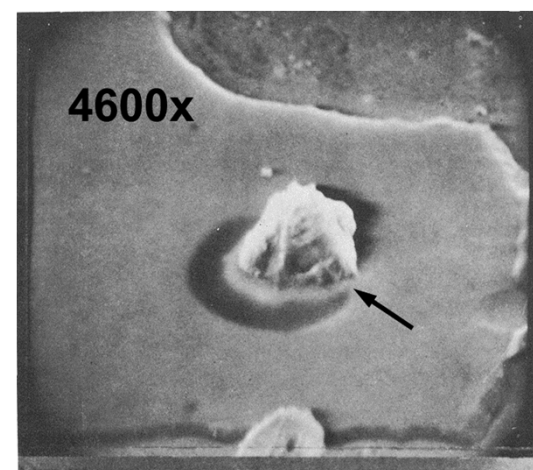
**FALLAS COMPATIBLES
CON HBM:**



**FALLAS COMPATIBLES
CON MM:**



**FALLAS COMPATIBLES
CON CDM:**

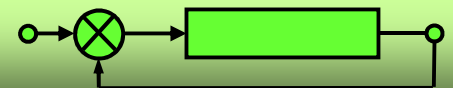




LA EVOLUCIÓN DE LA SUSCEPTIBILIDAD A ESD...

GEOMETRÍAS MÁS PEQUEÑAS => MAYOR CAMPO ELÉCTRICO PARA UNA DADA TENSIÓN ESD
ELIMINACIÓN DE LAS PROTECCIONES ESD ON-CHIP => LA PROTECCIÓN ES EXTERNA AL DISPOSITIVO
CAMBIOS EN LAS APLICACIONES => PUERTOS (USB, ETC.) EXPUESTOS AL HBM (CELL, TABLETS, ETC.)

- **“CLASS 0” CLASIFICA UN IC COMO EXTREMADAMENTE SENSIBLE**
- **LA MAYORÍA DE LOS IC'S COMPLEJOS SOPORTAN “CLASS 0” HBM (<250V)**
- **LIMITAR INTERNAMENTE LOS IC'S PARA ESD AUMENTA EL COSTO Y REDUCE LA VELOCIDAD**



- LÁMINAS DISIPATIVAS DE BANCO
- ANKLE / WRIST STRAPS
- GUARDAPOLVOS / GUANTES DISIPATIVOS
- IONIZADORES
- PISOS CONDUCTIVOS
- SOLDADORES CON PUESTA A TIERRA
- RECIPIENTES / BOLSAS / BINS CONDUCTIVOS
- TRANSPORTE FUERA DEL EPA EN BINS CONDUCTIVOS

