Universidad Nacional de Mar del Plata Facultad de Ingeniería

Proyecto: SELFIE

Carrera: Ingeniería Electrónica

PLAN DE PRUEBAS

Alcance

El siguiente plan de pruebas abarca desde las pruebas individuales de los módulos, hasta las pruebas finales de aceptación del instrumento como un conjunto.

Ambientes de prueba

Los ambientes de prueba fueron tres:

- PC.
- PC + Sensor Aptina + FPGA.
- PC + Sensor Aptina + FPGA + Piedra de Americio 241.

Recursos, herramientas e instrumentos

- Placa de desarrollo Zedboard.
- PC.
- Sensor Aptina MTM9001.
- Piedra de Americio 241.
- Contenedor oscuro.
- Lente.

Políticas de trabajo

Las pruebas que se puedan realizar solo con el uso de la PC, se podrán realizar tanto en el Laboratorio de Sistemas Caóticos como en el hogar de los alumnos, comunicándose de por medio.

El resto de ellas serán desarrolladas en las instalaciones del Laboratorio, ya que requieren el uso de la FPGA y el sensor Aptina.

Por otro lado, para aquellas que requieran la manipulación de la piedra de Americio, solo uno de los alumnos manipulará la fuente de radiación y no tocará nada más, mientras que el otro se encargará del manejo de la PC. Cada vez que sea manipulada, el estudiante deberá lavarse las manos de manera exhaustiva sin tocar nada más, para ello el otro alumno abrirá las puertas y la canilla para el lavado. Una vez finalizado el uso de la piedra, deberá guardarse en el recipiente y caja correspondiente.

Estrategia de Comunicación

Los resultados de las pruebas se comunicarán en reuniones con los directores de tesis Maximiliano Antonelli y Claudio Marcelo González, y con los investigadores del Laboratorio de Bajas Temperaturas del Instituto Balseiro, Martín Pérez y José Lipovetzky.

مانيات	C. C	Tino de Brusha	Dozadimianto	Decider across a	Instrumental	Gorba de Drieha Observaciones	Ohearvacionae	Decultados obtanidos
i2cmaster		Unitaria	Leer registro 0x00.	La lectura del registro 0x00 debe devolver el	FPGA	15/02/20		Acorde a lo esperado
			Escribir los valores de gnancia 0x01, 0x08 y 0x15 en el registro 0x35. Leer el registro de ganancia una vez que se escribió un valor. Poner en alto el bit 6 del registro 0x07 para que el sensor entregue la imagen de pruebas.	valor 0.9843. Et valor escrito en el registro de ganancia debe El valor escrito en el registro de ganancia debe conricifica con el valor leido. La imagen obbenda con el sensor en modo de prinebas debe estar formada por franjas negas y blancas verticales.				
Interfaz de usuario	Comunicación con la FPGA y modos de funcionamiento	Unitaria	Conectase por puerto UART. Escribir y ee registros. Capturar innegenes con un lente que serán transferidas por DMA a la computadora. Enviar innégenes por GPIO. Crear imágenes e histograma.	Conectarse y desconectarse correctamente de la UART. The UART. The Control of the Control of the Realizar mevamente los procedimientos de la prube a 1 y debrete ris salidaris indicadas. In the 1 procedor of the Control of the colocado encina del sensor. La imagen en buda por GBI o y ceitolida esta misma. The In reconstrucción de imágenes no hay pixeles fest orrectacion de infagenes no hay pixeles descorrectacion de infagenes no hans distos son concretamente agrupados cuando se modifica el bineado.	FPGA Vivado SDK Vivado SDK	15/10/21		Acorde a lo esperado
Algoritmo de detección ideal	3 Verificación de detección de eventos	Unitaria	Generar imagenes arbitrarias de SAS, 10x10 y 23x2S. Luego, envlar imagenes de irradiadones.	La cantidad de eventos y la intensidad de la imagen generada y lo reportado por el algoritmo coinciden.	IDE/Consola	10/07/20		Acorde a lo esperado
Algoritmo de detección real	4 Verificación de detección de eventos	Unitaria	Generar imagenes arbitrarias de S.K.5, 10x10 y 25x25. Verificar manualmente si el resultado es correcto. Luego, carvair imagenes de irradiaciones.	La cantidad de eventos y la intensidad de la imagen generada y lo reportado por el algoritmo coinciden.	IDE/Consola	20/02/21		Acorde a lo esperado
Algoritmo de detección real	5 Verificación de pixeles muertos	Unitaria	Procesar las imágenes de irradiaciones y obtener los pixeles muertos tomando como pixeles muertos a aquellos pixeles que quedan entendrados comparando a bi imagena naterior. Luego, procesar las imagenes de irradiaciones tomando como pixeles muertos a aquellos pixeles que quedan encendidos y no tienen otros pixeles encendidos a su alrededor.	La cantidad de pixeles muertos reportados por ambos métodos debe coincidir.	IDE/Consola	18/08/21		Acorde a lo esperado
Detector	6 Verificación de detección de eventos	Unitaria	Generar imagenes arbitrarias de SAS, 10x10 y 2xx25. Luego, envlar imagenes de irradiaciones, envlandolas en formato serie de 8 bits.	La cantidad de eventos y la intensidad de las imagenes reportadas por el bloque detector deben coincidir con lo reportado por el algoritmo de detección real.	FPGA Vivado	30/08/21		Problemas con el reset, las variables static no se reinician con el reset del bloque. Se solucionó con una instrucción pragma.
Detector	7 Tiempo de procesamiento	Unitaria	Enviar imágenes ar bitrarias de Sx5, 10x.10, 25x.25 e imágenes de irradiaciones de 480x.720 y 12.88x.024. Andrar tiempos de descarte de pixeles por debajo del umbral, tiempos de procesamiento de eventos con varios pixeles y tiempo total. Probar leves modificaciones al HISy volver a probar iterando.	Los tiempos de procesamiento de ben bajar con cada iteración.	FPGA Vivado	24/5/2021 al 16/6/2021	Proceso iterativo.	La herramienta reportaba 20.44 W de consumo de potencia, resultado de un mai ruteo del clock. Una vez arregiado, los resultados fueron acordes a lo esperado.
Generador de histograma	8 Generación de histogramas	Unitaria	Generar arrays arbitrarios de tamaño e intensidad y enviarlos en formato serie de 8 bits.	El histograma enviado y el reportado por el bloque deben coincidir.	FPGA Vivado	31/08/21		Problemas con el reset, las variables static no se reinician con el reset del bloque. La solución hecha en el detector no es implementable porque ocupa 99% de LUTs, se utilizó un for loop para limpiar las posiciones.
Generador de histograma	9 Verificación de píxeles muertos	Unitaria	Erwiar imågenes de irradiaciones.	En las primeras 2ºumbral posiciones del histograma debe haber datos de los píxeles muertos.	FPGA Vivado	29/06/21		Acorde a lo esperado
Detector, generador de histograma y FIFOs	 Detección de eventos y generación de histograma 	Integral	Utilizar its mismas imagenes de las pruebas 4 y 5, enviar los datos de los pixeles en formato serie de 8 bits, primero enviar de a una imagen, luego enviar de a dos. Enviar imágenes de: 5x5, 10x10, 25x25, 480x720 y 1280x1024	El histograma generado debe coincidir con lo acilculado, para las pruebas de imágenes pequeñas, y con lo obtenido mediante el procesamiento en Python, para las imágenes más grandes.	FPGA Vivado	30/06/21		Acode a lo esperado
Self Start (SS)	11 Transición de estados y generación de señales	Unitaria	Enviar las señales y pulsos correspondientes para los camblos de estado.	Los cambios de estado se producen cuando corresponde y las señales de salida tienen los valores correctos.	FPGA Vivado	11/08/21		Acorde a lo esperado
Sincronizador de datos (SYNC)	12 Sincronización de datos de entrada	Unitaria	Enviar sefiales de entrada.	2 ciclos de clocks después debe aparecer el cambio en la salida	FPGA Vivado	09/09/21		Acorde a lo esperado
Capture Input Controller (CIC)	1.3 Transición de estados y generación de señales	Unitaria	Erviar las señales y pulsos correspondientes para los cambios de estado. Verificar que estos cambios se producen y que las señales de salida tienen bs valores correctos	Los cambios de estado del bloque se producen cuando corresponde y las señales de salida tienen los valores correctos.	FPGA Vivado	26/08/21	ı	Acorde a lo esperado
Pix Pulse Valid Generator (PPVG)	14 Generación del pulso para escribir la FIFO	Unitaria	Ingresar con un clock a 100 MHz y una señal a 10 MHz.	Se genera un pulso de 10ns (1 clock) cada vez que llega un pulso de frecuencia 10 MHz	FPGA Vivado	25/08/21		Acorde a lo esperado
Auto Mode Logic Controller (AMLC)	15 Transición de estados y generación de señales	Unitaria	Erwar las señales y pulsos correspondientes para los camblos de estado.	Los cambios de estado del bloque se producen cuando corresponde y las señales de salida tienen los valores correctos.	FP GA Vivado	11/08/21		Acorde a lo esperado
Auto Mode Controller (AMC): AMLC, PPVG, CIC, SYNC	16 Transición de estados y generación de señales	Integral	Erwiar las señales y pulsos correspondientes para los camblos de estado.	Los cambios de estado del bloque se producen cuando corresponde y las señales de salida tienen los valores correctos.	FPGA Vivado	15/10/21		Acorde a lo esperado
tvalid_fsm	17 Generación de las señales tvalid, tkeep, tlast y tdata para el módulo data_to_axi	Unitaria	Enviar 1310720 pulsos a 10 MHz con una frecuencia de clock de 100 MHz.	Verificar que tlast se genere en el último pulso.	FPGA Vivado	02/09/21		Acorde a lo esperado
Debug Mode Controller (DMC): tvalid_fsm, tvalid_counter, data_to_axi e i2cmaster	18 Lectura de datos y generación de señales	Unitaria	Enviar las señales y pukos correspondientes para los cambios de estado.	Verificar que los cambios de estado se producen, que las señales de salida tienen los valores correctos y que se leen los datos enviados desde el Vivado SDK.	FP.GA Vivado Vivado SDK	23/09/21		Acarde a lo esperado
SELFIE	 Funcionamiento del detector, generador de histograma 	Integral	Enviar imágenes desde la interfaz para verificar el correcto procesamiento de imágenes.	El histograma de la imagen enviada y el histograma reportado por el instrumento deben coincidir.	FPGA Vivado Vivado SDK Interfaz	15/10/21		Acorde a lo esperado
SELFIE	20 Captura y procesamiento de eventos	Homologación		Observor que se forma una gaussiana y, a medida que la gananda disminuy. Se corre hecia la siquierda. Observor que la cantidad de pixeles muertos después de irradiar sea mayor a antes de irradiar.	FPGA Vivado Vivado SDK Interfaz Piedra de americio Contenedor oscuro	06/11/21	Para la generación de eventos se utilizó una piedra de Am241	Acorde a lo esperado
SELFIE	 Captura y procesamiento de eventos para particulas gamma 	Homologación	1 - Cubrir el sensor con una servivieta y colocar la piedra de americo sobre ella. 2- Configurar la ganancia en x1.5. 3- Dejar capturando al instrumento por 24 horas y construir histograma.	Se debe obtener un histograma de intensidades con ma concentración de eventos para intensidades bajas.	FPGA Vivado Vivado SDK Interfaz Pledra de americio Contenedor oscuro	13/11/21	Para la generación de eventos se utilizó una piedra de Am241	No se pudo finalizar. Los archivos del SDK de Xilinx se corrompen a las 3 horas aproximadamente.