

UNIVERSIDAD MAYOR DE SAN SIMÓN  
FACULTAD DE CIENCIAS Y TECNOLOGÍA  
DEPARTAMENTO DE ELÉCTRICA-ELECTRÓNICA

**LABORATORIO DE ELECTRÓNICA ANALÓGICA I**  
**INFORME No. 3**

**AMPLIFICACIÓN DE SEÑAL  
CON TRANSISTORES BJT Y FET**

**Estudiante:**  
Caballero Burgoa, Carlos Eduardo.

**Carrera:**  
Ing. Electromecánica.

**Docente:**  
Ing. Alberto Arispe Santander.

**Grupo:** 1B.  
**Fecha de entrega:** 10 de Diciembre del 2024.



# Índice general

1.	Introducción . . . . .	3
2.	Objetivos . . . . .	3
3.	Operación del transistor . . . . .	3
3.1.	BJT . . . . .	3
3.1.1.	Curva característica . . . . .	4
3.1.2.	Transistor 2N2222A . . . . .	5
3.1.3.	Medición de transistores . . . . .	5
3.2.	FET . . . . .	8
3.2.1.	Curva característica . . . . .	9
3.2.2.	Transistor 2N3819 . . . . .	10
3.2.3.	Medición de transistores . . . . .	10
4.	Polarización en cd . . . . .	12
4.1.	BJT . . . . .	12
4.1.1.	Divisor de voltaje . . . . .	12
4.1.2.	Criterios de diseño . . . . .	12
4.1.3.	Voltaje de alimentación . . . . .	13
4.1.4.	Resistencias disponibles . . . . .	13
4.1.5.	Calculo computarizado . . . . .	13
4.1.6.	Resultados del calculo computarizado . . . . .	15
4.1.7.	Simulación de computadora . . . . .	15
4.1.8.	Placa de prueba . . . . .	16
4.1.9.	Valores de polarización . . . . .	16
4.2.	FET . . . . .	17
4.2.1.	Divisor de voltaje . . . . .	17
4.2.2.	Criterios de diseño . . . . .	18
4.2.3.	Voltaje de alimentación . . . . .	18
4.2.4.	Resistencias disponibles . . . . .	19
4.2.5.	Calculo computarizado . . . . .	19
4.2.6.	Resultados del calculo computarizado . . . . .	20
4.2.7.	Simulación de computadora . . . . .	20
4.2.8.	Placa de prueba . . . . .	20
4.2.9.	Valores de polarización . . . . .	22
5.	Analisis en CA . . . . .	22
5.1.	BJT . . . . .	22
5.1.1.	Calculo de los parámetros del amplificador . . . . .	23
5.1.2.	Placa de pruebas . . . . .	24
5.2.	FET . . . . .	25

5.2.1.	Calculo de los parámetros del amplificador . . . . .	25
5.2.2.	Placa de pruebas . . . . .	26
6.	Respuesta en frecuencia . . . . .	26
6.1.	BJT . . . . .	27
6.1.1.	Calculo de los capacitores del amplificador . . . . .	27
6.1.2.	Simulación de computadora . . . . .	28
6.2.	FET . . . . .	29
6.2.1.	Calculo de los capacitores del amplificador . . . . .	29
6.2.2.	Simulación de computadora . . . . .	29

## 1. Introducción

Dos tipos básicos de transistores son el transistor de unión bipolar (BJT, *bipolar junction transistor*) y el transistor de efecto de campo (FET, *field-effect transistor*, estos transistores pueden usarse como amplificadores de una señal eléctrica.

Un amplificador es un dispositivo que tiene la capacidad de aumentar la fuerza de una señal, aumentando también su amplitud sin cambiar las demás características de dicha señal.

Para la construcción de un amplificador de señal deben considerarse los siguientes aspectos:

- Calculo de los parámetros del transistor.
- Polarización del transistor y calculo del punto de operación en cd.
- Analisis en ca.
- Analisis de la respuesta en frecuencia del amplificador.

Este documento detalla los conceptos necesarios, los cálculos, las mediciones, las simulaciones y el montaje en una placa de prueba del amplificador de señal haciendo uso del transistor BJT tipo npn 2N2222A y del transistor JFET canal n 2N3819. Así como el montaje de amplificadores en etapas múltiples.

## 2. Objetivos

- Calcular los parámetros para transistores BJT y FET.
- Calcular los puntos de operación en cd para los transistores BJT y FET.
- Amplificar un señal de CA con los transistores BJT y FET.
- Analizar la respuesta en frecuencia de un amplificador para transistores BJT y FET.
- Conectar múltiples amplificadores para transistores BJT y FET.

## 3. Operación del transistor

### 3.1. BJT

El transistor BJT se construye con tres regiones semiconductoras, separadas por uniones *pn*, las tres regiones se denominan **emisor**, **base** y **colector**. Un tipo se compone de dos regiones *n* separadas por una región *p* (*npn*) y el otro tipo consta de dos regiones *p* separadas por una región *n* (*pnp*) como se muestra en la **figura 1** junto a sus símbolos esquemáticos [2].

Cuando se conecta un transistor BJT a voltajes de polarización de cd, como se muestra en la **figura 2**,  $V_{BB}$  polariza en directa la unión base-emisor y  $V_{CC}$  polariza en inversa la unión base-colector.

Una reducción de la polarización en directo base-emisor provoca que la corriente a través del transistor se reduzca en forma considerable. Por otra parte, al incrementar la polarización en directo de la unión base-emisor reduce la barrera de potencial y se permite el flujo de corriente a través del transistor [3].

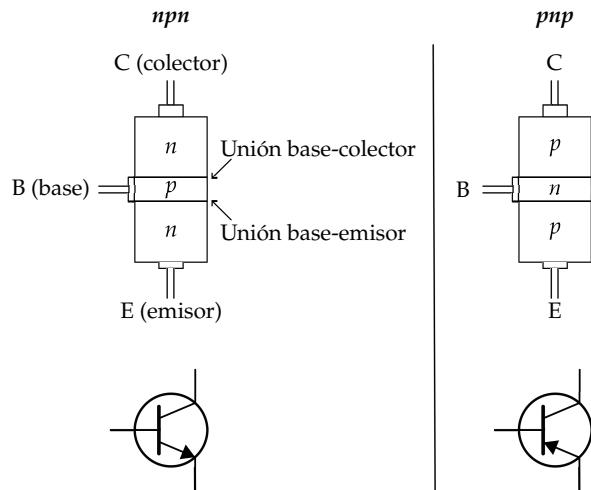


Figura 1: Tipos de transistores BJT y sus símbolos estándar.

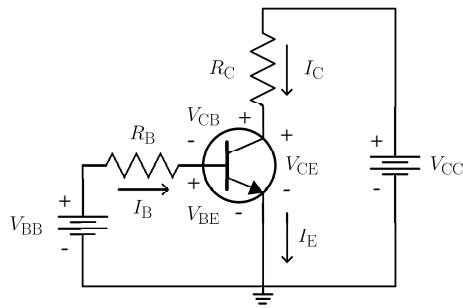


Figura 2: Circuito de polarización de cd del transistor npn.

El transistor de unión bipolar presenta ganancia de corriente, lo cual se puede utilizar para amplificar señales, la **ganancia** de corriente de cd de un transistor es el cociente de la corriente de cd del colector ( $I_C$ ) entre la corriente de cd de la base ( $I_B$ ) y se expresa como **beta** de cd ( $\beta_{CD}$ ).

$$\beta_{CD} = \frac{I_C}{I_B}$$

Existen inconvenientes en el diseño debido a las variaciones de  $\beta$  por los cambios de corriente en el transistor. Además, durante la fabricación del transistor, se producen variaciones en el valor de beta dentro de un mismo lote de producción. Por tanto, dos transistores fabricados al mismo tiempo tendrán diferentes valores de  $\beta$ , aun en los mismos niveles de corriente [3].

Cuando la unión base-emisor se polariza en directa, opera como un diodo polarizado en directa y la caída de voltaje con polarización en directa nominal es:

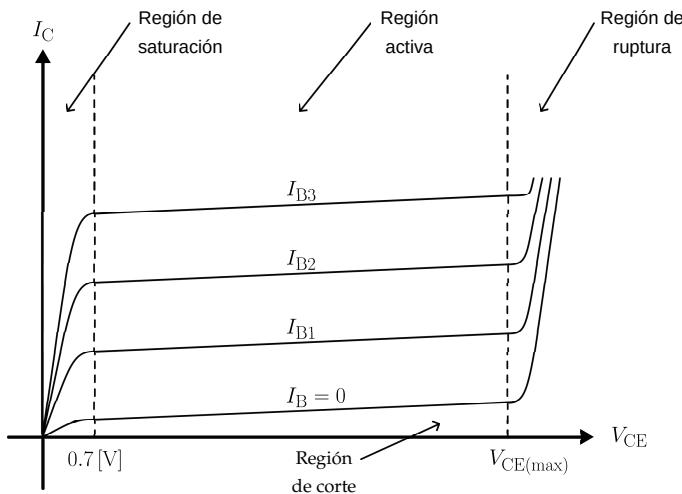
$$V_{BE} \cong 0.7[V]$$

### 3.1.1. Curva característica

Como el transistor es un dispositivo no lineal, una forma de definir su operación es usar una serie de curvas características que muestren como varía la corriente en el colector,  $I_C$ , con el

voltaje en el colector con respecto al emisor,  $V_{CE}$ , con valores especificados de corriente de base,  $I_B$  como puede verse en la **figura 3**.

Puede distinguirse la región activa, en esta región el transistor se encuentra activado. En este modo de trabajo el voltaje que hay entre el emisor y el colector ( $V_{CE}$ ) se encuentra entre las regiones de saturación y corte. La corriente de colector ( $I_C$ ) depende principalmente de la corriente de base ( $I_B$ ), en esta región el transistor puede funcionar como amplificador de señales.



**Figura 3:** Familia de curvas  $V_{CE}$  contra  $I_C$  para varios valores de  $I_B$ .

Un BJT, como cualquier otro dispositivo electrónico, tiene limitaciones en su operación. Estas limitaciones se establecen en la forma de valores nominales máximos y normalmente vienen especificadas en la hoja de datos del fabricante. Típicamente se dan valores nominales máximos de voltaje en el colector con respecto a la base, voltaje en el colector con respecto al emisor, voltaje en el emisor con respecto a la base, corriente en el colector y disipación de potencia.

El producto de  $V_{CE}$  e  $I_C$  no debe exceder la disipación de potencia máxima. Tanto  $V_{CE}$  como  $I_C$  no pueden ser máximos al mismo tiempo. Si  $V_{CE}$  es máximo,  $I_C$  se calcula como:

$$I_C = \frac{P_{D(\text{máx})}}{V_{CE}}$$

### 3.1.2. Transistor 2N2222A

Para la construcción del amplificador se utilizará el transistor BJT tipo *npn* **2N2222A**; la hoja de datos de este transistor se detalla en el **cuadro 1** [4].

### 3.1.3. Medición de transistores

Como se mencionó anteriormente la ganancia de los transistores BJT varían en un intervalo amplio, por lo cual es recomendable medir individualmente cada uno, para los cálculos del amplificador.

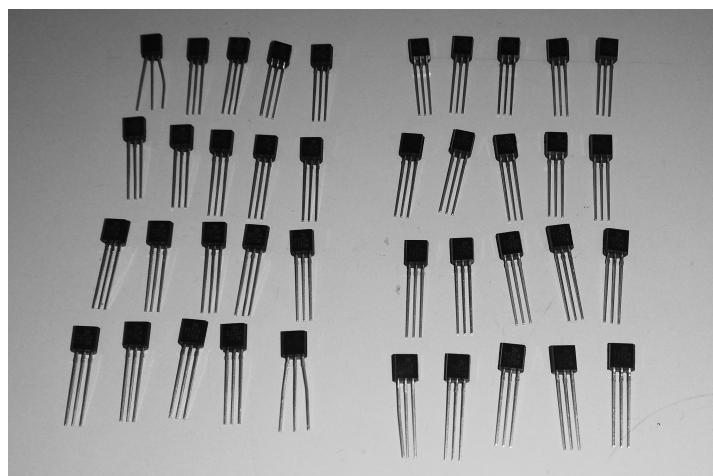
Se cuenta con un lote de 40 transistores 2N2222A como puede verse en la **figura 4**. Las ganancias ( $h_{FE}$ ) medidas con un multímetro en los transistores se detallan en el **cuadro 2**.

Valores nominales absolutos máximos				
Símbolo	Parámetro	Valor	Unidades	
$V_{CEO}$	Voltaje en colector-emisor	40	$V$	
$V_{CBO}$	Voltaje en colector-base	75	$V$	
$V_{EBO}$	Voltaje en emisor-base	6.0	$V$	
$I_C$	Corriente en el colector	600	$mA$	
$P_D$	Disipación total del dispositivo	625	$mW$	
Características eléctricas (apagado)				
Símbolo	Parámetro	Mín.	Máx.	Unidades
$V_{BR(CEO)}$	Voltaje de ruptura en colector-emisor	40	—	$V$
$V_{BR(CBO)}$	Voltaje de ruptura en colector-base	75	—	$V$
$V_{BR(EBO)}$	Voltaje de ruptura en emisor-base	6.0	—	$V$
$I_{CEX}$	Corriente de corte en el colector	—	10	$nA$
$I_{CBO}$	Corriente de corte en la base	—	10	$nA$
$I_{EBO}$	Corriente de corte en el emisor	—	10	$nA$
Características eléctricas (encendido)				
Símbolo	Parámetro	Mín.	Máx.	Unidades
$h_{FE}$	Ganancia de corriente en CD			—
	$I_C = 0.1mA, V_{CE} = 10V$	35	—	
	$I_C = 1.0mA, V_{CE} = 10V$	50	—	
	$I_C = 10mA, V_{CE} = 10V$	75	—	
	$I_C = 150mA, V_{CE} = 10V$	100	300	
	$I_C = 500mA, V_{CE} = 10V$	40	—	
$V_{CE(sat)}$	Voltaje de saturación en colector-emisor			$V$
	$I_C = 150mA, I_B = 15mA$	—	0.3	
	$I_C = 500mA, I_B = 50mA$	—	1.0	
$V_{BE(sat)}$	Voltaje de saturación en base-emisor			$V$
	$I_C = 150mA, I_B = 15mA$	—	1.2	
	$I_C = 500mA, I_B = 50mA$	—	2.0	

**Cuadro 1:** Hoja de datos parcial 2N2222A.

La distribución de frecuencias se muestra en la **figura 5**; de los cuales se escogieron los tres transistores con mayor valor de ganancia.

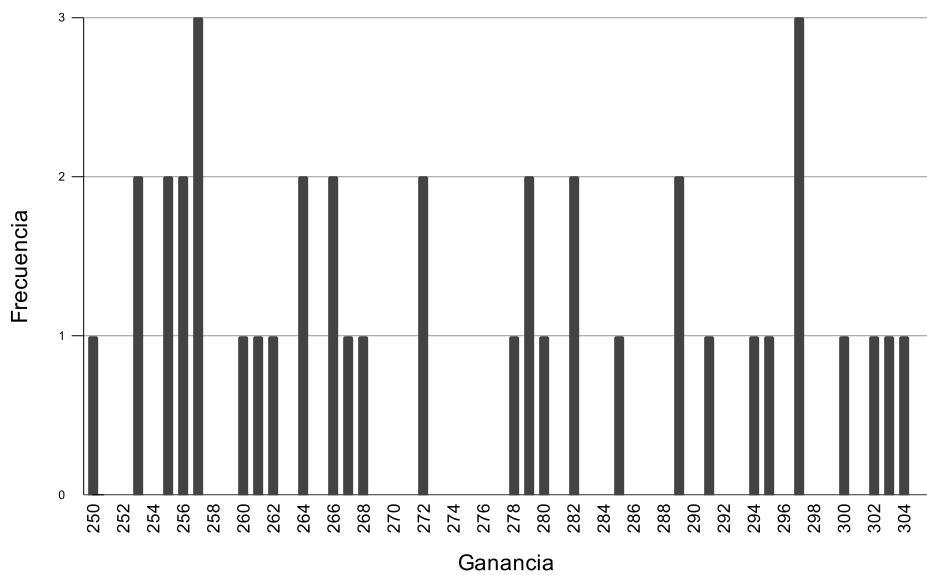
Por tanto, los transistores a utilizar tienen los parametros descritos en el **cuadro 3**.



**Figura 4:** Lote de transistores 2N2222A.

$h_{FE}$									
253	256	297	302	304	264	282	250	279	257
253	255	289	261	272	282	294	260	264	297
303	297	280	278	257	255	266	300	295	291
272	279	262	266	256	285	257	267	289	268

**Cuadro 2:** Valor de ganancia medido de cada transistor del lote.



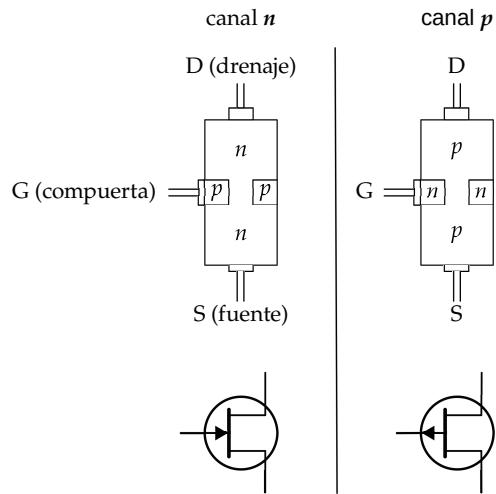
**Figura 5:** Distribución de frecuencia de ganancias de los transistores.

No.	$h_{FE}$	$V_{BE} [V]$
1	302	0.675
2	303	0.676
3	304	0.676

**Cuadro 3:** Valores  $h_{FE}$  y  $V_{BE}$  medidos en los transistores.

### 3.2. FET

El transistor JFET (transistor de efecto de campo de unión) es un tipo de FET que opera con una unión *pn* polarizada en inversa para controlar corriente en un canal. Según su estructura, los JFET caen dentro de cualquiera de dos categorías, de canal *n* o de canal *p*. Cada extremo del canal tiene una terminal; el **drenaje** se encuentra en el extremo superior y la **fuente** en el inferior. Se forma un canal donde se conecta la terminal de la **compuerta** como se muestra en la **figura 6** junto a sus símbolos esquemáticos [2].

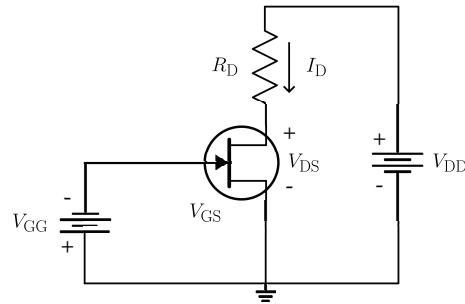


**Figura 6:** Tipos de transistores JFET y sus símbolos estándar.

Ambos tipos de FET se controlan por una tensión entre la compuerta y la fuente. La fuente y el drenaje de un FET se pueden intercambiar sin afectar la operación del transistor.

Cuando se conecta un transistor JFET a un circuito, como se muestra en la **figura 7**, se aplica una fuente de tensión  $V_{DD}$  al drenaje (análoga a la fuente de tensión  $V_{CC}$  para el BJT) y se envía a tierra. Una fuente de tensión de compuerta  $V_{GG}$  se aplica a la compuerta (análoga a  $V_{BB}$  para el BJT).

$V_{DD}$  proporciona una tensión drenaje a fuente  $V_{DS}$  que provoca una corriente de drenaje  $I_D$  del drenaje a la fuente. La corriente de drenaje  $I_D$  que es idéntica a la corriente de fuente, existe en el canal rodeado por la compuerta de tipo *p*. La tensión compuerta a fuente  $V_{GS}$  que es igual a  $-V_{GG}$  crea una región desértica en el canal que reduce el ancho de este y por tanto aumenta la resistencia entre drenaje y fuente. Como la unión compuerta-fuente esta polarizada en inverso, el resultado es una corriente de compuerta nula [3].



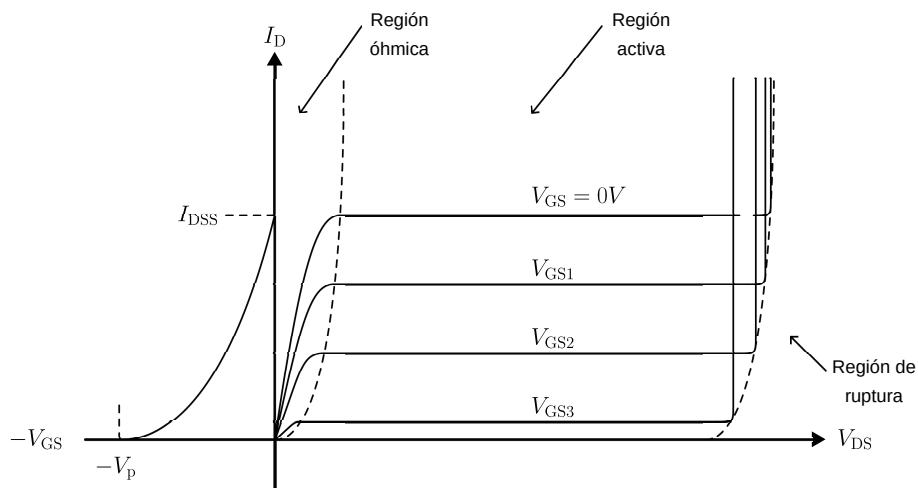
**Figura 7:** Circuito de polarización de cd del transistor canal *n*.

Cuando se incrementa  $V_{DS}$  también aumenta la corriente de drenaje  $I_D$ , conforme aumenta  $V_{DS}$  se alcanza un punto donde la corriente de drenaje alcanza su punto de saturación. Si se aumenta  $V_{DS}$  mas allá de este punto  $I_D$  permanece constante. El valor de la corriente de saturación de drenaje con  $V_{GS} = 0$  es un parámetro importante y se denomina **corriente de drenaje de saturación** ( $I_{DSS}$ ).

El FET es un dispositivo controlado por tensión y se controla mediante  $V_{GS}$ . Conforme se incrementa  $V_{GS}$  (más negativo para un canal *n* y más positivo para un canal *p*) se cierra para un valor menor que  $I_D$ . Por tanto, para el JFET de canal *n* la  $I_D$  máxima se reduce desde  $I_{DSS}$  conforme  $V_{GS}$  se hace mas negativo. Si  $V_{GS}$  disminuye aun mas (mas negativo), se alcanza un valor de  $V_{GS}$  después del cual  $I_D$  sera cero sin importar el valor de  $V_{DS}$ . Este valor de  $V_{GS}$  se denomina  $V_{GS(\text{corte})}$  o **tensión de estrangulamiento** ( $V_p$ ). El valor de  $V_p$  es negativo para un JFET de canal *n* y positivo para un JFET de canal *p* [3].

### 3.2.1. Curva característica

En la **figura 8** se muestran las curvas características de transferencia y la curva característica  $I_D - V_{GS}$  para un JFET de canal *n*. Se graficaron con el eje  $I_D$  común.



**Figura 8:** Familia de curvas  $V_{CE}$  contra  $I_C$  para varios valores de  $I_B$ .

Un método útil de determinar la curva característica de transferencia es con ayuda de la siguiente relación (ecuación de *Shockley*):

$$\frac{I_D}{I_{DSS}} \approx \left(1 - \frac{V_{GS}}{V_p}\right)^2$$

Por tanto, solo se necesita conocer  $I_{DSS}$  y  $V_p$ , y toda la característica queda determinada.

### 3.2.2. Transistor 2N3819

Para la construcción del amplificador se utilizará el transistor JFET canal *n* **2N3819**; la hoja de datos de este transistor se detalla en el **cuadro 4** [5].

Valores nominales absolutos máximos				
Símbolo	Parámetro	Valor	Unidades	
$V_{DG}$	Voltaje drenaje-compuerta	25	$V$	
$V_{GS}$	Voltaje compuerta-fuente	-25	$V$	
$I_D$	Corriente de drenaje	50	$mA$	
$I_{GF}$	Corriente en compuerta en polarización directa	10	$mA$	
$P_D$	Disipación total del dispositivo	350	$mW$	
Características eléctricas (apagado)				
Símbolo	Parámetro	Mín.	Máx.	Unidades
$V_{BR(GS)}$	Voltaje de ruptura entre compuerta y fuente	25	-	$V$
$I_{GSS}$	Corriente inversa en la compuerta	-	2.0	$nA$
$V_{GS(off)}$	Voltaje de corte entre compuerta y fuente	-	8	$V$
$V_{GS}$	Voltaje entre la compuerta y fuente	-0.5	-7.5	$V$
Características eléctricas (encendido)				
Símbolo	Parámetro	Mín.	Máx.	Unidades
$I_{DSS}$	Corriente en drenaje con voltaje cero en compuerta	2	20	$mA$

**Cuadro 4:** Hoja de datos parcial 2N3819.

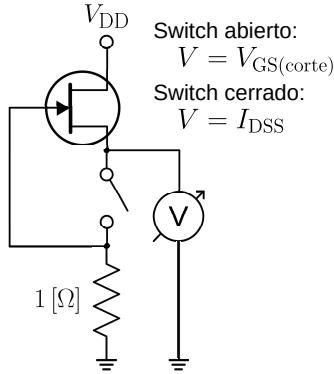
### 3.2.3. Medición de transistores

Como en el caso de los transistores BJT, los transistores JFET pueden variar sus parámetros individualmente en un intervalo determinado por la hoja de datos.



**Figura 9:** Transistores 2N3818.

Debido al alto costo de los transistores JFET solo se cuentan con tres de ellos como puede verse en la **figura 9**, de los cuales se medirán su corriente de drenaje de saturación ( $I_{DSS}$ ) y su tensión de estrangulamiento ( $V_p$ ), con la ayuda del circuito presentado en la **figura 10** [6].

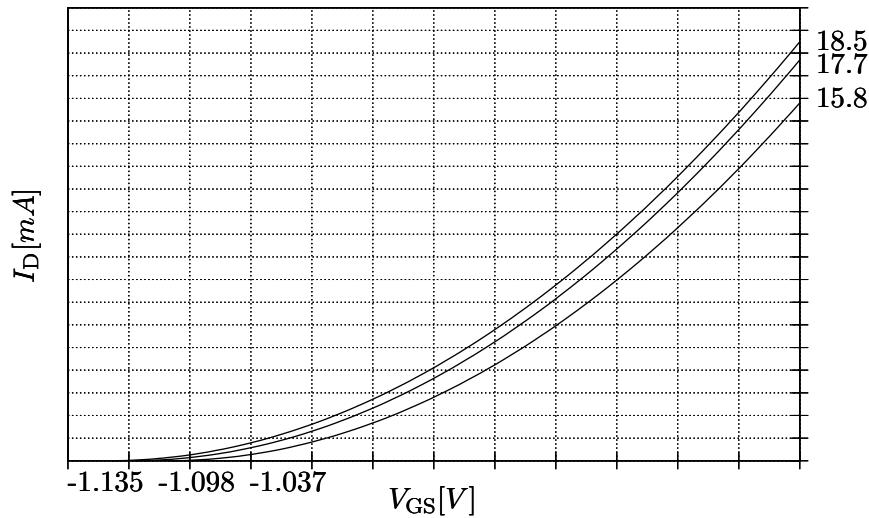


**Figura 10:** Circuito para el calculo de  $V_p$  y  $I_{DSS}$ .

Los valores obtenidos en la medición son detallados en el **cuadro 5** con los cuales pueden hallarse las curvas características que pueden verse en la **figura 11**.

No.	$V_p$ [V]	$I_{DSS}$ [mA]
1	-1.037	15.8
2	-1.098	17.7
3	-1.135	18.5

**Cuadro 5:** Valores  $V_p$  y  $I_{DSS}$  medidos en los transistores.



**Figura 11:** Curvas características de los transistores JFET.

## 4. Polarización en cd

### 4.1. BJT

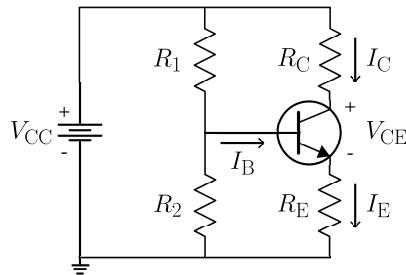
Un transistor debe ser apropiadamente polarizado con un voltaje de cd para que opere como amplificador lineal. Se debe ajustar el punto de operación en cd de modo que las variaciones de la señal en la terminal de entrada se amplifiquen y reproduzcan con precisión en la terminal de salida. El punto de operación en cd a menudo se conoce como **punto Q**.

Si un amplificador no se polariza con voltajes de cd correctos a la entrada y salida, puede irse a saturación o a corte cuando se aplique una señal de entrada.

La operación en cd de un circuito con un transistor se describe gráficamente con una **recta de carga en cd**. Esta es una recta sobre las curvas características desde el valor de saturación donde  $I_C = I_{C(\text{sat})}$  sobre el eje  $y$  hasta el valor de corte donde  $V_{CE} = V_{CC}$  sobre el eje  $x$ . El circuito externo ( $V_{CC}$  y  $R_C$ ) determina la recta de carga, no el transistor mismo. El punto donde la recta de carga corta una curva característica representa al punto Q con ese valor particular de  $I_B$  [2].

#### 4.1.1. Divisor de voltaje

El método mas utilizado para la polarización del transistor es por medio de un divisor de voltaje como se muestra en la **figura 12**.



**Figura 12:** Circuito divisor de voltaje.

Para el calculo de los valores del circuito se utilizan las siguientes ecuaciones [1]:

$$R_{TH} = \frac{R_1 R_2}{R_1 + R_2}$$

$$V_{TH} = \frac{R_2}{R_1 + R_2} V_{CC}$$

$$I_B = \frac{V_{TH} - V_{BE}}{R_{TH} + (\beta + 1) R_E}$$

$$V_{CE} = V_{CC} - I_C (R_C + R_E)$$

#### 4.1.2. Criterios de diseño

En general, los divisores de voltaje se diseñan de modo que la corriente en la base sea mucho menor que la corriente ( $I_2$ ) que pasa a través de  $R_2$ , se dice que un divisor de voltaje en el que la corriente en la base es pequeña, comparada con la corriente en  $R_2$ , es un **divisor de voltaje**

**rígido** porque el voltaje en la base es relativamente independiente de los diferentes transistores y efectos de la temperatura [2].

Por tanto, para diseñar un divisor de voltaje rígido se debe cumplir la siguiente ecuación:

$$\beta_{CD} R_E > 10 R_2$$

La necesidad de incluir un resistor del emisor a tierra fue estabilizar la polarización de cd de modo que el cambio de la corriente del colector provocado por corrientes de fuga en el transistor y por la  $\beta$  de éste, no provoquen un gran desplazamiento del punto de operación. El resistor del emisor no puede ser demasiado grande porque el voltaje a través de él limita el intervalo de variación del voltaje del colector al emisor. Se recomienda que el voltaje de emisor a tierra por lo general sea de alrededor de un cuarto a un décimo del voltaje de alimentación [1].

$$V_E = \frac{1}{10} V_{CC}$$

Por ultimo, al diseñar un amplificador con transistor se desea una salida con máxima excursión no distorsionada. Si la señal de entrada en ca es simétrica alrededor de cero, se puede obtener una excusión máxima colocando el punto  $Q$  en el centro de la linea de carga [3].

$$V_{CE} = \frac{V_{CC}}{2}$$

#### 4.1.3. Voltaje de alimentación

Para el diseño del amplificador se seleccionó un voltaje de alimentación de 9 [V].

$$V_{CC} = 9 \text{ [V]}$$

#### 4.1.4. Resistencias disponibles

Se cuenta con una serie de resistencias de 0.5[W] con los valores detallados en el **cuadro 6**.

1[ $\Omega$ ]	10[ $\Omega$ ]	22[ $\Omega$ ]	47[ $\Omega$ ]	100[ $\Omega$ ]	150[ $\Omega$ ]	200[ $\Omega$ ]	220[ $\Omega$ ]	270[ $\Omega$ ]	330[ $\Omega$ ]
470[ $\Omega$ ]	510[ $\Omega$ ]	680[ $\Omega$ ]	1[k $\Omega$ ]	2[k $\Omega$ ]	2.2[k $\Omega$ ]	3.3[k $\Omega$ ]	4.7[k $\Omega$ ]	5.1[k $\Omega$ ]	6.8[k $\Omega$ ]
10[k $\Omega$ ]	20[k $\Omega$ ]	47[k $\Omega$ ]	51[k $\Omega$ ]	68[k $\Omega$ ]	100[k $\Omega$ ]	220[k $\Omega$ ]	330[k $\Omega$ ]	510[k $\Omega$ ]	1[M $\Omega$ ]

**Cuadro 6:** Valores de resistencias disponibles para el diseño.

#### 4.1.5. Calculo computarizado

Una vez descritos los criterios de diseño y las formulas para el calculo de las resistencias del divisor de voltaje, se ha escrito un programa para el software matemático *Octave*, que permuta todas las combinaciones posibles de las resistencia e imprima aquellas que cumplen todos los criterios.

```
% polarizacion por divisor de voltaje (2N2222A NPN)
Vcc = 9; % [V]
Vbe = 0.675; % [V]
B = 302;

% resistencias disponibles
R = [
    1 ...
    10       22       47 ...
    100 150 200   220 270 330   470 510   680 ...
    1000 2000 2200   3300 4700 5100   6800 ...
    10000 20000        47000 51000 68000 ...
    100000 220000 330000        510000 ...
    1000000
];

count = 1;
printf('\tR1[ ]\tR2[ ]\tRc[ ]\tRe[ ]\t->\tVce[V]\tVe[V]\tIb[µA]\tIc[mA]\tP1[mW]\tP2[mW]\tPc[mW]\tPe[mW]\n');

for (h = 1:length(R))
    for (i = 1:length(R))
        for (j = 1:length(R))
            for (k = 1:length(R))
                R1 = R(h);
                R2 = R(i);
                Rc = R(j);
                Re = R(k);

                Rth = (R1 * R2) / (R1 + R2);
                Vth = (R2 / (R1 + R2)) * Vcc;

                Ib = (Vth - Vbe) / (Rth + ((B + 1) * Re));
                Ic = B * Ib;
                Ie = Ic + Ib;
                Vce = Vcc - (Ic * (Rc + Re));
                Vc = Ic * Rc;
                Ve = Ie * Re;

                if(
                    (B * Re) > (10 * R2) && % divisor de voltaje rigido
                    (abs((Vcc / 2) - Vce) < 0.1) && % 4.4 < Vce < 4.6[V]
                    (abs((0.1 * Vcc) - Ve) < 0.1) && % 0.8 < Ve < 1.0[V]
                    (Ic > 10e-3) % Ic > 10[mA]
                )
                    printf(
                        '%d\t%d\t%d\t%d\t-%>\t%.2f\t%.2f\t%.2f\t%.2f\t%.2f\t%.2f\t%.2f\n',
                        count,
                        R(h), R(i), R(j), R(k),
                        Vce,
                        Ve,
                        Ib * 1e6,
                        Ic * 1e3,
                        (((R1 / (R1 + R2)) * Vcc)^2 / R1) * 1e3,
                        (((R2 / (R1 + R2)) * Vcc)^2 / R2) * 1e3,
                        Ic^2 * Rc * 1e3,
                        Ve * Ie * 1e3
                    );
                    count++;
                endif
            endfor
        endfor
    endfor
endfor
```

#### 4.1.6. Resultados del calculo computarizado

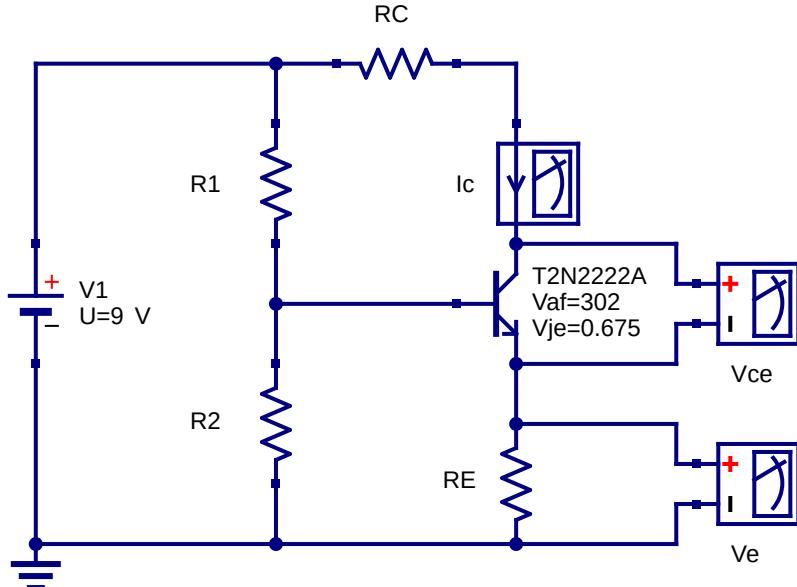
La salida del programa detalla los valores de las cuatro resistencias ( $R_1$ ,  $R_2$ ,  $R_C$ ,  $R_E$ ), el voltaje de colector-emisor ( $V_{CE}$ ), el voltaje de la resistencia emisor ( $V_E$ ), la corriente de base ( $I_B$ ) y la corriente de colector ( $I_C$ ), estos valores pueden verse en el **cuadro 7**.

$R_1[\Omega]$	$R_2[\Omega]$	$R_C[\Omega]$	$R_E[\Omega]$	$V_{CE}[V]$	$V_E[V]$	$I_B[\mu A]$	$I_C[mA]$
1k	200	100	22	4.55	0.80	120.74	36.46
4.7k	1k	200	47	4.52	0.85	60.00	18.12

**Cuadro 7:** Resultados del calculo computarizado.

#### 4.1.7. Simulación de computadora

Se utilizó el software *Quite Universal Circuit Simulator*, versión 23.3.1 para simular el circuito, este puede verse en la **figura 13** y los valores calculados en el simulador pueden verse en el **cuadro 8**.



**Figura 13:** Simulación del circuito.

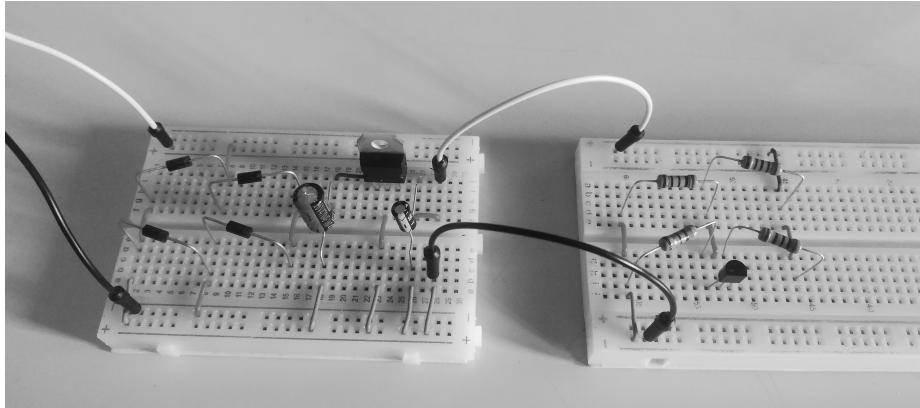
$R_1[\Omega]$	$R_2[\Omega]$	$R_C[\Omega]$	$R_E[\Omega]$	$V_{CE}[V]$	$V_E[V]$	$I_C[\mu A]$	$I_C[mA]$
1k	200	100	22	4.79	0.762	190	34.5
4.7k	1k	200	47	4.71	0.820	93.9	17.4

**Cuadro 8:** Resultados obtenidos de la simulación.

#### 4.1.8. Placa de prueba

El circuito armado puede verse en la **figura 14**, alimentado por una fuente estable de 9[V].

En el circuito se fueron variando las resistencias obtenidas en el calculo anterior, y se midieron los valores de voltaje y corriente, estos se muestran en el **cuadro 9**.



**Figura 14:** Polarización con divisor de voltaje en placa de pruebas.

$R_1[\Omega]$	$R_2[\Omega]$	$R_C[\Omega]$	$R_E[\Omega]$	$V_{CE}[V]$	$V_E[V]$	$I_B[\mu A]$	$I_C[mA]$
1k	200	100	22	4.63	0.805	125.6	36.6
10k	3.3k	47	10	3.01	1.165	0.03	24.7

**Cuadro 9:** Valores medidos en la placa de pruebas.

#### 4.1.9. Valores de polarización

Puede observarse que en la segunda medición los valores entre el calculo teórico, simulación y medición real hay muchas discrepancias, por lo que se utilizaran los valores de la primera medición. Con lo cual se halla el punto  $Q$  de operación, que puede verse en la **figura 15**.

Según las pruebas realizadas los valores obtenidos son:

$$R_1 = 1[k\Omega]$$

$$R_2 = 200[\Omega]$$

$$R_C = 100[\Omega]$$

$$R_E = 22[\Omega]$$

Ecuación de la recta de carga:

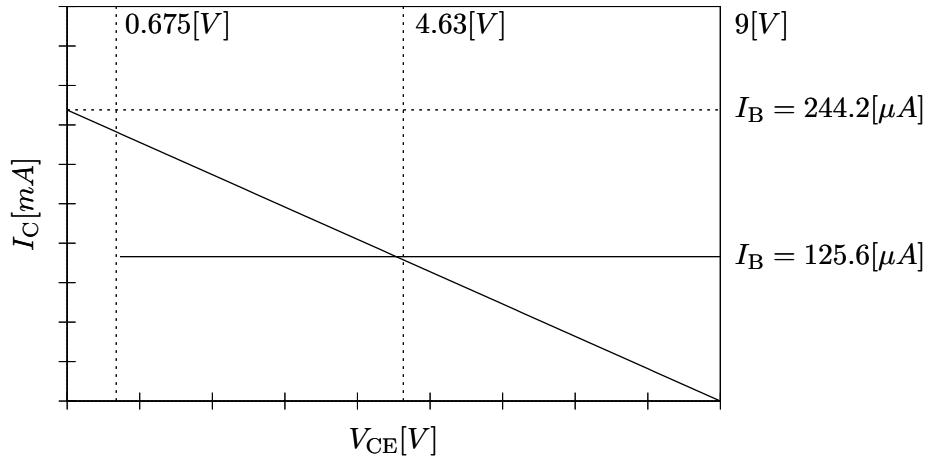
$$I_C = \frac{9}{122} - \frac{1}{122}V_{CE}$$

Punto  $Q$ :

$$V_{CE} = 4.63 [V]$$

$$I_C = 36.6 [mA]$$

Rango máximo de corriente de base:  $-107.34[\mu A] < I_B < 107.34[\mu A]$ .



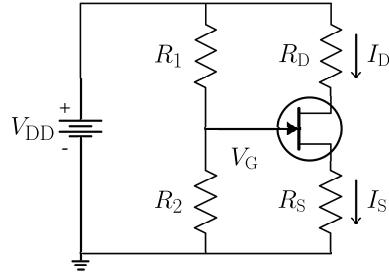
**Figura 15:** Punto Q hallado.

## 4.2. FET

Al igual que con el BJT, el propósito de la polarización es seleccionar el voltaje de cd de compuerta a fuente apropiado para establecer un valor deseado de la corriente en el drenaje y, por consiguiente, un punto Q apropiado [2].

### 4.2.1. Divisor de voltaje

La configuración del divisor de voltaje aplicada a amplificadores con transistores BJT también se aplica a amplificadores con FET como se muestra en la **figura 16**. La construcción básica es exactamente la misma, pero el análisis de cada una es muy diferente.



**Figura 16:** Circuito divisor de voltaje.

Una curva de transferencia para un **JFET** se expresa aproximadamente como:

$$I_D \cong I_{DSS} \left( 1 - \frac{V_{GS}}{V_{GS(\text{corte})}} \right)^2$$

La recta de carga de CD con divisor de voltaje se determina de la siguiente manera:  
Con  $I_D = 0$ :

$$\begin{aligned} V_S &= I_D R_S = (0) R_S = 0[V] \\ V_{GS} &= V_G - V_S = V_G - 0[V] = V_G \end{aligned}$$

Donde  $V_G$ :

$$V_G = \left( \frac{R_2}{R_1 + R_2} \right) V_{DD}$$

Por consiguiente, un punto sobre la recta está en  $I_D = 0$  y  $V_{GS} = V_G$ .

Con  $V_{GS} = 0$ :

$$I_D = \frac{V_G - V_{GS}}{R_S} = \frac{V_G}{R_S}$$

El punto donde la recta de carga corta la curva de transferencia es el punto  $Q$  [2].

$$\left( \frac{I_{DSS}}{V_{GS(\text{corte})}^2} \right) V_{GS}^2 + \left( \frac{1}{R_S} - \frac{2 I_{DSS}}{V_{GS(\text{corte})}} \right) V_{GS} + \left( I_{DSS} - \frac{V_G}{R_S} \right) = 0$$

Resolviendo la ecuación cuadrática es posible encontrar el punto  $Q$  del circuito.

#### 4.2.2. Criterios de diseño

Normalmente es deseable polarizar un JFET cerca del punto medio de su curva de transferencia donde  $I_D = I_{DSS}/2$ . En condiciones de señal, la polarización en el punto medio permite que la cantidad máxima de corriente en el drenaje oscile entre  $I_{DSS}$  y 0 [2].

$$\begin{aligned} I_D &\rightarrow 0.5 I_{DSS} \\ V_G &\rightarrow 0.5 V_{GS(\text{corte})} \end{aligned}$$

De la misma manera que en la polarización BJT, también se considerará que el voltaje entre el drenaje y fuente se encuentre en el punto medio del voltaje de alimentación:

$$V_{GS} = \frac{1}{2} V_{DD}$$

Nótese que no se necesita colocar el punto Q en el centro de la linea de carga de ca como se hizo para la polarización del BJT; esto se debe a que normalmente se utiliza un amplificador FET en la entrada del amplificador para sacar ventaja de la alta resistencia de entrada. En este punto, los niveles de tensión son tan pequeños que no se excita al amplificador con grandes excursiones. Además, como las curvas características no son lineales, se produciría distorsión con grandes excusiones de entrada [3].

Se considerara usar el conjunto de valores cuyo  $V_{DS}$  sea el mas alto posible:

$$V_{DS} = V_{DD} - I_D (R_D + R_S)$$

También se deben considerar las potencias disipadas máximas por las resistencias:

$$\{P_{R_1}, P_{R_2}, P_{R_D}, P_{R_S}\} < 0.2[\text{W}]$$

#### 4.2.3. Voltaje de alimentación

Para el diseño del amplificador se seleccionó un voltaje de alimentación de 9 [V].

$$V_{CC} = 9 [\text{V}]$$

#### 4.2.4. Resistencias disponibles

Se cuenta con una serie de resistencias de 0.5[W] con los valores detallados en el **cuadro 6**.

#### 4.2.5. Calculo computarizado

Una vez descritos los criterios de diseño y las formulas para el calculo de las resistencias del divisor de voltaje, se ha escrito un programa para el software matemático *Octave*, que permuta todas las combinaciones posibles de las resistencia e imprima aquellas que cumplen todos los criterios.

```
% polarizacion por divisor de voltaje (2N3819 canal n)
Vdd = 9; % [V]
Idss = 15.8e-3; % [A]
Vgso = -1.037; % [V]

% resistencias disponibles
R = [
    1 ...
    10      22      47 ...
    100 150 200 220 270 330 470 510 680 ...
    1000 2000 2200 3300 4700 5100 6800 ...
    10000 20000 47000 51000 68000 ...
    100000 220000 330000 510000 ...
    1000000
];
count = 1;
printf(' ,R1[ ],R2[ ],Rd[ ],Rs[ ] -> Vg[V]\t\ t Id[mA] Vds[V],P1[mW],P2[mW],Pd[mW],Ps[mW]\n');

for (h = 1:length(R))
    for (i = 1:length(R))
        for (j = 1:length(R))
            for (k = 1:length(R))
                R1 = R(h);
                R2 = R(i);
                Rd = R(j);
                Rs = R(k);

                Vg = (R2 / (R1 + R2)) * Vdd; % Id = 0
                Id = Vg / Rs; % Vgs = 0

                QVg = roots([Idss/(Vgso^2), (1/Rs) - (2*(Idss/Vgso)), Idss-Id]);
                QId = (-1/Rs) * (QVg(2) - Vg);

                P1 = ((Vdd - QVg(2))^2) / R1;
                P2 = (QVg(2)^2) / R2;
                Pd = QId^2 * Rd;
                Ps = QId^2 * Rs;

                Vds = Vdd - (QId * (Rd + Rs));

                if(
                    (abs(Vgso - (2 * QVg(2))) < 0.4)&& % Vg -> Vgs0/2
                    (abs(Idss - (2 * QId)) < 0.00075)&& % Id -> Idss/2
                    (abs((Vdd / 2) - Vds) < 0.5)&& % 4.0 < Vds < 5.0[V]
                    (0.001<P1)&&(P1<0.2)&& % 0.001 < P1 < 0.2
                    (0.001<P2)&&(P2<0.2)&& % 0.001 < P2 < 0.2
                    (0.001<Pd)&&(Pd<0.2)&& % 0.001 < Pd < 0.2
                    (0.001<Ps)&&(Ps<0.2) % 0.001 < Ps < 0.2
                )
                count = count + 1;
                printf(' ,R1[ ],R2[ ],Rd[ ],Rs[ ] -> Vg[V]\t\ t Id[mA] Vds[V],P1[mW],P2[mW],Pd[mW],Ps[mW]\n');
            end
        end
    end
end
```

```

        printf(
            '%d,%d,%d,%d,%d -> (%.2f, 0) (0, %.3f) %.2f,%.2f,%.2f,%.2f,%.2f,%.2f\n',
            count,
            R(h), R(i), R(j), R(k),
            Vg,Id * 1e3,
            QVg(2), QId * 1e3,
            Vds,
            P1 * 1e3,
            P2 * 1e3,
            Pd * 1e3,
            Ps * 1e3
        );
        count++;
    endif
endfor
endfor
endfor
endfor

```

#### 4.2.6. Resultados del calculo computarizado

La salida del programa detalla los valores de las cuatro resistencias ( $R_1, R_2, R_D, R_S$ ), los valores de potencia en cada una de las resistencias ( $P_1, P_2, P_D, P_S$ ), estos valores pueden verse en el **cuadro 10**.

$R_1[\Omega]$	$R_2[\Omega]$	$R_D[\Omega]$	$R_S[\Omega]$	$V_{DS}[V]$	$P_1[mW]$	$P_2[mW]$	$P_D[mW]$	$P_S[mW]$
470	47	470	150	4.30	184.76	2.16	27.0	8.62
1000	100	470	150	4.30	86.84	1.02	27.0	8.62

**Cuadro 10:** Resultados del calculo computarizado.

Mientras que los valores de voltaje de compuerta ( $V_G$ ) y la corriente de drenaje ( $I_D$ ) son fijos para todos los casos.

$$V_G = -0.32[V]$$

$$I_D = 7.58[mA]$$

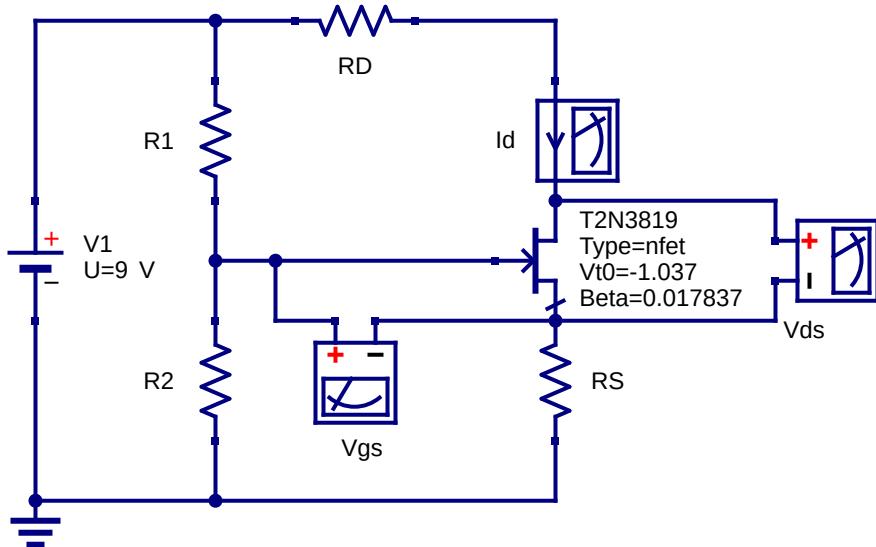
#### 4.2.7. Simulación de computadora

Se utilizó el software *Quite Universal Circuit Simulator*, versión 23.3.1 para simular el circuito, este puede verse en la **figura 17** y los valores calculados en el simulador pueden verse en el **cuadro 11**.

#### 4.2.8. Placa de prueba

El circuito armado puede verse en la **figura 18**, alimentado por una fuente estable de 9[V].

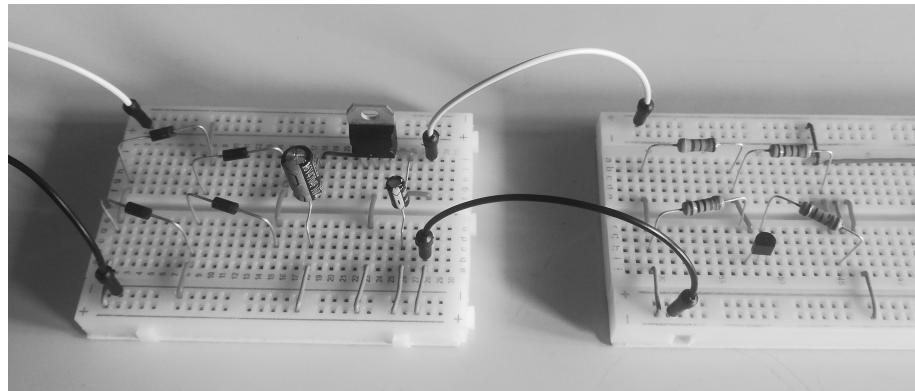
En el circuito se fueron variando las resistencias obtenidas en el calculo anterior, y se midieron los valores de voltaje y corriente, estos se muestran en el **cuadro 12**.



**Figura 17:** Simulación del circuito.

$R_1[\Omega]$	$R_2[\Omega]$	$R_D[\Omega]$	$R_S[\Omega]$	$V_{DS}$	$V_G[V]$	$I_D[mA]$
470	47	470	150	4.11	-0.364	7.88
1000	100	470	150	4.11	-0.364	7.88

**Cuadro 11:** Resultados obtenidos de la simulación.



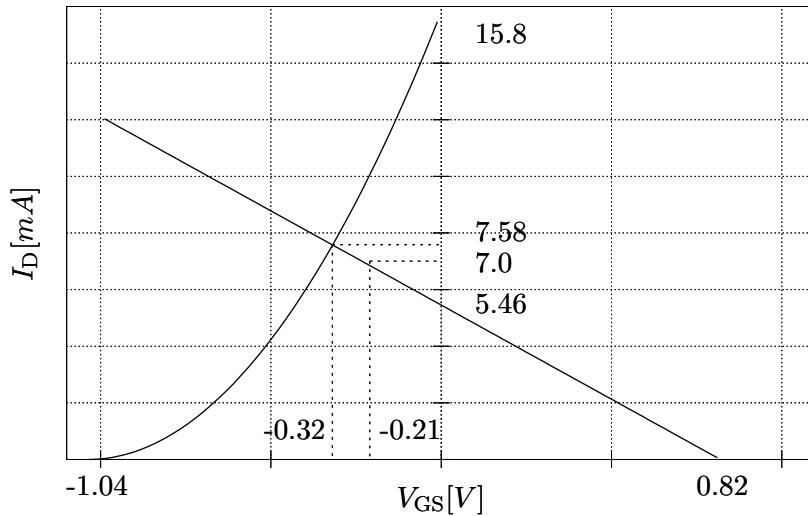
**Figura 18:** Polarización con divisor de voltaje en placa de pruebas.

$R_1[\Omega]$	$R_2[\Omega]$	$R_D[\Omega]$	$R_S[\Omega]$	$V_{DS}$	$V_G[V]$	$I_D[mA]$
470	47	470	150	4.62	-0.208	7.03
1000	100	470	150	4.65	-0.209	7.00

**Cuadro 12:** Valores medidos en la placa de pruebas.

#### 4.2.9. Valores de polarización

Considerando que todos los valores obtenidos tienen valores similares, se utilizaran los de menor disipación de potencia. Con lo cual se halla el punto  $Q$  de operación, que puede verse en la figura 19.



**Figura 19:** Punto  $Q$  hallado.

Según las pruebas realizadas los valores obtenidos son:

$$\begin{aligned} R_1 &= 1[k\Omega] \\ R_2 &= 100[\Omega] \\ R_D &= 470[\Omega] \\ R_S &= 150[\Omega] \end{aligned}$$

Punto  $Q$ :

$$\begin{aligned} V_{GS} &= -0.209 [V] \\ I_D &= 7.0 [\text{mA}] \end{aligned}$$

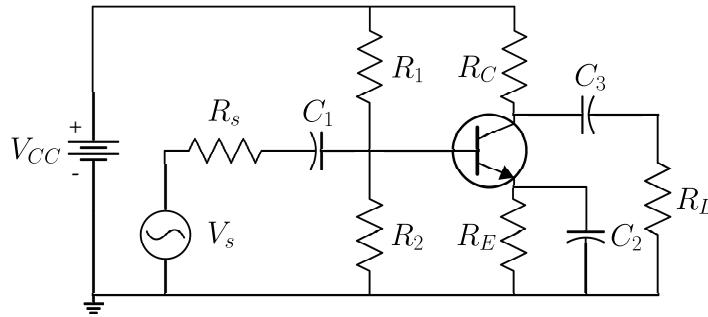
Rango máximo de voltaje de compuerta:  $-0.42[\text{V}] < V_{GS} < 0[\text{V}]$ .

### 5. Análisis en CA

#### 5.1. BJT

Un amplificador en emisor común (EC), tiene al emisor como terminal común, o tierra, ante una señal de ca. Los amplificadores en EC tiene una alta ganancia de voltaje y una alta ganancia de corriente [2].

La figura 20 muestra un amplificador en emisor común con polarización utilizando un divisor de voltaje y capacitores de acoplamiento  $C_1$  y  $C_3$  en la entrada y salida, y un capacitor de puenteo,  $C_2$ , del emisor a tierra. La señal de entrada,  $V_{ent}$  está acoplada capacitivamente a



**Figura 20:** Amplificador en emisor común.

la base; la señal de salida,  $V_{\text{sal}}$ , está acoplada capacitivamente del colector a la carga. La salida amplificada está desfasada  $180^\circ$  con respecto a la entrada. Como la señal de ca se aplica a la base como entrada y se toma en el colector como salida, el emisor es común tanto para las señales de entrada como de salida. No hay señal en el emisor porque el capacitor de puenteo pone efectivamente al emisor en cortocircuito con tierra a la frecuencia de la señal. Todos los amplificadores combinan tanto la operación en ca como en cd.

### 5.1.1. Calculo de los parámetros del amplificador

Para hallar los valores del amplificador en emisor común con divisor de voltaje calculados en la anterior sección se calculan los siguientes valores:

1. Resistencia interna del generador de funciones:

$$R_s = 350[\Omega]$$

2. Resistencia de ca en el emisor:

$$r'_e \cong \frac{25[mV]}{I_E} = \frac{25 \times 10^{-3}[V]}{36.72 \times 10^{-3}[A]} = 0.6808[\Omega]$$

3. Resistencia de entrada en la base:

$$R_{\text{ent(base)}} = \beta_{\text{ca}} r'_e = (302)(0.6808[\Omega]) = 205.6[\Omega]$$

4. Resistencia de entrada total vista desde la fuente:

$$R_{\text{ent(total)}} = R_1 \parallel R_2 \parallel R_{\text{ent(base)}} = \frac{1}{\frac{1}{1000} + \frac{1}{200} + \frac{1}{205.6}} = 92.049[\Omega]$$

5. Resistencia de salida:

$$R_{\text{sal}} \cong R_C = 100[\Omega]$$

6. Atenuación de la fuente a la base:

$$A = \frac{R_s + R_{\text{ent(total)}}}{R_{\text{ent(total)}}} = \frac{350 + 92.049}{92.049} = 4.8023$$

7. Resistencia de carga:

$$R_L = 100[\Omega]$$

8. Resistencia en ca del colector:

$$R_c = \frac{R_C R_L}{R_C + R_L} = \frac{(100)(100)}{100 + 100} = 50[\Omega]$$

9. Ganancia de voltaje de la base al colector:

$$A_v = \frac{R_c}{r'_e} = \frac{50}{0.6808} = 73.442$$

10. Ganancia de voltaje total:

$$A'_v = \frac{A_v}{A} = \frac{73.442}{4.8023} = 15.293$$

11. Corriente total producida por la fuente:

$$I_s = \frac{V_s}{R_s + R_{\text{ent(total)}}} = 0.22622[\text{mA}]$$

12. Ganancia de corriente total:

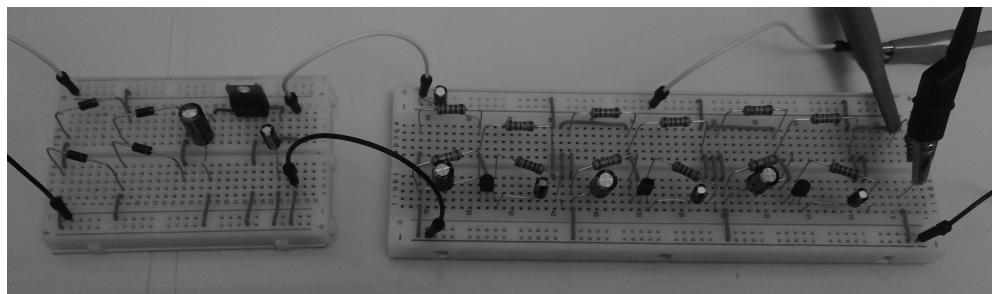
$$A_i = \frac{I_C}{I_s} = \frac{36.6 \times 10^{-3}}{0.22622 \times 10^{-3}} = 161.79$$

13. Ganancia de potencia:

$$A_p = A'_v A_i = (15.293)(161.79) = 2474.3$$

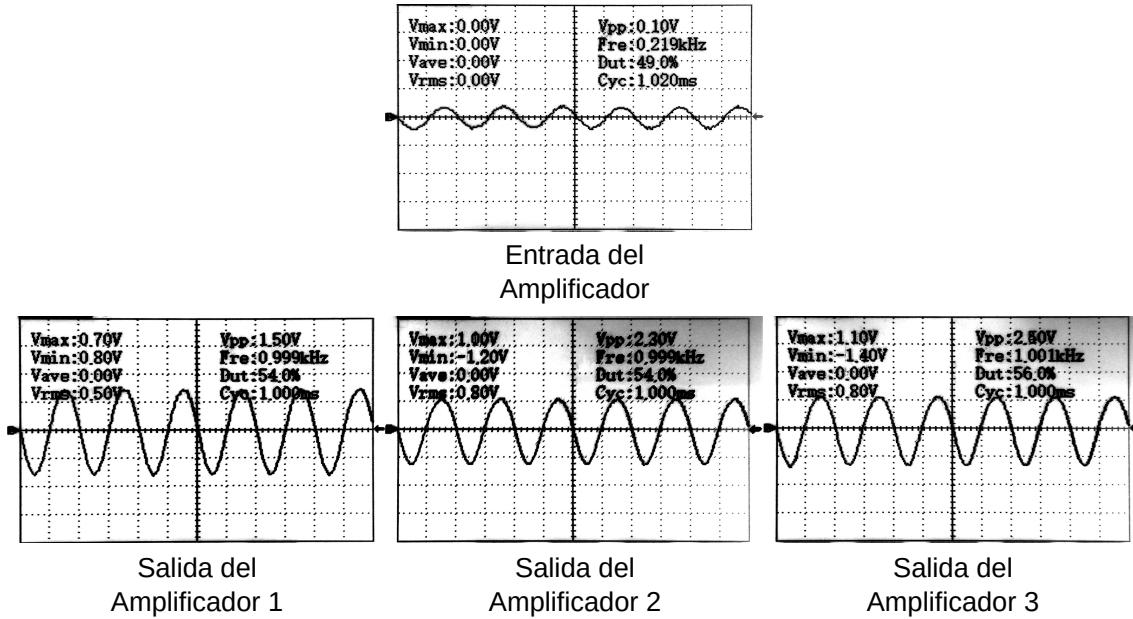
### 5.1.2. Placa de pruebas

El circuito armado puede verse en la **figura 21**, alimentado por una fuente estable de 9[V] y una señal de corriente alterna senoidal de 0.1[V] pico a pico.

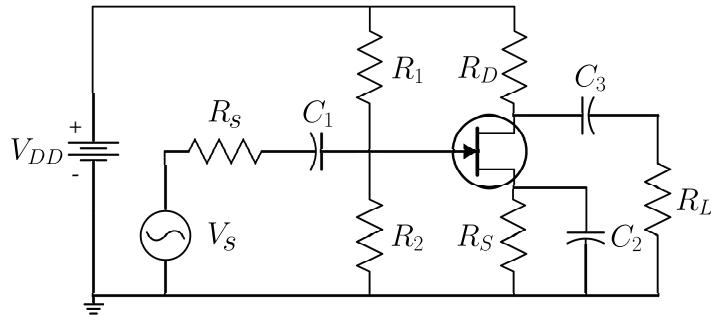


**Figura 21:** Amplificadores en placa de pruebas.

La señal de entrada y las salidas individuales de cada amplificador puede verse en la **figura 22**.



**Figura 22:** Señales de entrada y salidas de los amplificadores.



**Figura 23:** Amplificador en fuente común.

## 5.2. FET

La **figura 23** muestra un amplificador en fuente común basado en JFET es aquel en el que se aplica una señal de entrada de ca a la compuerta y la señal de salida de ca se toma del drenaje. La terminal fuente es común tanto para la señal de entrada como para la señal de salida.

### 5.2.1. Calculo de los parámetros del amplificador

Para hallar los valores del amplificador en fuente común con divisor de voltaje calculados en la anterior sección se calculan los siguientes valores:

1. Resistencia interna del generador de funciones:

$$R_i = 350[\Omega]$$

2. Transconductancia en  $V_{GS} = 0$ :

$$g_{m0} = \frac{2 I_{DSS}}{|V_{GS(\text{corte})}|} = \frac{2(15.8 \times 10^{-3})}{|-1.037|} = 0.030473[\text{S}]$$

3. Transconductancia en el punto Q:

$$g_m = g_{m0} \left(1 - \frac{V_{GS}}{V_{GS(\text{corte})}}\right) = 0.030473 \left(1 - \frac{-0.209}{-1.037}\right) = 0.024331[\text{S}]$$

4. Resistencia de entrada:

$$R_{\text{ent}} = R_1 || R_2 = \frac{(1000)(100)}{1000 + 100} = 90.909[\Omega]$$

5. Resistencia de salida:

$$R_{\text{sal}} \cong R_D = 470[\Omega]$$

6. Resistencia de carga:

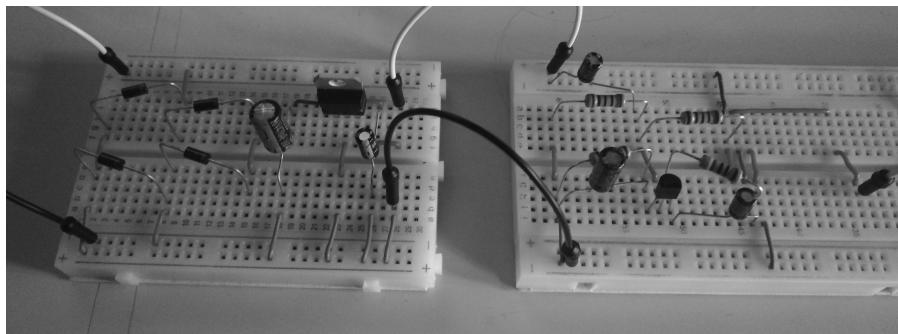
$$R_L = 470[\Omega]$$

7. Ganancia de voltaje:

$$A_v = g_m \left( \frac{R_d R_l}{R_d + R_l} \right) = 0.024331 \left( \frac{(470)(470)}{470 + 470} \right) = 5.7178$$

### 5.2.2. Placa de pruebas

El circuito armado puede verse en la **figura 24**, alimentado por una fuente estable de 9[V] y una señal de corriente alterna senoidal de 0.1[V] pico a pico.

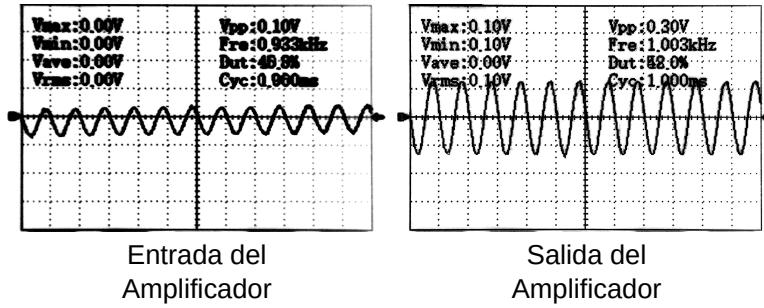


**Figura 24:** Amplificador en placa de pruebas.

La señal de entrada y la salida del amplificador puede verse en la **figura 25**.

## 6. Respuesta en frecuencia

La ganancia de voltaje y la fase de amplificadores acoplados capacitivamente se ven afectados cuando la frecuencia de señal se encuentra por debajo de un valor crítico. En bajas frecuencias, la reactancia de los capacitores de acoplamiento se vuelve significativa, lo que reduce la ganancia de voltaje e incrementa el desfasamiento [2].



**Figura 25:** Señal de entrada y salida del amplificador.

## 6.1. BJT

### 6.1.1. Calculo de los capacitores del amplificador

Para hallar los valores de cada capacitor del amplificador anterior sección se calculan los siguientes valores:

1. Frecuencia de corte para cada capacitor del amplificador:

$$\begin{aligned} f_{c2} &= 1[\text{kHz}] \\ f_{c1} &= 0.2 f_{c2} = 200[\text{Hz}] \\ f_{c3} &= 0.2 f_{c1} = 40[\text{Hz}] \end{aligned}$$

2. Circuito RC de entrada:

$$C_1 = \frac{1}{2\pi R_{\text{ent(total)}} f_{c1}} = \frac{1}{2\pi(92.049[\Omega])(200[\text{Hz}])} = 1.80019[\mu\text{F}]$$

3. Circuito RC de salida:

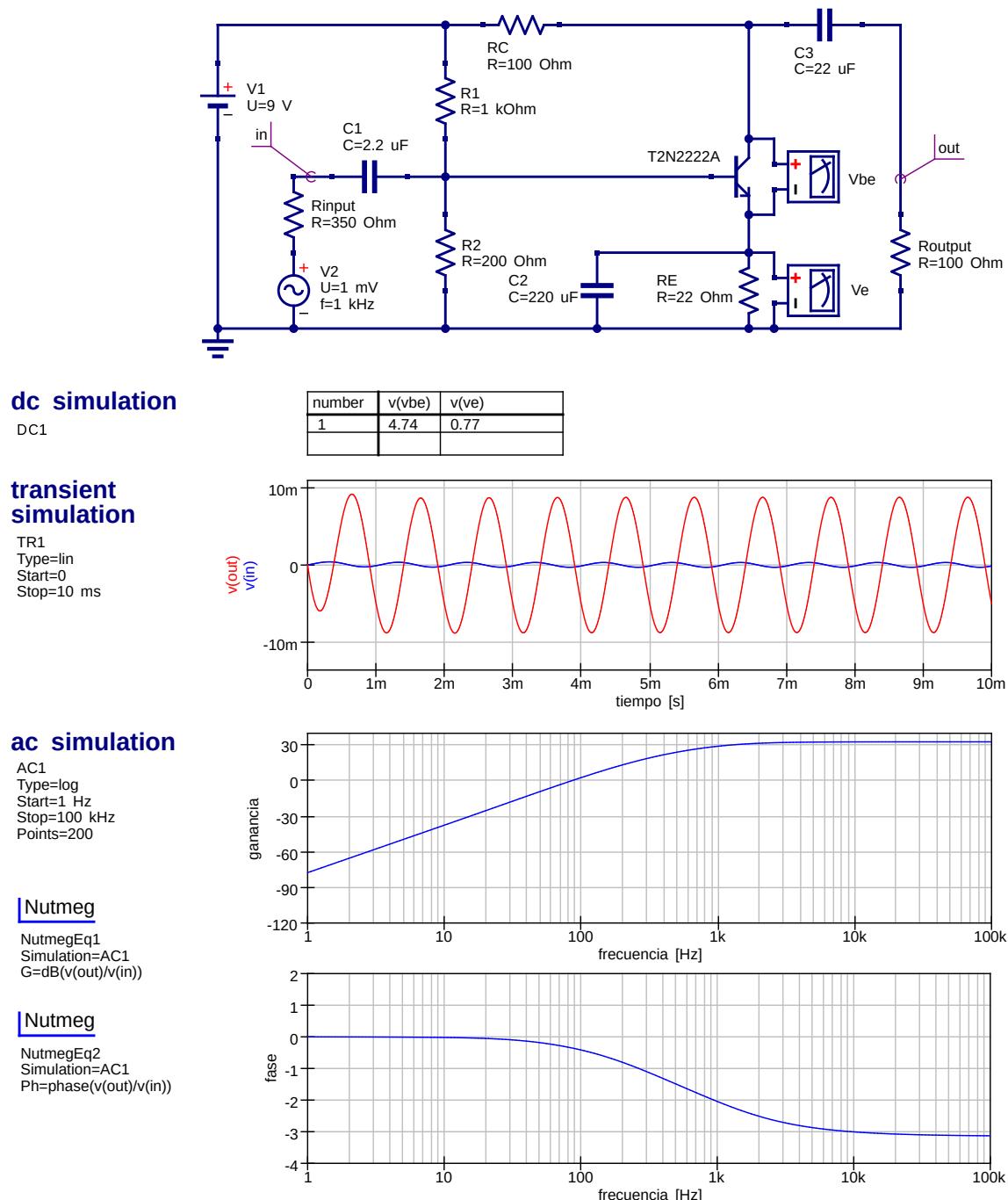
$$C_3 = \frac{1}{2\pi(R_C + R_L) f_{c3}} = \frac{1}{2\pi(100[\Omega] + 100[\Omega])(40[\text{Hz}])} = 19.8944[\mu\text{F}]$$

4. Circuito RC de puenteo:

$$\begin{aligned} R_{\text{umbral}} &= R_1 || R_2 || R_s \\ &= \frac{1}{\frac{1}{1000} + \frac{1}{200} + \frac{1}{350}} \\ &= 112.90[\Omega] \\ R_{\text{ent(emisor)}} &= r'_e + \frac{R_{\text{umbral}}}{\beta_{ca}} \\ &= 0.6808[\Omega] + \frac{112.90[\Omega]}{302} \\ &= 1.0547[\Omega] \\ C_2 &= \frac{1}{2\pi(R_{\text{ent(emisor)}} || R_E) f_{c2}} \\ &= \frac{1}{2\pi \left( \frac{(1.0547)(22)}{1.0547+22} \right) (1000[\text{Hz}])} \\ &= 158.141[\mu\text{F}] \end{aligned}$$

### 6.1.2. Simulación de computadora

Se utilizó el software *Quite Universal Circuit Simulator*, versión 23.3.1 para simular el circuito amplificador, este puede verse en la **figura 26**.



**Figura 26:** Simulación del amplificador.

## 6.2. FET

### 6.2.1. Calculo de los capacitores del amplificador

Para hallar los valores de cada capacitor del amplificador anterior sección se calculan los siguientes valores:

1. Frecuencia de corte para cada capacitor del amplificador:

$$\begin{aligned}f_{c2} &= 1[\text{kHz}] \\f_{c1} &= 0.2 f_{c2} = 200[\text{Hz}] \\f_{c3} &= 0.2 f_{c1} = 40[\text{Hz}]\end{aligned}$$

2. Circuito RC de entrada:

$$C_1 = \frac{1}{2\pi(R_i + (R_1||R_2))f_{c1}} = \frac{1}{2\pi(350[\Omega] + (\frac{(1000)(100)}{1000+100}))(200[\text{Hz}])} = 1.80485[\mu\text{F}]$$

3. Circuito RC de salida:

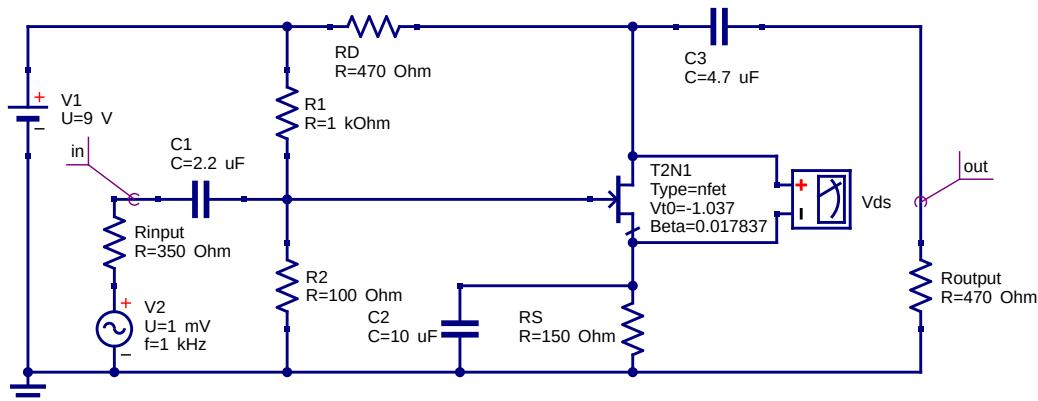
$$C_3 = \frac{1}{2\pi(R_i + (R_D + R_L))f_{c3}} = \frac{1}{2\pi(470[\Omega] + 470[\Omega])(40[\text{Hz}])} = 4.23284[\mu\text{F}]$$

4. Circuito RC de puenteo:

$$\begin{aligned}R_{\text{eq}} &= R_S||(1/g_m) = \frac{(150)(1/0.024331)}{150 + (1/0.024331)} = 32.260[\Omega] \\C_2 &= \frac{1}{2\pi R_{\text{eq}} f_{c2}} = \frac{1}{2\pi (32.260[\Omega])(1000[\text{Hz}])} = 4.93343[\mu\text{F}]\end{aligned}$$

### 6.2.2. Simulación de computadora

Se utilizó el software *Quite Universal Circuit Simulator*. versión 23.3.1 para simular el circuito amplificador, este puede verse en la **figura 27**.



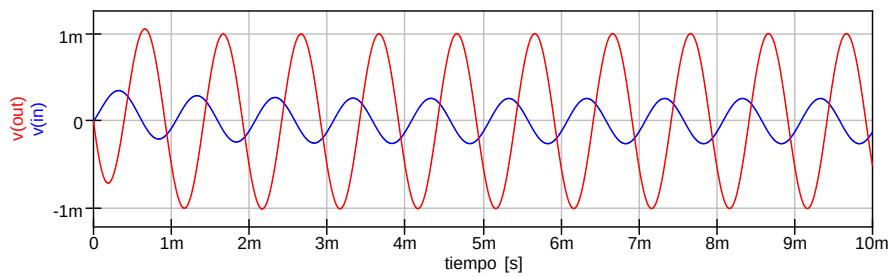
### dc simulation

DC1

number	v(vds)
1	4.11

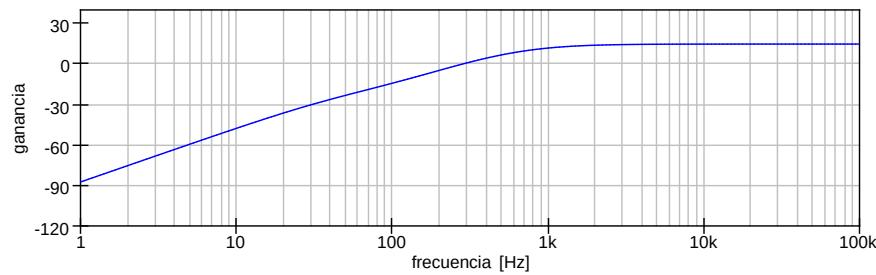
### ac simulation

AC1  
Type=log  
Start=1 Hz  
Stop=100 kHz  
Points=200



### transient simulation

TR1  
Type=lin  
Start=0  
Stop=10 ms



### Nutmeg

NutmegEq1  
Simulation=AC1  
G=dB(v(out)/v(in))

### Nutmeg

NutmegEq2  
Simulation=AC1  
Ph=phase(v(out)/v(in))

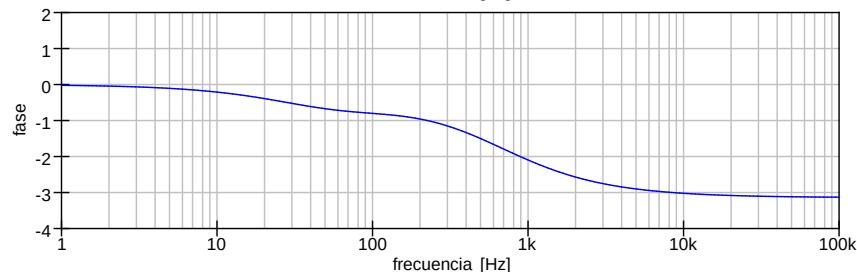


Figura 27: Simulación del amplificador.

# Bibliografía

- [1] Robert L. Boylestad, Louis Nashelsky (2009).  
**Electrónica: Teoría de circuitos y dispositivos electrónicos.** 10ma edición.  
Pearson Educación
- [2] Thomas L. Floyd (2008).  
**Dispositivos electrónicos.** 8va edición.  
Pearson Education
- [3] C.J. Savant Jr, Martin S. Roden, Gordon Carpenter. (1992).  
**Diseño electrónico. Circuitos y sistemas.** 2da edición.  
Addison-Wesley
- [4] **2N2222A Small Signal Switching Transistor.**  
Extraído el 3 de Noviembre del 2024, de:  
<https://web.mit.edu/6.101/www/reference/2N2222A.pdf>
- [5] **2N3819 N-Channel RF Amplifier.**  
Extraído el 11 de Noviembre del 2024, de:  
<https://www.alldatasheet.com/datasheet-pdf/view/171937/FAIRCHILD/2N3819.html>
- [6] **Measuring JFET Idss and Vgs(off).**  
Extraído el 28 de Noviembre del 2024, de:  
<https://therepaircafe.wordpress.com/2020/04/10/measuring-jfet-idss-and-vgsoff/>