

Laboratório de Sistemas Digitais

Experimento 02

OBJETIVOS:

- Implementar circuitos combinacionais simples baseados em FPGA, utilizando a linguagem de descrição de hardware VHDL.
- Desenvolver módulos básicos — um somador completo e um multiplexador — que poderão ser usados posteriormente para construir sistemas mais complexos.

INSTRUÇÕES:

- O experimento deve ser realizado utilizando o ModelSim;
 - Cada experimento será avaliado por meio do relatório técnico e dos códigos submetidos pelo aluno, por meio da plataforma Aprender. Os códigos devem ser submetidos comprimidos em um único arquivo.
 - A sua simulação deve incluir o arquivo vhd contendo a entidade (*entity*) e a arquitetura (*architecture*) do somador completo e o arquivo vhd do *test bench* desenvolvido para simular o circuito. Conforme descrito no guia de uso, o seu relatório deve conter os códigos, as telas de compilação e simulação do ModelSim e as formas de ondas obtidas com a simulação.
 - O relatório é individual e receberá uma nota de 0 a 10, considerando os seguintes aspectos:
 - Documentação do código, contida no relatório (pdf) e no código vhd - 20% da nota do projeto;
 - Compilação do código, apresentada no relatório do projeto e confirmado pelo código vhd - 10% da nota do projeto;
 - Simulação do código, apresentada no relatório do projeto e confirmado pelo código vhd - 70% da nota do projeto.
-

QUESTÃO 01.

Descrever em VHDL e simular no ModelSim uma entidade com três bits de entrada (A, B e Cin) e dois bits de saída (S e Cout) que implemente um somador completo, descrito pelas seguintes funções lógicas.

$$S = A \oplus B \oplus Cin$$
$$Cout = A \cdot B + A \cdot Cin + B \cdot Cin$$

A função lógica do “somador completo” é mesmo circuito que foi simulado no Experimento 1. A saída S é o resultado da soma binária dos bits de entrada, enquanto que a saída Cout representa o chamado “vai-um”.

QUESTÃO 02.

Descrever em VHDL e simular no ModelSim uma entidade com dois vetores de entrada (S com 2 bits e D com 4 bits) e um bit de saída (Y) e sua arquitetura, que implemente um multiplexador de 4 para 1, descrito pela função lógica abaixo.

$$Y = D0 \cdot \bar{S1} \cdot \bar{S0} + D1 \cdot \bar{S1} \cdot S0 + D2 \cdot S1 \cdot \bar{S0} + D3 \cdot S1 \cdot S0$$

Já a função lógica do multiplexador 4 x 1 tem 4 entradas de dados (D0, D1, D2, D3), uma saída Y e um seletor S de 2 bits (S0 e S1). As entradas de seleção (S0 e S1) determinam qual dessas entradas de dados será observada na saída Y.