

디지털 시스템 설계

Lab 2

2024.03.29.

보고서

- 보고서 제목, 이름, 학번
- 개요 : 실습 내용 및 목표 요약
- 이론적 배경 : 실습에 필요한 이론 설명
- 실험 준비 : 회로를 Verilog로 작성하기까지 과정에서 필요한 수식이나 회로도 첨부 및 설명
- 결과 : Verilog로 작성한 회로도와 시뮬레이션 결과, 구현 올바른 설명
 - RTL Analyzer Schematic과 Simulation 결과 캡처 첨부
- 논의 : 느낀 점, 결과가 잘못 나온 경우 원인 분석, 어려웠던 점 및 해결 방법

개요

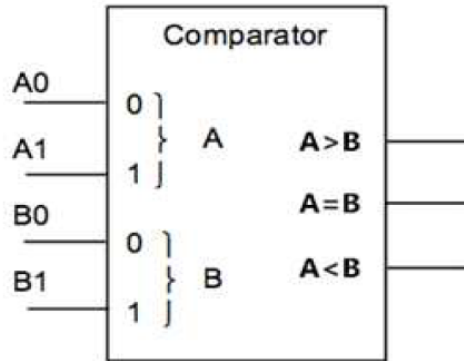
불 대수식을 단순화하는 방법에 대해 이해하고, 단순화 전후를 비교하여 그 효과를 확인한다. 세부적인 학습 목표는 다음과 같다.

- K-map 알고리즘 이해
- 와이어와 논리 게이트 개수를 확인하여 단순화 효과 확인

이론적 배경 - 불 대수식의 단순화

- 불 대수식의 복잡도는 그 식을 실제로 구현하는데 사용된 와이어와 논리 게이트 개수로 평가
 - 불 대수식을 단순화하면 회로에 들어가는 와이어와 게이트의 수를 줄일 수 있음
 - 회로를 단순화시킴으로써 소비 전력을 줄이고, 작동 속도를 높일 수 있음
- 카노 맵 (Karnaugh-Map, K-Map)
- 퀸 매클러스키 (Quine-McCluskey, QM)

이론적 배경 – 2-Bit Magnitude Comparator



입력		A1A0			
		00	01	11	10
B1 B0	00	1	0	0	0
	01	0	1	0	0
	11	0	0	1	0
	10	0	0	0	1

표 1 입력 A, B에 따른 출력 “A=B”

그림 1 2-bit Magnitude Comparator

- 서로 다른 두 개의 2-Bit 수(A, B)가 입력으로 주어졌을 때, 둘의 대소 관계를 판별하여 알맞은 출력을 1로, 나머지 출력은 0으로 설정하여 출력해 주는 회로

실험에 앞서서...

- 실험 준비

- 1) 2-Bit Magnitude Comparator의 세 출력 각각에 대한 식을 단순화하지 않고 작성
- 2) K-map을 활용하여 세 식을 단순화

- * 보고서 필수 내용

- 단순화시키기 전의 식
 - K-map 적용 과정과 최종 식

- 공통 유의사항

- `/* Add your code here */`부분만 변경하여 구현하기
- Gate-Level Modeling으로 구현하기
(assign keyword와 "~", "&" , "|" operator 사용 가능)

실험에 앞서서...

```
// Gate level modeling
or(outOR, inA, inB);
and(outAND, inA, inB);

// Behavioral modeling
assign outOR = inA | inB;
assign outAND = inA & inB;
```

실험

- lab2_1 – 단순화 이전

1. 2-Bit Magnitude Comparator를 단순화하기 전 식을 구현한다.
2. Schematic 기능으로 회로가 잘 구현되었는지 확인한다.
3. RTL ANALYSIS > Netlist를 참조하여 와이어와 논리 게이트 개수를 확인한다.

- lab2_2 – 단순화 이후

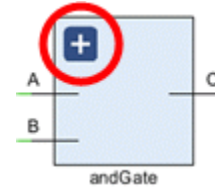
1. K-map으로 단순화한 세 가지 출력을 구현한다.
2. Schematic 기능으로 회로가 잘 구현되었는지 확인한다.
3. RTL ANALYSIS > Netlist를 참조하여 와이어와 논리 게이트 개수를 확인한다.
4. 실험 1과 와이어 및 논리 게이트 개수를 비교한다.

실험

- 보고서 필수 내용

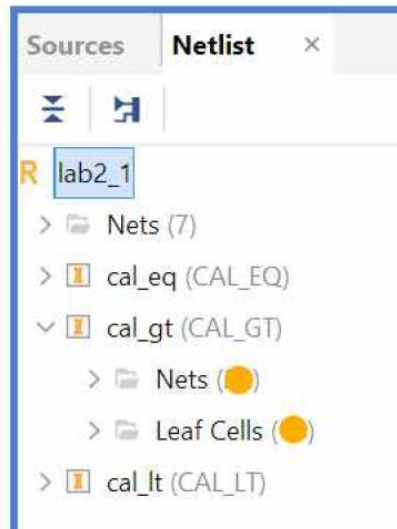
- Schematic 기능으로 생성한 회로도 캡처

- 하위 모듈의 회로도도 캡처해야 한다.
(하위 모듈은 "+" 버튼을 눌러 확인 가능)



- Netlist를 참조하여 와이어 개수와 논리 게이트 개수 캡처

- 와이어는 Nets, 논리 게이트는 Leaf Cells 수로 확인
- Inverter(NOT)의 수는 구현에 따라 포함되지 않을 수 있음



제출 방법

- {학번}_lab2.zip으로 다음 파일을 압축해 PLMS로 제출하기
 - lab2_1.v
 - lab2_2.v
 - lab2_report.pdf