

# 디지털 시스템 설계

## Lab 6

---

2024.05.17.

# Final Project Announcements

- 조당 최소 하나의 Vivado 실행 가능한 노트북 준비
  - 해당 노트북에 USB-A 단자가 없으면 USB-C to USB-A 동글을 추가로 준비
  - 만약 vivado 실행 가능한 노트북이 없다면, 사용 시마다 조교의 허락을 받고 인공지능연구소 142호의 데스크탑을 사용할 수 있음
- 코드로 구현할 부분과 회로로 구현할 부분의 균형 고려하여 최종 설계
- 파이널 프로젝트는 6/12 (수) 마감
  - 구현된 프로젝트를 조교에게 현장에서 데모
  - 보고서 제출 (due date는 6/12로 동일)

# Lab 6 Announcement

- 프로젝트 제안서로 인해 부담이 클 것으로 예상되어, **lab6는 실습을 진행하지 않도록 하겠습니다.**
  - Lab6 코드 및 보고서 제출 기한은 5/26(일요일)입니다.

# Reports

## 보고서 필수 구성 요소

- Introduction: 실습 내용 및 목표 요약
- Background: 실습에 필요한 이론 설명
- Methodology: 회로를 Verilog로 작성하기까지 과정에서 필요한 수식이나 회로도 첨부 및 설명
- Evaluation: Verilog로 작성한 회로도와 시뮬레이션 결과, 구현이 올바른 설명
  - RTL Analyzer Schematic과 Simulation 파형 결과 캡처 첨부
- Conclusion: 느낀 점, 결과가 잘못 나온 경우 원인 분석, 어려웠던 점 및 해결 방법

# Background: D Flip-Flop

- 현재의 입력이 clock 신호에 맞춰 output Q에 반영되는 synchronous module

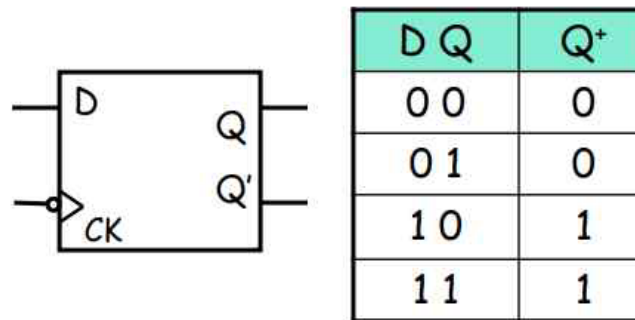


Figure 1. A D flip-flop

# Background: Counter

- What is counter?
  - Clock에 따라 순차적으로 지정된 패턴의 숫자를 저장하고 출력하는 순차회로
  - Ex) 1->2->4->8->1->2 ...
- Synchronous counter
  - Clock 신호를 모든 flip-flop에 **동시에** 인가하는 counter
  - Clock이 지연되지 않아 작동속도가 asynchronous counter에 비해 빠름
- Decade counter
  - 십진수를 순차적으로 세는 회로

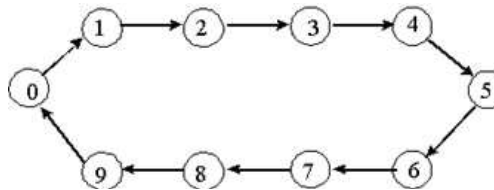
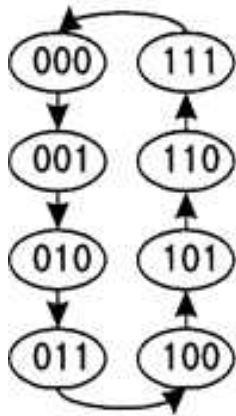


Figure 2. State diagram of a 1-digit decade counter

## Background: States

- State의 변화를 다음과 같이 state diagram 또는 state transition table로 나타낼 수 있다.



**Figure 3.** An example state diagram

Present State			Next State		
C	B	A	C <sup>+</sup>	B <sup>+</sup>	A <sup>+</sup>
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	0

**Table 1.** An example state transition table

# What You Should Prepare for Your Methodology

## 1) JK Flip-Flop을 이용한 synchronous 1-digit decade BCD counter

- BCD counter의 state diagram 작성
- BCD counter의 state transition table 및 상태 전환에 필요한 JK flip-flop의 입력을 각각 정리
- JK flip-flop의 입력 단순화
- 전체 회로도 작성

## 2) JK Flip-Flop을 이용한 2-digit decade bCD counter

- Decade BCD counter의 state diagram 작성
- (1)에서의 counter를 활용한 회로의 전체 회로도 작성



# What You Should Prepare for Your Methodology

## 3) D flip-flop을 이용한 3, 6, 9 counter

- BCD counter의 state diagram 작성
- BCD counter의 state transition table 및 상태 전환에 필요한 D flip-flop의 입력을 각각 정리
- D flip-flop의 입력 단순화
- 전체 회로도 작성

3, 6, 9 Counter의 state transition 예시)

0 -> 3 -> 6 -> 9 -> 13 -> 6 -> 9 -> 13 -> 6 -> 9 -> 13 -> ...

- Note that 13 transitions to 6.

# Task Descriptions

- lab6\_1 – JK 플립플롭을 이용한 Synchronous decade BCD counter
  1. 주어진 negative edge triggered JK플립플롭을 사용해 Synchronous decade BCD counter를 완성
  2. Schematic 기능으로 회로를 확인
  3. 테스트 벤치를 완성하고 시뮬레이션을 실행해 정상 작동을 확인
- Lab6\_2 – JK 플립플롭을 이용한 두 자릿수 Decade Counter
  1. 위에서 구현한 BCD counter를 활용하여 두 자릿수 Decade counter를 완성
  2. Schematic 기능으로 회로를 확인
  3. 테스트 벤치를 완성하고 시뮬레이션을 실행해 정상 작동을 확인

# Task Descriptions

- lab6\_3 – D Flip-Flop을 이용한 3, 6, 9 Counter
  1. 제공된 Negative edge triggered JK flip-flop을 사용하여 (lab6\_ff.v에 제공) Negative edge triggered D flip-flop을 완성
  2. 완성한 D flip-flop 으로 3, 6, 9 Counter 완성
  3. Schematic 기능으로 회로를 확인
  4. 테스트 벤치를 완성하고 시뮬레이션을 실행해 정상작동을 확인

# Submissions

- {학번}\_lab6.zip으로 아래의 파일들을 압축해 PLMS로 제출
  - lab6\_1.v
  - lab6\_2.v
  - lab6\_3.v
  - lab6\_tb.v
  - lab6\_ff.v
  - lab6\_report.pdf
- 제출 형식을 잘 지켜서 내 주세요!