

# 디지털 시스템 설계

## Lab 4

---

2024.04.26

# Goal and Tasks for Lab 4

Goal: 이진수 연산의 기본을 이해한다.

## Tasks:

1. Half Adder & Full Adder
2. 5-Bit Ripple Adder
3. 5-Bit Ripple Subtractor
4. 5x3 Binary Multiplier

# Background

## Half Adder:

- 1-bit 이진수 두 개를 입력받아 합과 Carry (올림) out을 출력하는 모듈.

## Full Adder:

- 전가산기는 1-bit 이진수 두 개와 이전 가산기의 Carry in을 입력받아 합과 Carry out을 출력하는 모듈.
- 두 개의 반가산기를 사용해 구현할 수 있다.

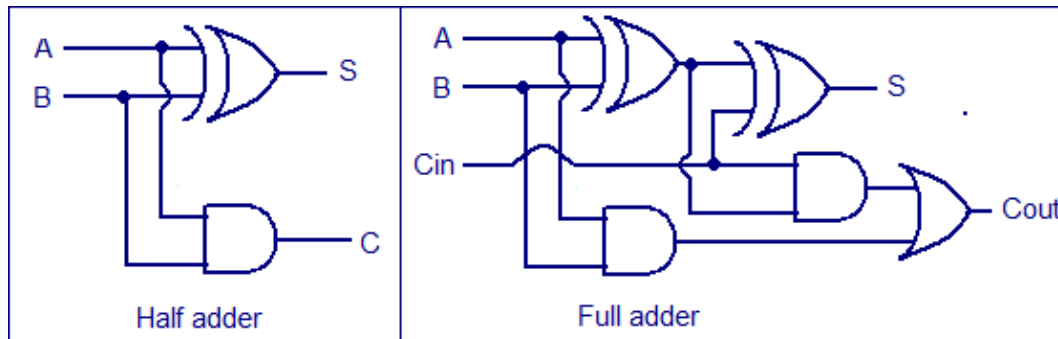


Figure 1. A half adder and a full adder

# Background

## N-Bit Adder

- N-bit 가산기는 N-bit 이진수 두 개를 더하여 N-bit 덧셈 결과와 Carry out을 출력하는 모듈.

## N-Bit Ripple Adder

- N-bit 리플 가산기는 N개의 전가산기를 순차적으로 이어 구현한다.
- N개의 전가산기는 각각 N-bit 중 한 자릿수의 연산을 맡는다.
- k번째 자릿수를 계산하는 전가산기의 Carry out이 k+1번째 자릿수를 담당하는 전가산기의 Carry in에 연결되어 가장 낮은 자릿수부터 가장 높은 자릿수까지 Carry가 순차적으로 전파된다.

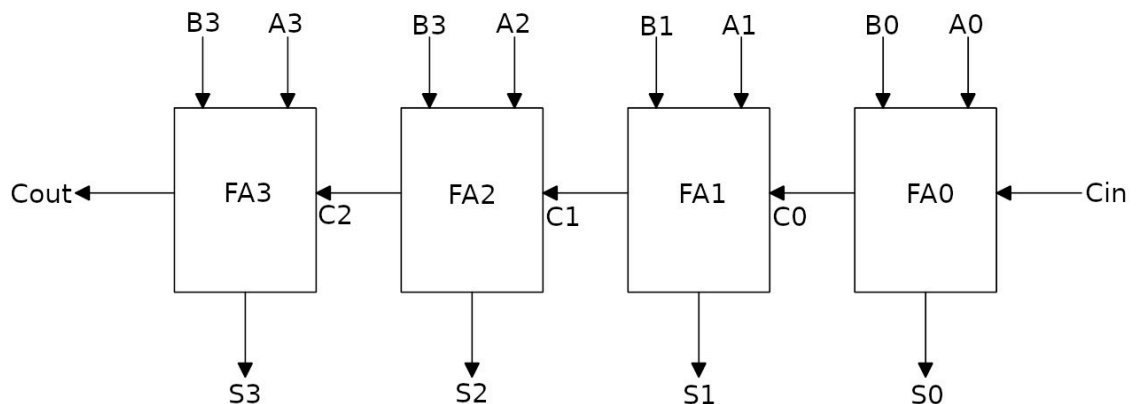
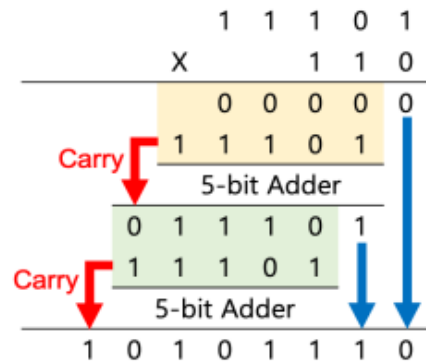


Figure 2. A 4-Bit ripple adder

# Background

## M x N Binary Multiplier

- MxN 이진 곱셈은 M-bit Multiplicand와 N-bit Multiplier의 각 자릿수의 부분 곱을 통해 얻은 이진 수 N개를 합하여 계산할 수 있다. 부분 곱은 bitwise AND 연산을 통해 구현할 수 있으며, 가산기로 부분 곱을 모두 더하여 답을 구한다.
- 이때, 다음과 같이 각 부분 곱을 더하는 과정을 M-bit 가산기 N - 1개로 구할 수 있다.



**Figure 3.** An example of 5 x 3 multiplication

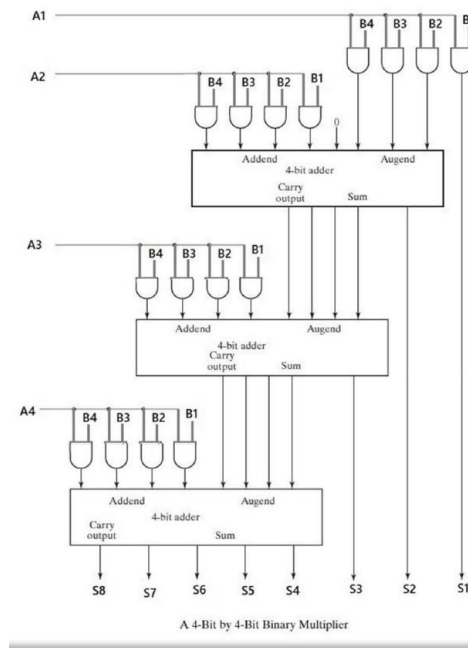


Fig:1

**Figure 4.** An example 4 x 4 multiplicator

# Before Experiments...

- 실험 준비

1. 반가산기의 진리표와 식을 구하고 회로를 그린다.
2. 전가산기의 진리표와 식을 구하고 반가산기를 사용해 전가산기 회로를 그린다.
3. 전가산기를 사용해 5비트 리플 가산기와 감산기 회로를 그린다.
  - 음수는 2의 보수로 표현한다.
4. 5비트 리플 가산기를 사용해  $5 \times 3$  이진 곱셈기 회로를 그린다.

- \* 보고서 필수 내용

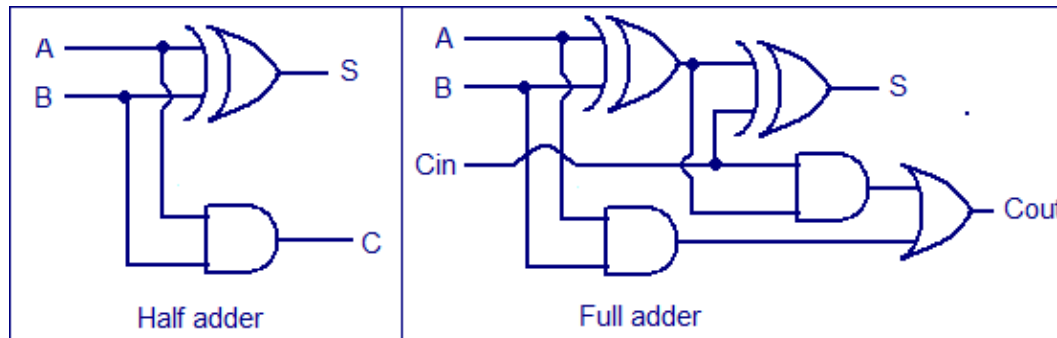
- 위의 모든 내용들



# Task 1: Instructions

## lab4\_1 – Half Adder and Full Adder

1. 반가산기를 구현하고, 이를 사용해 전가산기를 구현한다.
2. Schematic 기능으로 회로를 확인한다.



**Figure 1.** A half adder and a full adder



# Task 2: Instructions

## lab4\_2 – 5-Bit Ripple Adder

1. 실험 1의 전가산기 모듈을 사용해 5비트 리플 가산기를 구현한다.
  - 여기서 다루는 5-Bit 숫자는 unsigned number로 취급한다.
2. Schematic 기능으로 회로를 확인한다.
3. 주어진 테스트벤치로 시뮬레이션을 실행해 정상 작동을 확인한다.

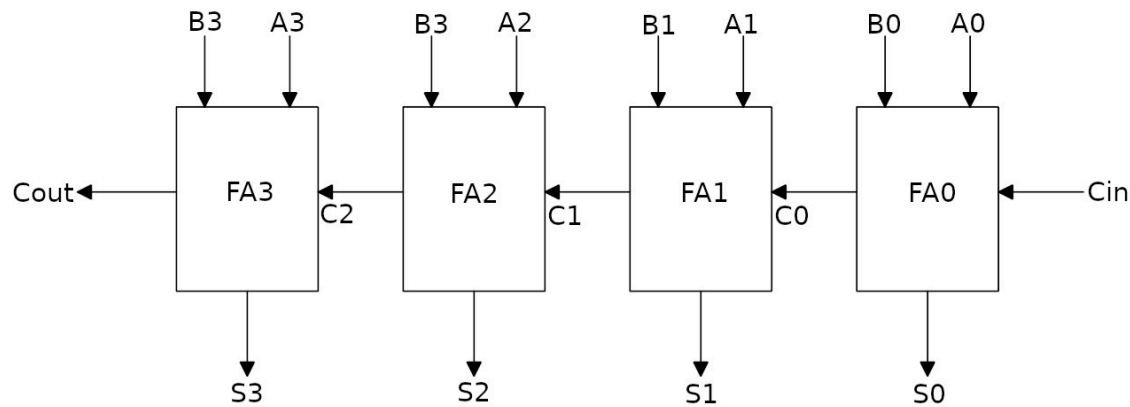


Figure 2. A 4-Bit ripple adder

# Task 3: Instructions

## lab4\_3 – 5-Bit Ripple Subtractor

1. 실험 2의 5비트 리플 가산기 모듈을 사용해 5비트 리플 감산기를 구현한다.
  - 여기서 다루는 5-Bit 숫자는 signed number로 취급한다. 즉, MSB는 sign bit이다.
2. Schematic 기능으로 회로를 확인한다.
3. 주어진 테스트벤치로 시뮬레이션을 실행해 정상 작동을 확인한다.

# Task 4: Instructions

## lab4\_4 – 5 x 3 Binary Multiplier

1. 실험 2의 5비트 리플 가산기 모듈을 사용해 5x3 이진 곱셈기를 구현한다.
2. Schematic 기능으로 회로를 확인한다.
3. 주어진 테스트벤치로 시뮬레이션을 실행해 정상 작동을 확인한다.

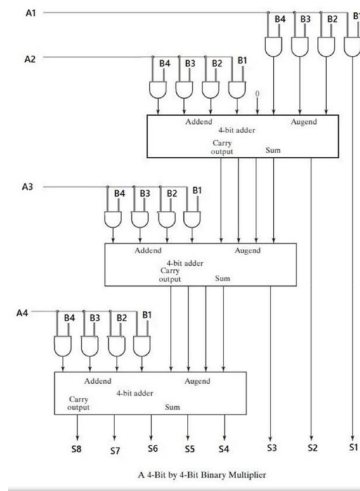


Fig:1

Figure 4. An example 4 x 4 multiplicator

# About Your Reports

- 보고서 제목, 이름, 학번
- 개요 : 실습 내용 및 목표 요약
- 이론적 배경 : 실습에 필요한 이론 설명
- 실험 준비 : 회로를 Verilog로 작성하기까지 과정에서 필요한 수식이나 회로도 첨부 및 설명
- 결과 : Verilog로 작성한 회로도와 시뮬레이션 결과, 구현 올바른 설명
  - RTL Analyzer Schematic과 Simulation 결과 캡처 첨부
- 논의 : 느낀 점, 결과가 잘못 나온 경우 원인 분석, 어려웠던 점 및 해결 방법

# Submission Instructions

- {학번}\_lab4.zip으로 다음 파일을 압축해 PLMS로 제출
  - lab4\_1.v
  - lab4\_2.v
  - lab4\_3.v
  - lab4\_4.v
  - lab4\_report.pdf