1. 假定NMOS与PMOS沟道长度L = 0.05um，其余数据均由第五章课后习题所提供，使用短沟道CMOS反相器延时的计算公式，估计得(W/L)n = 40，(W/L)P = 46,应用该参数，得到如下仿真曲线：

**激励源设定：上升时间:0.01ns 上升延迟时间:5ns, 脉冲宽度:5ns**

图形用户界面

描述已自动生成

Mt0文件内容如下：

文本

描述已自动生成

可以得出：

Tphl = 0.056ns

Tplh = 0.011ns

远小于题目所要求的数值，

现逐步调整，使其接近题目需求

**当(W/L)n = 8, (W/L)P = 20时**，mt0和Vout输出如图

电脑萤幕画面

描述已自动生成

文本

描述已自动生成

得Thl = 0.234ns, Tlh = 0.22ns，接近题目提供的0.25ns

1. 采用（1）中所用的宽长比**(W/L)n = 8, (W/L)P = 20，**将电容大小改变为0.1，0.2，0.3pf，仿真结果如下：

图形用户界面

描述已自动生成

其中，

绿色曲线为本征延时，即负载电容为0的情况

黄色，蓝色，红色依次为电容为0.1，0.2，0.3pf的情况

测得的延时数据如下：

屏幕上的文字

描述已自动生成

|  |  |  |  |
| --- | --- | --- | --- |
| C | Thl | Tlh | Tavg(平均延迟时间) |
| 0(本征) | 0.016ns | 0.02ns | 0.018ns |
| 0.1pf | 0.242ns | 0.22ns | 0.231ns |
| 0.2pf | 0.476ns | 0.41ns | 0.443ns |
| 0.3pf | 0.679ns | 0.61ns | 0.646ns |

1. 1. 求第一级反相器的输入电容:

将第一级反相器接入到(2)中反相器的输出端，则其输入电容即为(2)中的输出电容

假定图示, 示意图

描述已自动生成Lp = Ln = 50nm

图表 1延时测量电路

仿真结果如下：

图形用户界面

描述已自动生成

图形用户界面, 文本, 应用程序

描述已自动生成 可以看出:Thl = 0.017ns，Tlh = 0.02ns

图表 2 第一个缓冲器上升和下降延迟

图表 3 Vout1输出曲线

由于反相器延时与负载电容成线性关系:

|  |  |
| --- | --- |
| C(pf) | T(ns) |
| 0 | 0.018 |
| 0.1 | 0.231 |
| 0.2 | 0.443 |
| 0.3 | 0.646 |
| C缓冲器第一级输入电容 | 0.0185 |

**线性拟合，可以得出输入电阻为 0.763fF**

* 1. 设计反相器链并驱动5pf电容

近似认为输入电容等于本征电容，根据超级缓冲器优化的级数N公式，可得:

**N = 6** （不包含最小尺寸第一级反相器）

对N取整后，重新计算α得

**α = 3.51**

|  |  |  |
| --- | --- | --- |
| 反相器级数 | Wn/Ln | Wp/Lp |
| 第一级 | 1 | 0.15 |
| 第二级 | 3.51 | 0.527 |
| 第三级 | 12.32 | 1.85 |
| 第四级 | 43.24 | 6.49 |
| 第五级 | 151.78 | 22.78 |
| 第六级 | 532.72 | 79.96 |
| 第七级 | 1869.85 | 280.65 |

图形用户界面, 应用程序

描述已自动生成图形用户界面

描述已自动生成 仿真结果如下所示:

图表 4缓冲器输出端

图表 5 mt0测量上升延时和下降延时

**可以得出，该反相器链的Tlh = 0.81ns，Thl = 0.656ns 平均延时：2.22ns**

* 1. 若使用四级反相器

图形用户界面, 文本

描述已自动生成图形用户界面

低可信度描述已自动生成

图表 6四级反相器链的输出

图表 7四级反相器链上升与下降延时

**可以得出，Thl =6.54ns，Tlh = 2.28ns，平均延时为4.41ns**

四级反相器链的延时性能与六级相比非常差

结论：

使用反相器链能有效减少延时时间，增强反相器驱动能力

负载电容和输入电容决定反相器最佳级数和最佳有效扇出α

反相器的级数多余或少于最佳级数N都会使得反相器延时增加