

ICLab Final Project Checklist:

Checklist

*請依照這份 checklist 確定該繳交的檔案是否有交齊，並且在 Fin 填寫自己這個階段是否有完成。在 Comment 中寫上需要請助教特別注意的事，ex 沒完成，但做到什麼地步...

Design Stage	Description	Fin	Comment
		(y/n)?	如果有需要請在 comment 描述自己的狀態、結果
Software (/SW)	Your program (*.exe, *.m...)	y	
	Test pattern	y	含原始圖片、param 中的硬體測資、golden 中的硬體比對答案
RTL implementation (/RTL)	Source file <Verilog file (*.v) >	y	
	Simulation file <testbench (*.v) ncverilog.log, mist.txt>	y	1920*1280 之圖片因 gatesim 模擬時間過長而沒有進行模擬
	Spyglass report <spyglass.rep>	y	
Synthesis (/SYN)	DC < netlist (*.v), synthesis scripts(*.tcl), synthesis log(*.log), reports(*.rep), misc.txt>	y	
Place and Route (/APR)	ICC <netlist (*.v), delay (*.sdf) P&R log (*.log), reports (* .rep), DRC&LVS results (* .rep)>	y	
P&R (/APR)	Post-Simulation < testbench (*.v) ncverilog.log>	y	1920*1280 之圖片因 posim 模擬時間過長而沒有進行模擬
	Power Analysis <pt_power.rep, scripts(*.tcl)>	y	
pdf document. (/)	1.放入這份 Gxx_Checklist.pdf, Gxx_finalproject.pdf, 2.簡述如何使用你的 SW 驗證 3.請附上你們 project 資料夾的路徑，並公開權限讓助教可以抓到檔案	y	

Software Usage

軟體使用分為兩部分，一部分是進行電路功能的驗證，另一部分則是將解碼的後續動作(upsample, YUV to RGB)完成以及產生重建過後的圖片。我們是利用 Python 來撰寫模

擬硬體計算的軟體程式，無論是 LUT、8-bit 定點數、運算架構都會仿照硬體的模式去撰寫程式，並且同步近似值的方法。

驗證的部分，利用 jupyter notebook 的多個 cell 的特性，來將運算途中的答案抽取出來與硬體的答案進行比較。我們的目標是驗證出編碼出來的答案以及解碼出來的 YUV 矩陣都是正確的。因此會將軟體運算完的結果，依照報告裡所說的分段驗證(RGB to YUV, DCT, quantize, dequantize, IDCT)，轉換成硬體讀取的格式(2 進位制或 16 進位制)，生出測資以及答案，給 testbench 讀取進行部分演算法的驗證。上述提到的目標則是依照兩個不同的 SRAM 之存放格式，將編碼或解碼出來的結果生成檔案供給 testbench 讀取以進行整體電路的驗證。

另一部分，我們將電路解碼出的 YUV 矩陣利用 Python 進行 upsample，以及將色域轉換回去變成 RGB，並將圖片進行輸出，並與原圖進行比較。

Project path

~u107061234/ICLAB/FINAL_ver2

Filetree

為了方便助教們了解你 project 資料夾底下有哪些東西，請列出重要資料夾/檔案，並敘述功能

```
/ FINAL_ver2
|-- G20_finalproject.pdf
|-- G20_Checklist.pdf
|-- SW
    |-- final_encode.ipynb    軟體 encode 程式
    |-- final_decode.ipynb    軟體 decode 程式
    |-- TP                    測資(裡面包含原始圖片、硬體使用測資 param 以及答案 golden)
|--RTL
    |hdl
        |-- top.v            最後完成電路的 top module
        |-- (other module (*.v)) 其餘 10 個 module
        |-- sram_Nx23b.v      SRAM model
        |-- sram_Nx8b.v       SRAM model
    |sim
        |-- test_top_all.v    主要模擬的 testbench
        |-- presim.f          用於模擬的 filelist, presim
        |-- gatesim.f         用於模擬的 filelist, gatesim
|--SYN
    |-- *.tcl                合成 script
    |-- netlist               含合成後之 netlist、delay...
    |-- top_syn.v             合成過後的 netlist
|--APR
    |-- *.tcl                P&R script
    |-- io_pin.tdf            IO 設置
```

posim	
-- test_top_all.v	模擬的 testbench
-- posim.f	用於模擬的 filelist, posim
netlist	含 P&R 後之 netlist、delay...
-- CHIP_layout.v	P&R 後電路
-- CHIP_layout.sdf	delay
PT	
-- pt_px.tcl	PT script
icc_run	P&R result
...	