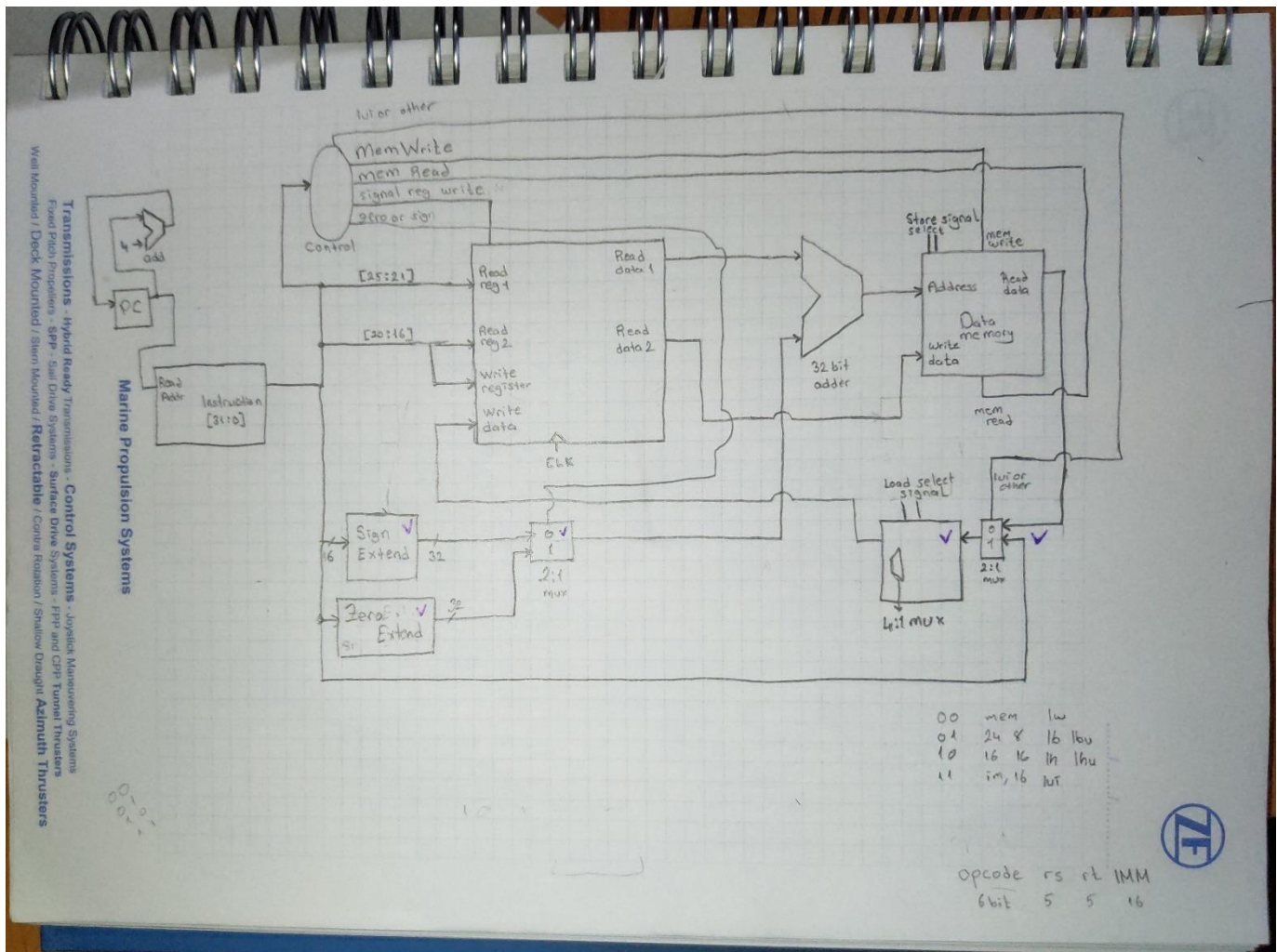


**Gebze Technical University**  
**Computer Engineering**  
**CSE 331 – 2019**

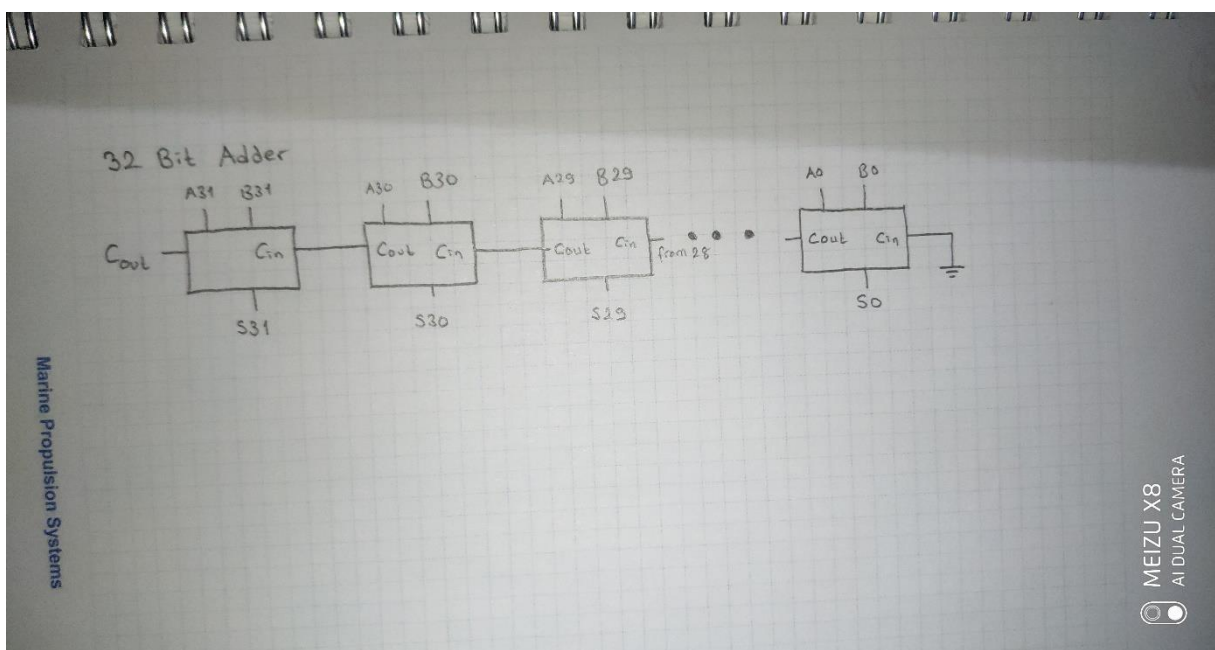
**HOMEWORK 3 REPORT**  
**FERHAT ÇELİK 151044014**

**Course Assistant: Fatma Nur Esirci**

## Şematik Tasarımlar



## 32 bit adder



## Verilog Modülleri

**control\_unit** → Opcode input olarak alır ve gereken sinyalleri üretir

**sign\_extender** → Sign bitine göre 16 bit immediate kısmı 32 bite extend eder.

**zero\_extender** → 16 bit immediate kısmı başına 0 ekleyerek 32 bite extend eder.

**sign\_zero\_mux** → Control unitten aldığı sinyaller göre sign veya zero extendin seçildiği mux

**mips\_registers** → Register bloğu

**\_32bit\_adder** → rs ve extend edilmiş immediate değeri toplamak için full adderlar ile oluşturulmuş 32 bit adder.Overflow biti yok.

**data\_memory** → Store read ve write sinyallerini alır.Store sinyali 2 bittir.

00 store byte 01 store halfword ve 10 store word işlemlerini yapar

**mux\_for\_memtoWriteData** → memoriden memtoWriteData modülüne giderken lui veya diğer load işlemlerinden birini seçmek için

**memtoWriteData** → load işlemlerinin biçimine göre gerekli düzenlemeleri yapıp register bloğunun writeData inputuna gönderir.

Control unitten 2 bitlik load sinyali alır.

## Simulasyon Sonuçları

**Result:** Register bloğuna gelen writeData

**Inside RT:** Memoriden gelen verinin rt registerine yazıldıktan sonra rt'nin içindeki değer (Read\_data\_2)

[illegible]

Neredeyse tüm modüllerimin testbenchleri var.Hepsi doğru çalışıyor.Ödevde verilen instructionların hepsini birkaç farklı şekilde denedim.Hiçbirinde yanlış sonuç almadım.Unsigned çalışan load işlemlerinde immediate kısıma verilen binary sayı 1 ile başladığında sign extend yapılmaktadır ancak memorim küçük olduğundan büyük immediate değerler verildiğinde x li değerler almaktayım.Modüllerden kaynaklanan bir problem değildir.Memorim 256 32 bit şeklindedir.