



## **Laboratório 0** **- ULA-**

### **Objetivos:**

- Introduzir ao aluno a Linguagem de Descrição de Hardware Verilog;
- Familiarizar o aluno com o software de síntese QUARTUS Prime;
- Desenvolver a capacidade de análise, síntese e caracterização de sistemas digitais usando HDL;

### **1) Implementação de um driver para display de 7 segmentos Síncrono e Assíncrono**

Faça o download do arquivo lab0.zip do Moodle, deszipe em um diretório do desktop que **NÃO** contenha espaço nem caracteres especiais no nome. O arquivo Tutorial\_Quartus\_Primev22.pdf contém instruções sobre como criar um projeto, usar em simulações.

Abra o Quartus Prime e Project/Restore Archived Project e escolha o arquivo decoder7.qar

1.1) Para a versão assíncrona do decoder7.v, defina-o como o toplevel e compile:

- a) Veja o diagrama esquemático do circuito gerado pelo Tools/Netlist Viewers/RTL viewer;
- b) Indique os requerimentos físicos da implementação: i) número de elementos lógicos, ii) número de registradores, iii) quantidade de bits de memória e iv) número de multiplicadores usados;
- c) Com o arquivo em forma de onda decoder7.vwf (University Program) realize a simulação funcional e temporal. Verifique sempre se o Simulation settings estão com os parâmetros default e sem -novopt.
- d) Usando o TimeQuest (Tools/Timing Analyzer), gere a Timing Netlist e em seguida relatório Report Datasheet e indique os requerimentos temporais: i) o caminho de maior atraso, ii) maior tempo de atraso tpd.
- e)

1.2) Para a versão síncrona do decoder7.v (mude o comentário), defina-o como toplevel e compile:

- a) Veja o diagrama esquemático do circuito gerado pelo Tools/Netlist Viewers/RTL viewer;
- b) Indique os requerimentos físicos da implementação: i) número de elementos lógicos, ii) número de registradores, iii) quantidade de bits de memória e iv) número de multiplicadores usados;
- c) Com o arquivo de forma de onda decoder7.vwf, realize a simulação funcional e temporal. Quais as diferenças para o item 1.1)c)?
- d) Usando o TimeQuest, defina o clock de 50MHz, indique os requerimentos temporais: i) tempos  $t_h$ ,  $t_{co}$  e  $t_{su}$ , ii) máxima frequência de clock utilizável, iii) se há algum requerimento não atendido (Slack de Setup e Hold). Aumente a frequência para 1000MHz e repita os itens i), ii) e iii).

## 2) Unidade Lógico Aritmética de Inteiros:

Abra o Quartus Prime e Project/Restore Archived Project e escolha o arquivo ULA.qar

- a) Para a ULA de inteiros fornecida, analise sua descrição Verilog e descreva suas funções. Defina o arquivo ALU.v como toplevel, compile e visualize o circuito sintetizado com o Tools/Netlist Viewers/RTL viewer.
- b) Modifique os valores do arquivo de forma de onda ULA.vwf e verifique cada operação implementada. Dica: Escolha valores de entrada que sejam representativos (comuns) e valores que possam gerar resultados singulares (overflow, divisão por zero etc.).
- c) Indique os requisitos físicos da implementação da ULA total e para cada operação separadamente: i) número de elementos lógicos, ii) número de registradores, iii) quantidade de bits de memória e iv) número de multiplicadores usados. v) Indique quais são e analise o impacto das funções com maiores circuitos no tamanho da ULA.  
Dica: Para analisar cada operação separadamente, defina manualmente o sinal de controle iControl no arquivo ULA.v, pois o Quartus otimiza o projeto retirando as partes não utilizadas.
- d) Usando o TimeQuest, gere a Timing Netlist e em seguida relatório Report Datasheet e indique os requerimentos temporais: i) o caminho de maior atraso, ii) maior tempo de atraso tpd. iii) Indique quais são e analise o impacto das funções mais demoradas no tpd.