



Práctica 1 (OPCIONAL)

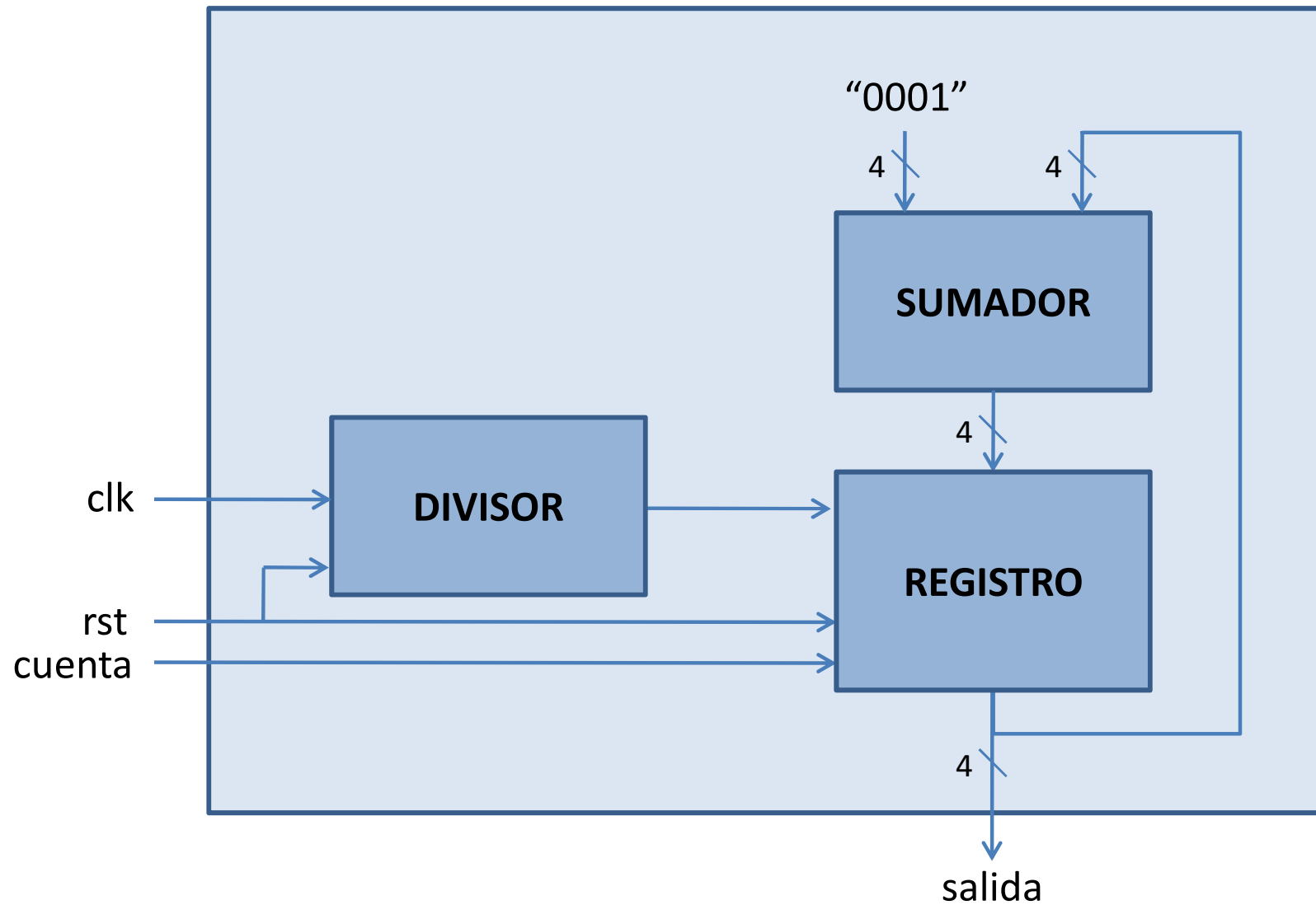
- Utilización de la herramienta VIVADO con VHDL
- Diseño y simulación de circuitos sencillos



Objetivo

- Utilizando los módulos **sumador** y **registro** implementados anteriormente, desarrollar un **contador módulo 16** de manera estructural
 - Estos dos módulos se instanciarán como componentes
- Modificar el **reset** del **registro** para que sea **asíncrono**
- Además, añadiremos un módulo **divisor** (disponible en el Campus Virtual) para poder pasar de tener un reloj de 100MHz a tener un reloj de 1Hz
 - De esta manera, manteniendo pulsada la señal de cuenta, sólo se realizará la detección de una pulsación por segundo

Diseño estructural





Calificación

- El estudiante debe hacer funcionar la parte opcional en el laboratorio en la FPGA y mostrarla al profesor
- Si tiene el funcionamiento esperado (+0.15 puntos)