

Sayısal Elektronik Devreleri

III. Ödev

Son Teslim Tarihi: Pazartesi ve Salı Grubu için 13 Mayıs 2011 Cuma

Teslim Yeri: Pazartesi Grubu: 3007 (Mustafa Saygıner)

Salı Grubu: 3011 (Uğur Uyanık)

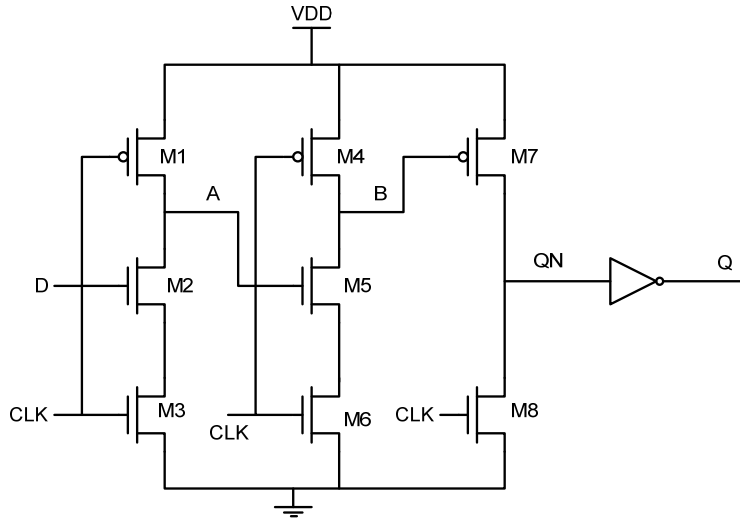
Ödevler kapı altından da atılabilir.

1. Şekildeki devre saat işaretinin evriğini kullanmayacak şekilde tasarlanmış bir D tipi dinamik flip-flop devresidir.

- a. Dinamik kapıların mantığından, A, B ve QN düğümlerindeki parazitik kapasitelerden yararlanılarak çalışma prensibini açıklayın. Diğer düğümlerden gelecek parazitik kapasiteleri ihmal edebilirsiniz.
- b. Hangi durumda yarış koşulu oluşur? Bunu engellemek için devredeki üç bloğun CLK işaretlerinden hangisine gecikme eklemek mantıklı olacaktır?

Yol Gösterme:

1. CLK işaretinin 0'dan 1'e yükseldiği zamanı göz önünde bulundurun.
2. M7-M8 çifti CLK = 1 durumunda NMOS yüklü PMOS evirici gibi davranmaktadır. Bu nedenle devre $\beta_{M8} \ll \beta_{M7}$ olarak tasarlanmıştır. Bu eviriciyi sözde NMOS eviricinin tersi gibi düşünebilirsiniz.



2. $Y_1 = (X_1 + X_2)X_3 + X_4$, $Y_2 = \overline{Y_1}X_5 + X_6$, $Y_3 = \overline{Y_2} + Y_1$ fonksiyonlarını NORA lojiğiyle gerçekleyin. Y_1 , Y_2 , Y_3 çıkışlarını belirtin.
3. $Y_1 = (X_1 + X_2)X_3 + X_4$, $Y_2 = Y_1X_5 + X_6$, $Y_3 = Y_2 + Y_1$ fonksiyonlarını domino lojiğiyle gerçekleyin. Y_1 , Y_2 , Y_3 çıkışlarını belirtin.