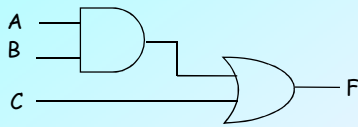


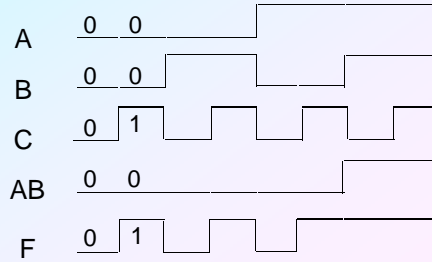
Zaman Diyagramları (Timing Diagrams)

- Sayısal devrelerin zaman içindeki davranışlarını (giriş/çıkış ilişkisini) gösteren diyagramlardır.
- x ekseninde zaman, y ekseninde ise girişlerin ve çıkışların lojik değerleri (0/1 veya L/H) yer alır.
- Daha ayrıntılı zaman diyagramlarında y ekseninde elektriksel büyüklükler de (gerilim veya akım) yazılır.
- Fiziksel elemanların elektriksel özelliklerinden dolayı ortaya çıkan bazı durumların doğruluk tablosu ile gösterilmesi mümkün değildir. Böyle durumlarda devrelerin zaman diyagramlarını incelemek gerekir.

Örnek:



Yandaki diyagramda devrenin sadece lojik davranışı gösterilmiş, daha sonra anlatılacak olan gecikmeler dikkate alınmamıştır.



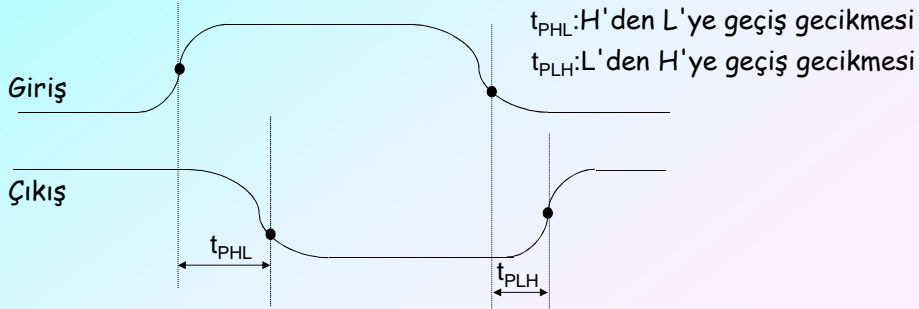
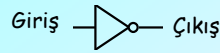
Propagasyon (Yayıma) Gecikmesi (Propagation Delay)

Sayısal elemanları oluşturan elektronik devrelerin fiziksel yapılarından dolayı bir sayısal elemanın (örneğin bir lojik bağlacın) girişine uygulanan işaret (lojik değer) ancak belli bir süre geçtikten sonra o elemanın çıkışında etkili olur.

Giriş işaretinin elemanın içinde yol alarak çıkışı etkilemesi için geçen zaman o elemanın **propagasyon (yayıma) gecikmesini** belirler.

Propagasyon gecikmesi lojik devrenin çalışma hızını belirler.

Örnek:

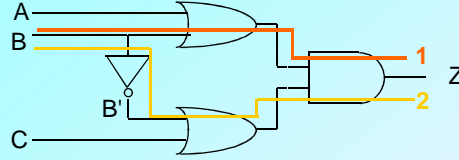


Gecikmeler nedeniyle oluşan problemler: **Kaza (Hazard)**

Bir giriş değerinin, farklı bir kaç yoldan çıkışı etkilemesi nedeniyle çıkışta beklenmedik değer değişiklikleri (kazalar) oluşur.

Örneğin aşağıdaki devrede B girişinin değeri Z çıkışına iki farklı yoldan etki eder.

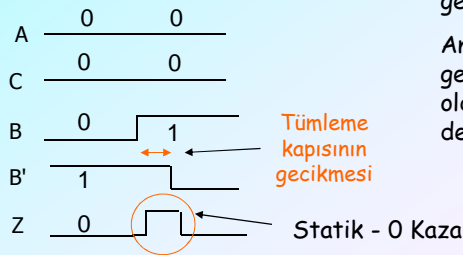
$$Z = (A+B) \cdot (B'+C)$$



Bu devrenin doğruluk tablosu incelendiğinde $A=0, B=0, C=0$ girişi için $Z=0$ olduğu görülür.

Bu durumdayken $B=1$ olursa lojik ifadeye göre devrenin çıkışının $Z=0$ olarak kalması gerekir.

Ancak 1. yol, 2. yola göre gecikmeler açısından daha "kısa" olduğundan Z çıkışında anlık bir değişim (kaza) oluşur.



Üç tür kaza (*hazard*) vardır:

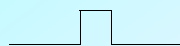
a) **Statik 0:** Çıkış lojik 0'da kalması gerekirken kısa bir süre "1" olup tekrar 0'a iner.

Statik 0 kaza, toplamaların çarpımı şeklinde gerçekleştirilen devrelerde oluşur.

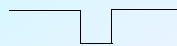
b) **Statik 1:** Çıkış lojik 1'de kalması gerekirken kısa bir süre "0" olup tekrar 1'e çıkar.

Statik 1 kaza, çarpımların toplamı şeklinde gerçekleştirilen devrelerde oluşur.

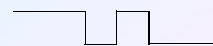
b) **Dinamik:** Çıkış bir kez değer değiştirmesi gerekirken bir kaç defa değer değiştirir.



Statik 0

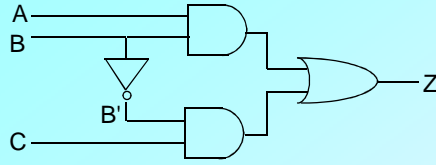


Statik 1



Dinamik

Kazaların önlenmesi:



Çarpımların toplamı şeklinde gerçekleştirilen yandaki devrenin doğruluk tablosu incelendiğinde $A=1, B=1, C=1$ girişi için $Z=1$ olduğu görülür. Bu durumdayken $B=1$ 'den 0 'a inerse devrenin çıkışının $Z=1$ olarak kalması gerekir. Ancak Z çıkışında anlık bir değişim (statik 1 kaza) oluşur.

Bir devrede kaza tehlikesi olup olmadığı Karnaugh diyagramından da anlaşılabilir.

Z	BC	B			
		00	01	11	10
A	0		1		
A	1		1	1	1

$$Z = AB + B'C$$

B 'deki değişim ($1 \rightarrow 0$) bir asal çarpımdan diğerine geçilmesine neden olmaktadır. Böyle geçişler gecikmelerden dolayı kazalara neden olurlar.

Eğer kazalar kesinlikle önlenmek isteniyorsa devrenin maliyeti arttırılarak, aralarında geçiş olan iki çarpımın konsensüsü de tasarıma eklenir.

Z	BC	B			
		00	01	11	10
A	0		1		
A	1		1	1	1

$$Z = AB + B'C + AC$$

ARDIŞIL DEVRELER (Sequential Circuits)

- Dersin ilk bölümünde **kombinezonsal (combinational) devreleri** inceledik. Bu tür devrelerde çıkışın değeri o andaki girişlerin değerlerine bağlıdır.
- Ardışıl (sequential) devreler**de ise çıkış değeri, hem girişlerden gelen değerlere hem de devrenin bir önceki "durumuna" bağlıdır. Durum bilgisini tutmak için bu devrelerde **bellek** elemanları bulunur.
- Ardışıl devrelere örnek olarak bozuk parayla çalışan meşrubat makinelerindeki lojik devreler gösterilebilir. Böyle bir sayısal ardışıl devre, ürünü vermek için sadece o anda atılan parayı değil, daha önce atılmış olan parayı da dikkate almalıdır.

- Ardışıl devreler iki gruba ayrılır:

Senkron (eş zamanlı) ardışıl devreler: Bu devreler sadece belli zamanlarda durum değiştirebilirler.

Tüm bellek elemanları ortak bir saat işareti ile eş zamanlı (senkron) olarak tetiklenirler.

Asenkron ardışıl devreler: Bu tür devreler her hangi bir zamanda girişlerdeki değişime bağlı olarak durum değiştirebilirler.

Bu derste günümüzde çok yaygın olarak kullanılan eş zamanlı devreler ele alınacaktır. Örneğin mikroişlemciler saatle tetiklenen eş zamanlı ardışıl devrelerdir.

Sonlu Durumlu Makine (Finite State Machine- FSM) Modeli

Ardışıl devreler "sonlu durumlu makine" (Finite State Machine- FSM) modeli kullanılarak tasarlanırlar.

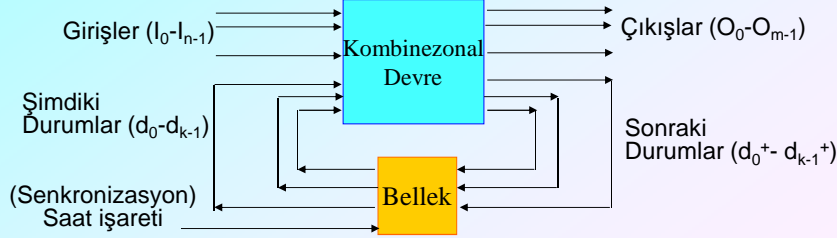
Bu **modelleme yöntemi**, bir çok başka sistemin tasarımında da kullanılır.

- Böyle bir makine ilk çalışmaya başladığında belli bir durumda bulunur.
- Gelen giriş değerine göre ve içinde bulunduğu duruma göre makine bir çıkış üretir.
- Gelen giriş değerine göre ve içinde bulunduğu duruma göre yeni bir duruma geçer.

Sonlu durumlu makineler, lojik devre olarak olarak gerçekleştirilirken iki kısımdan oluşturulurlar:

a) Lojik işlemleri yapan kombinezonel devre,

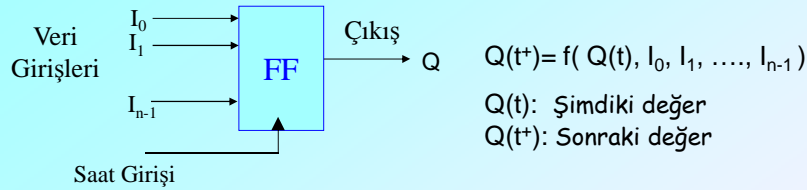
b) Durum bilgisini tutan bellek elemanları.



Bellek elemanları incelendikten sonra ardışıl devreler konusu tekrar ele alınacaktır.

Veri Saklama (Bellek) Elemanları

'Flip-flop': Bir bitlik bellek elemanlarıdır. Çok girişli, bir çıkışlı lojik bir devre olarak tasarlanırlar.



Q çıkışı flip-flopun o anda içindeki ikili değeri (0,1) dışarı yansıtır. Bu değer aynı zamanda flip-flopun durum bilgisidir.

Q çıkışının alacağı yeni değer $Q(t^+)$, veri girişlerinin ve o andaki durumun $Q(t)$ bir fonksiyonu olarak belirlenir.

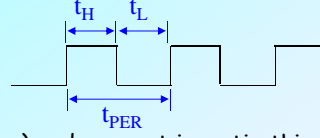
Saat işareti, veri girişlerindeki değerlerin ne zaman değerlendirileceğini, yani flip-flop'un ne zaman değer değiştireceğini belirten işaretidir.

Sadece saat işaretinin etkin olduğu anlarda flip-flop'un içeriği yukarıdaki fonksiyona göre belirlenerek değiştirilir.

Saat işareti etkin değilse, veri girişleri değişse bile flip-flop bir önceki içeriğini korur.

Saat (Clock) İşareti:

Sayısal sistemlerdeki elemanların eş zamanlı (senkronize) çalışmasını sağlayan dikdörtgen dalga şeklinde bir işarettir.



Saat işaretiyle denetlenen elemanlar (örneğin flip-flop) sadece saat işareti etkin olunca işlem yaparlar. Onun dışında eski durumların korurlar.

Saat işaretinin kullanılması açısından elemanlar ikiye ayrılır.

a) Düzey tetiklemeli elemanlar, b) Kenar tetiklemeli elemanlar

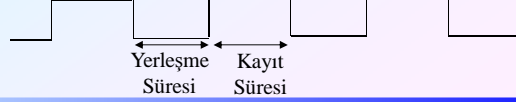
Düzey tetiklemeli elemanlar: Saat işaretinin bir düzeyini (pozitif lojikte "1" düzeyini) etkin düzey olarak kabul ederler.

Bu elemanlar saat işareti "1" düzeyindeyken işlem yaparak durumlarını ve çıkışlarını değiştirirler; saat işareti "0" düzeyindeyken eski durumlarını korurlar.

Saat işaretinin "1" düzeyindeyken girişler işleme sokulduğundan, bu süre boyunca giriş değerleri sabit tutulmalıdır.

Aksi durumda ardışıl elemanın çıkışının alacağı değer belirsiz olur. Bu süreye **kayıt süresi** denir.

Saat işaretinin "0" olduğu sürede ise girişler değiştirilebilir. Bu süreye **yerleşme süresi** denir.

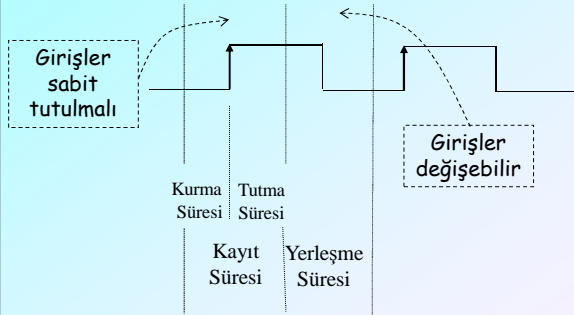
**Kenar tetiklemeli elemanlar:**

Saat işaretinin bir kenarını (pozitif lojikte çıkan kenar) etkin kenar olarak kabul ederler.

Pozitif kenar tetiklemeli elemanlar saat işareti 0→1 geçişi yapınca (çıkan kenar) işlem yaparak durumlarını ve çıkışlarını değiştirirler; saat işareti geçiş yapmazsa eski durumlarını korurlar.

Negatif lojikte ise işlemler 1→0 geçişinde (inen kenar) yapılır.

Saat işaretinin 0→1 geçişi yaparken girişler işleme sokulduğundan, bu kenardan belli bir süre önce ve sonra giriş değerleri sabit tutulmalıdır. Aksi durumda ardışıl elemanın çıkışının alacağı değer belirsiz olur.



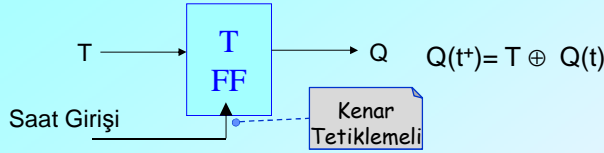
Kurma süresi "Set-up time"

Tutma süresi "Hold time"

Kayıt süresi, kurma ve tutma sürelerinin toplamından oluşur. Ardışıl devrenin sağlıklı çalışması için bu süre boyunca girişlerin sabit kalması gerekir.

Örnek: Kenar tetiklemeli T Flip-Flop (Toggle Flip-flop)

Bellek elemanlarının ve flip-flopların ayrıntılarına geçmeden önce, bu bölümde örnek olarak bir T flip-flopı gösterilmiştir.



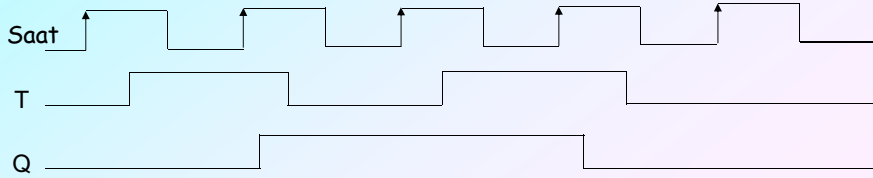
T flip-flopunun çıkışının (içeriği) alacağı değer $Q(t^+)$, o andaki değer $Q(t)$ ile girişinin (T) YA DA işlemine sokulmasıyla bulunur.

Buna göre girişine $T=0$ uygulanırsa flip-flopun içeriği değişmez.

Çünkü: $0 \oplus x = x$

Flip-flopun girişine $T=1$ uygulanırsa flip-flopun içeriği tümlenir.

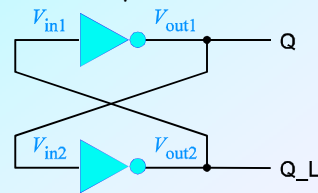
Çünkü: $1 \oplus x = x'$

**İki Kararlı (Bistable) Devre**

Bellek elemanlarını açıklamadan önce, onların çalışmasını anlamakta yardımcı olacak iki kararlı elemandan söz edilecektir.

İki kararlı eleman, iki adet tümlleme kapısının **geri beslemeli** (feedback) olarak bağlanmasıyla oluşturulan, girişi olmayan, 2 tane çıkışı olan bir sayısal devredir.

Bu devre iki **kararlı** durumdan birinde bulunur.



1. Üstteki tümlleme kapısının çıkışı V_{out1} (Q) = 0 ise, alttaki tümlleme kapısının girişi $V_{in2} = 0$, çıkışı V_{out2} (Q_L) = 1 olur. Bu da zaten $V_{in1} = 1$ ve Q'nun '0' olmasını gerektirdiğinden bu kararlı bir durumdur. $V_{in1} = 1, V_{out1} = V_{in2} = 0, V_{out2} = 1$

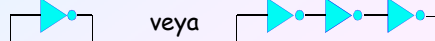
2. Üstteki tümlleme kapısının çıkışı V_{out1} (Q) = 1 ise, alttaki tümlleme kapısının girişi $V_{in2} = 1$, çıkışı (Q_L) '0' olur. Bu da zaten $V_{in1} = 0$ ve Q'nun '1' olmasını gerektirdiğinden bu da kararlı bir durumdur. $V_{in1} = 0, V_{out1} = V_{in2} = 1, V_{out2} = 0$

Bu elemanın iki kararlı durumu vardır. $Q=0$ ve $Q=1$

Girişi olmadığından elemanın durumunu dışarıdan denetlemek (değiştirmek) mümkün değildir.

İlk gerilim verildiğinde eleman rastgele bir duruma geçer.

Kararsız devre örnekleri:



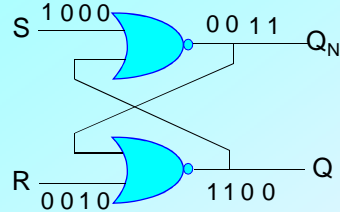
veya

S-R (Set-Reset) Bilgi Saklama Elemanı

İki adet TVEYA veya iki adet TVE bağlacı ile oluşturulabilen bir bitlik saklama elemanıdır.

Tüm flip-floplar, bu temel saklama elemanına yapılan eklemeler ile oluşturulabilir.

TVEYA ile oluşturulan S-R Saklama Elemanı:



S: Set (Birleme)
R: Reset (Sıfırlama)
Q: Çıkış (Durum)
QN: Tümlen Çıkış (Q')

Hatırlatma: Bir TVEYA bağlacının bir girişi "1" olduğunda çıkışı mutlaka "0" olur

S	R	Q	QN
1	0	1	0
0	0	1	0
0	1	0	1
0	0	0	1
1	1	0	0

S=1, R=0'dan sonra

S=0, R=1'den sonra

Yasaklı girişler

- S girişi saklama elemanına "1" yazmak için, R girişi de "0" yazmak için kullanılır.
- Her iki girişi de "0" olduğunda SR elemanı bir önceki durumunu korur.
- Girişlerin her ikisine birden "1" verilmez.

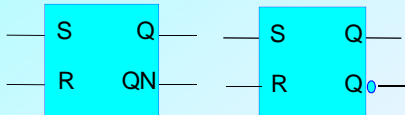
Q çıkışının bir sonraki değeri $Q(t+1)$, girişlere ve saklama elemanının o anki durumuna $Q(t)$ bağlıdır.

Buna göre S-R saklama elemanının doğruluk tablosu ve lojik ifadesi aşağıdaki gibi yazılabilir.

Q(t)	S	R	Q(t+1)
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	Yasak (Φ)
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	Yasak (Φ)

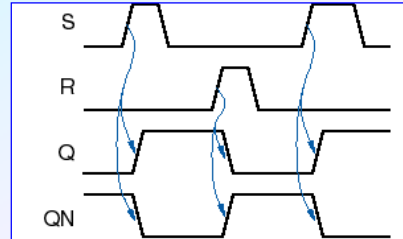
Q(t)	SR	00	01	11	10
0				Φ	1
1		1		Φ	1

$$Q(t+1) = S + Q(t)R', \quad SR=0$$

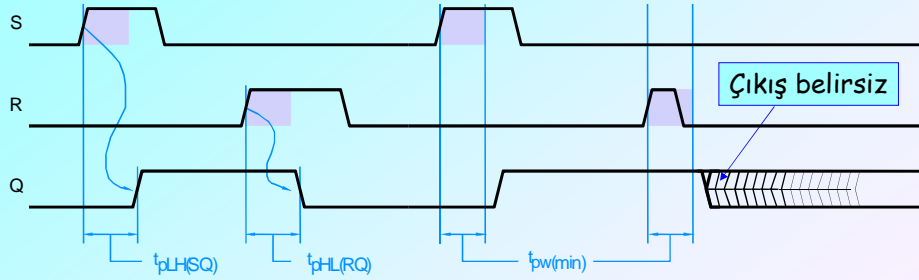


Saat işareti ile tetiklenmeyen bu elemana **tutucu (latch)** denir.

"Flip-flop" adı saat işareti ile tetiklenen bellek elemanlarına verilir.



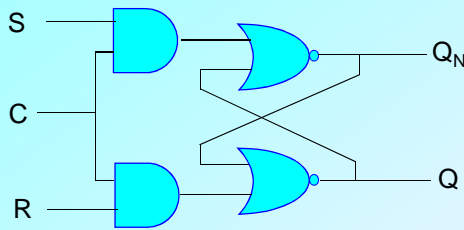
Elemanın içindeki yayılma (propagasyon) gecikmesinden dolayı S veya R girişlerindeki değişimlerin etkisi belli bir süre geçtikten sonra çıkışta etkili olur. Bu süre boyunca girişler sabit kalmalıdır. Aksi durumda çıkışın alacağı değer belirsiz olur.



$t_{pLH(SQ)}$: S değiştiğinde çıkışın 0-1 değişim yapması için geçen süre.
 $t_{pHL(RQ)}$: R değiştiğinde çıkışın 1-0 değişim yapması için geçen süre.
 $t_{pw(min)}$: Girişlerin sabit kalması gereken en küçük süre.

İzin Girişli S-R Bilgi Saklama Elemanı (Tutucu)

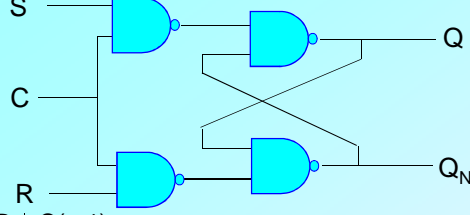
S ve R girişlerinin sadece istenen (izin verilen) zamanlarda etkili olabilmesi için bu girişlere VE kapıları bağlanır.



S: Set (Birleme)
R: Reset (Sıfırlama)
Q: Çıkış (Durum)
 Q_N : Tümlen Çıkış (Q')
C: İzin girişi

Ancak C=1 olduğunda elemanın içeriği değiştirilebilir. C=0 olduğunda elemanın içeriği korunur.

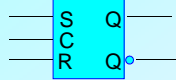
S
R
C
 Q_N
Q

İzin Girişli S-R Tutucu (Sadece TVE kapıları ile Tasarım)

Yansı 6.16'da, TVEYA ve VE kapıları kullanılarak gerçekleştirilmiş olan izin girişli S-R tutucu sadece TVE bağlaçları kullanılarak yandaki şekilde gerçekleştirilebilir.

Tutucunu girişine yasaklı değerler (SR=11) uygulanırsa Q ve Q' çıkışlarının ikisi de 1 olur. Bu durumdayken izin kaldırılırsa tutucunun değeri belirsiz olur.

C	S	R	Q(t+1)
0	X	X	Q(t)
1	1	0	1
1	0	1	0
1	0	0	Q(t)
1	1	1	Yasak

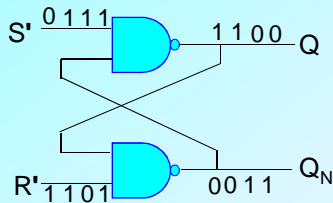
**Tutucu (Latch), Flip-flop Farkı:**

Buraya kadar tanıtılan S-R saklama elemanının bir saat işareti ile tetiklenmesi söz konusu değildir. İzin girişi etkin olduğu sürece bu elemanın içeriği değiştirilebilir. Bu tip elemanlara **tutucu (latch)** denir.

Saat işareti ile tetiklenen saklama elemanlarına ise **flip-flop** denir.

TVE Bağlaçlı S'-R' Tutucu (Latch)

S-R veri saklama elemanları TVEYA kapıları yerine TVE kapıları kullanılarak da tasarlanabilir. Bu elemanlar **S'-R'** tutucu olarak adlandırılır.



S': Set (Birleme) Tümleyeni
R': Reset (Sıfırlama) Tümleyeni
Q: Çıkış (Durum)
QN: Tümleyen Çıkış (Q')

6.17'deki elemandan farklıdır.

S'	R'	Q	QN
0	1	1	0
1	1	1	0
1	0	0	1
1	1	0	1
0	0	1	1

S'=0, R'=1'den sonra

S'=1, R'=0'dan sonra

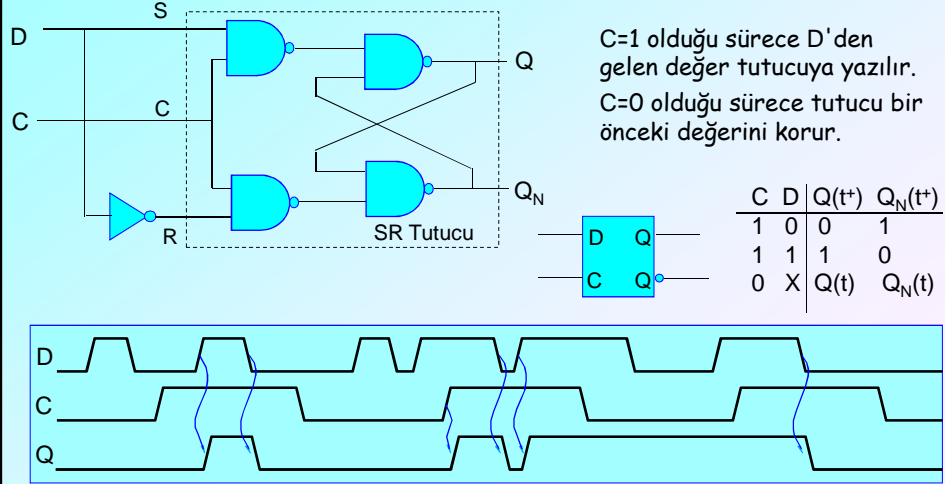
Yasaklı girişler

Hatırlatma: Bir TVE bağlaçının bir girişi "0" olduğunda çıkışı mutlaka "1" olur

D tipi Tutucu (Delay Latch)

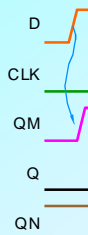
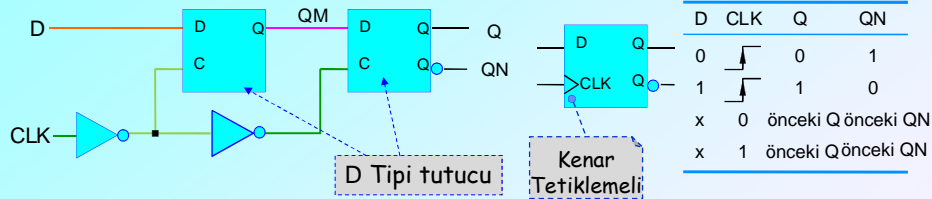
S-R tutucunun yapısına bazı eklemeler yaparak değişik fonksiyonlara sahip başka tipte tutucular elde edilebilir.

S-R tutucunun S ve R girişleri bir tümleme kapısı ile birleştirilirse D tipi tutucu elde edilir.

**Pozitif (çıkan) kenar tetiklemeli D tipi Flip-flop**

Tutucular izin girişleri etkin olduğu sürece veri girişlerindeki değerlere göre içeriklerini değiştirirler.

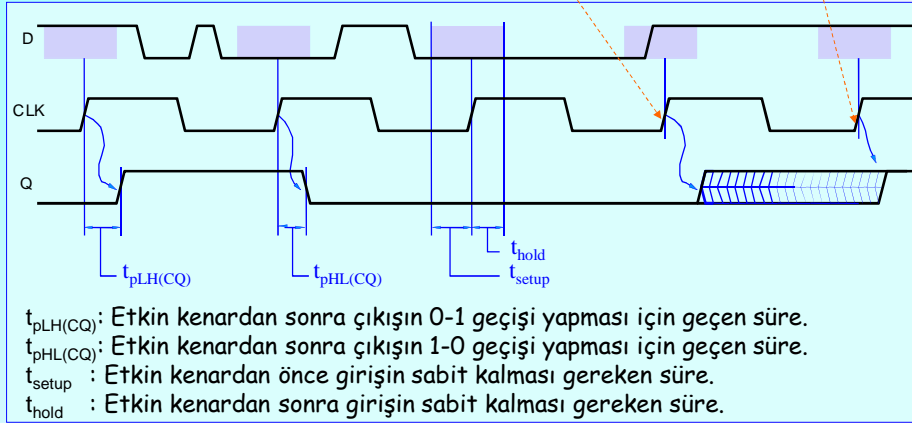
Flip-floplar ise ancak bir saat işareti etkin olduğunda veri girişlerindeki değerlerden etkilenirler.



Pozitif kenar tetiklemeli D tipi flip-flopunun zamanlama özellikleri

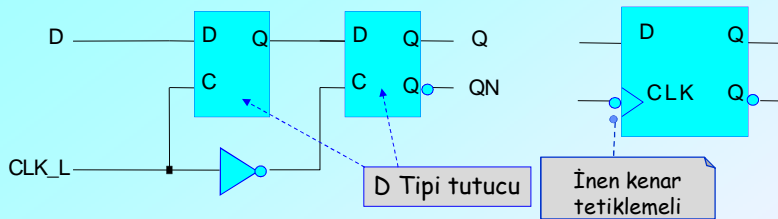
Kurma süresine (*setup time*) uyulmadığı için çıkış belirsizdir.

Çıkış tekrar belirli bir değer (örnekte 1) alır.



Negatif (inen) kenar tetiklemeli D tipi Flip-flop

Saat işaretinin inen kenarlarında D girişindeki veri flip-flopa yazılır.

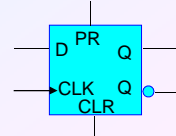


D	CLK_L	Q	QN
0	↓	0	1
1	↓	1	0
x	0	eski Q	eski QN
x	1	eski Q	eski QN

Flip-floparda, özellikle başlangıç değeri yazabilmek için saat işaretinden bağımsız olarak (**asenkron**) çalışan girişler de bulunabilir.

Flip-flopa 1 yazmak için PR (*Preset*), 0 yazmak için CLR (*Clear*) girişi kullanılır.

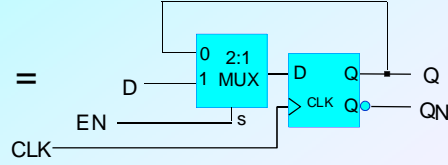
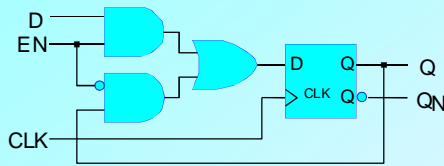
Asenkron girişler, saat işareti etkin olmasa da flip-flopu etkilerler.



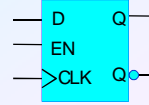
Kenar tetiklemeli ve izin giriřli D tipi Flip-flop

Flip-floplarda da izin giriři (*enable*) bulunabilir.

Flip-flopun içerięinin deęiřtirilebilmesi için izin giriři etkin olmalıdır. Aksi durumda flip-flopun içerięi korunur.



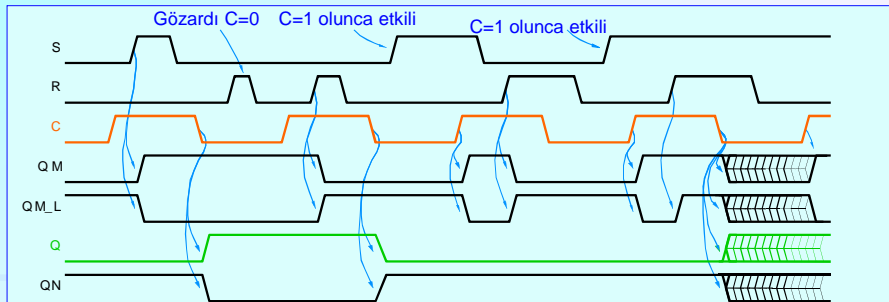
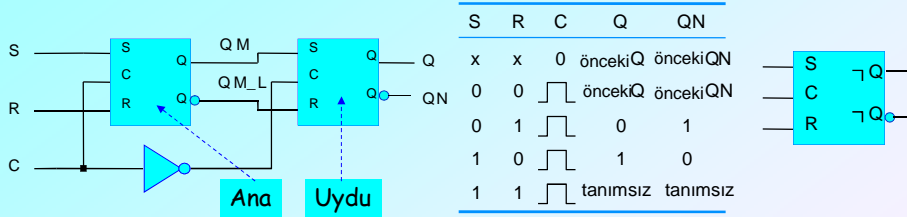
D	EN	CLK	Q	QN
0	1		0	1
1	1		1	0
x	0		eski Q	eski QN
x	x	0	eski Q	eski QN
x	x	1	eski Q	eski QN

**Ana/Uydu (Master/Slave) tipi SR Flip-flop**

Ana/uydu tipi flip-floplar darbe tetiklemeli (*pulse-triggered*) türden elemanlardır.

Bu tip flip-flopun içerięi (çıkıřı) sadece saat iřaretinin inen kenarında deęiřir.

Ancak flip-flopun alacaęı deęer saat iřaretinin 1 olduęu süre boyunca belirlenir.

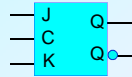
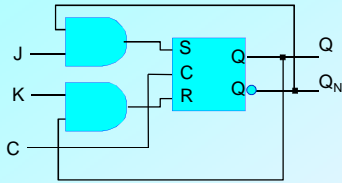


JK Tıtuću

SR flip-floplarındaki yasaklı giriř (S=1,R=1) problemi JK tipi saklama elemanları ile çözülmüřtür.

Bu elemanlar SR elemanları gibi çalıřır. J giriři birleme, K giriři ise sıfırlama iřlemi yapar.

J=1, K=1 giriři uygulanması durumunda elemanın içerięi tımlenmiř olur.



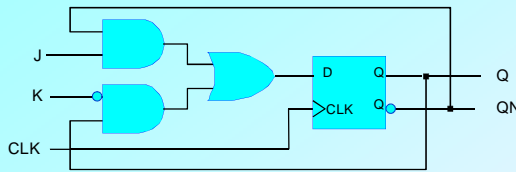
J	K	C	Q	QN
x	x	0	eski Q	eski QN
0	0	1	eski Q	eski QN
0	1	1	0	1
1	0	1	1	0
1	1	1	eski QN	eski Q

$$Q(t+1) = J \cdot Q(t)' + K' \cdot Q(t)$$

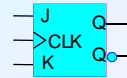
Kenar Tetiklemeli JK Flip-flopu

Kenar tetiklemeli bir D flip-flopu ve lojik baęlaçlar kullanılarak kenar tetiklemeli bir JK flip-flopu tasarlanabilir.

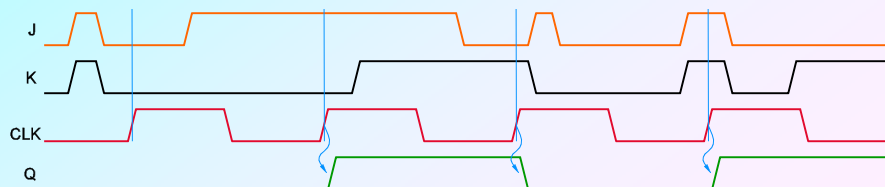
Bu flip-flopta JK giriřleri sadece saat iřaretinin etkin geçiřlerinde (kenarlarında) deęerlendirilir.

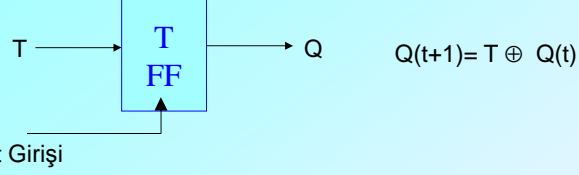


J	K	CLK	Q	QN
x	x	0	eski Q	eski QN
x	x	1	eski Q	eski QN
0	0	1	eski Q	eski QN
0	1	1	0	1
1	0	1	1	0
1	1	1	eski QN	eski Q



$$Q(t+1) = J \cdot Q(t)' + K' \cdot Q(t)$$



Kenar tetiklemeli T Flip-Flopu (*Toggle Flip-flop*)

T flip-flopunun çıkışının (içeriği) bir saat darbesi sonra alacağı değer $Q(t+1)$, şimdiki değer $Q(t)$ ile girişinin (T) YA DA işlemine sokulmasıyla bulunur.

Buna göre girişine $T=0$ uygulanırsa flip-flopun içeriği değişmez.

Çünkü: $0 \oplus x = x$

Flip-flopun girişine $T=1$ uygulanırsa flip-flopun içeriği tümlenir.

Çünkü: $1 \oplus x = x'$

