

# Sayısal Elektronik Devreleri

## II. Ödev

Son Teslim Tarihi: Pazartesi Grubu 18 Nisan 2011 - Salı Grubu 19 Nisan 2011 (Uygulama saatleri!)

**Not: Uygulama saati dışında kesinlikle ödev teslimi kabul edilmeyecektir.**

0.35  $\mu\text{m}$  CMOS prosesine ait parametreler aşağıda verildiği gibidir:

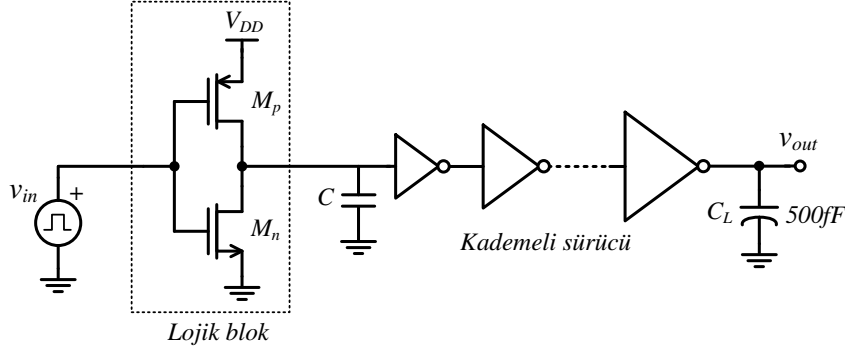
$$\mu_n C_{ox} = 160 \mu\text{A/V}^2, \mu_p C_{ox} = 80 \mu\text{A/V}^2, V_{DD} = 3.3 \text{ V}, V_{TN} = -V_{TP} = 0.6 \text{ V}, t_{ox} = 7.75 \text{ nm}, \\ L_{min} = W_{min} = 0.35 \mu\text{m}, \epsilon_{ox} = \epsilon_0 \times \epsilon_r = 3.45 \times 10^{-11} \text{ F/m}$$

1.  $Y = \overline{ABC + DE + F}$  lojik fonksiyonu veriliyor. Buna göre:
  - a. Y fonksiyonunu statik CMOS lojik kapıyla gerçekleyin.
  - b. Tüm NMOS'lar  $W_N = 5 \mu\text{m}$  ve tüm PMOS'lar  $W_P = 10 \mu\text{m}$  olarak boyutlandırıldığına göre bu lojik kapı 200fF'lık yükü sürerken en kötü durumdaki yükselme ve düşme gecikmelerini hesaplayın.
  - c. Tüm girişlerin ortak değişmesi durumunda oluşan eşdeğer eviricinin  $V_{TH}$  değerini hesaplayın.
  - d. Y fonksiyonunu sözde NMOS statik kapı olarak gerçekleyin. NMOS'lar  $W_N = 5 \mu\text{m}$  ve PMOS minimum boyutlu ise en kötü durumdaki  $V_{OL}$  değerini hesaplayın.
  - e. Çubuk diyagramlarından yararlanarak CMOS ile gerçekleştirilmiş kapının serimini yaklaşık olarak gösterin.

Yol Gösterme: Çubuk diyagramları ile ilgili detaylı bilgiyi aşağıdaki adresten edinebilirsiniz.

<http://www.ohio.edu/people/starzykj/webcad/ee415/VLSI/design/stick/stick.htm>

2. Tek eviriciden oluşan lojik bir blok, çıkışında en fazla  $C = 25 \text{ fF}$  yük sürebilmektedir. İlgili bloğun  $C_L = 500 \text{ fF}$ 'lık yükü sürmesi istenmektedir.  $M_n$  ve  $M_p$  için  $(W/L_{min})_{Mp} = 4$  ve  $(W/L_{min})_{Mn} = 2$  olduğu bilinmektedir.



- a.  $C_L$  yükünü sürebilecek CMOS kademeli sürücüyü  $v_{in}$  girişinden  $v_{out}$  çıkışına olan toplam gecikmeyi minimize edecek şekilde tasarlayın. Transistör boyutlarını belirleyin.
- b. Tasarımınızı Spice ortamında simule ederek sonuçlarınızı doğrulayın. Bunun için lojik blok girişine 0 – 3.3V değerleri arasında salınan uygun frekansta kare dalga uygulayarak çıkış işaretini giriş işaretiyle birlikte çizdirin. Toplam gecikme süresini sonuçlar üzerinden gözleyin.

Tüm transistörler için Spice model parametreleri:

NMOS için:	PMOS için:
<pre>.model NMOS_HW2 NMOS +LEVEL = 2 +KP = 160u +VTO = 0.6 +TOX = 7.75e-9</pre>	<pre>.model PMOS_HW2 PMOS +LEVEL = 2 +KP = 80u +VTO = -0.6 +TOX = 7.75e-9</pre>