

8 bitlik 4 tane yazaç (A,B,C ve D) bir ortak veri yolu üzerinden birbirlerine veri aktarmaktadırlar. A,B ve C yazaçları, aralarında verilerini değiştirmek için(swaping) ortak veri yolu üzerinden D yazacını kullanmaktadırlar.Bu ortak veri yolu sistemi, kontrol girişleri DR değişkenleri ile gösterilmiş gerekli sayıda üç-durumlu tampon devreler kullanılarak tasarlanmıştır. A,B ve C yazaçları aşağıdaki 3 değişik durumda birbirleriyle verilerini değiştirmektedirler:

- komut 0: A ile B arasında veri değişimi yapılmaktadır,
- komut 1: A ile C arasında veri değişimi yapılmaktadır,
- komut 2: B ile C arasında veri değişimi yapılmaktadır,

Saat peryotlarına ilişkin değişkenler T1, T2, .. ile gösterilecektir. İlgili komutlar lojik bağıntılarda S1, S0 değikenleri ile temsil edilecektir.

Bu üç işlemi gerçekleştirecek ortak veri yolu sistemini tasarlayınız. Her bir saat darbesinde yazaçlarda meydana gelen değişiklikleri tablo şeklinde gösteriniz. Yazaçların LD_A, LD_B, ... yükleme ve DR_A, DR_B,... sürme kontrol girişlerine ilişkin sayısal bağıntıları bulunuz ve gerçekleştiriniz.

Cevap:

	S, S_0	
Komut 0	0 0	$\Rightarrow S', S_0'$
Komut 1	0 1	$\Rightarrow S', S_0$
Komut 2	1 0	$\Rightarrow S, S_0'$

Komut 0: $A \leftrightarrow B$

$$S', S_0'. T_1: D \leftarrow A$$

$$S', S_0'. T_2: A \leftarrow B$$

$$S', S_0'. T_3: B \leftarrow D$$

Komut 1: $A \leftrightarrow C$

$$S', S_0. T_1: D \leftarrow A$$

$$S', S_0. T_2: A \leftarrow C$$

$$S', S_0. T_3: C \leftarrow D$$

Komut 2: $B \leftrightarrow C$

$$S, S_0'. T_1: D \leftarrow B$$

$$S, S_0'. T_2: B \leftarrow C$$

$$S, S_0'. T_3: C \leftarrow D$$

* A'ya veri yüklemek için: (LD-A'nın boşluk ifadesi) ②

$$\left. \begin{array}{l} S_1' S_0' . T_2 : A \leftarrow B \\ S_1' S_0' . T_2 : A \leftarrow C \end{array} \right\} \boxed{LD-A = S_1' S_0' T_2 + S_1' S_0' T_2} \quad [1]$$

* B'ye veri yüklemek için: (LD-B'nin boşluk ifadesi)

$$\left. \begin{array}{l} S_1' S_0' . T_3 : B \leftarrow D \\ S_1' S_0' . T_2 : B \leftarrow C \end{array} \right\} \boxed{LD-B = S_1' S_0' . T_3 + S_1' S_0' T_2} \quad [2]$$

* C'ye veri yüklemek için: (LD-C'nin boşluk ifadesi)

$$\left. \begin{array}{l} S_1' S_0' . T_3 : C \leftarrow D \\ S_1' S_0' . T_3 : C \leftarrow D \end{array} \right\} \boxed{LD-C = S_1' S_0' T_3 + S_1' S_0' T_3} \quad [3]$$

* D'ye veri yüklemek için: (LD-D'nin boşluk ifadesi)

$$\left. \begin{array}{l} S_1' S_0' T_1 : D \leftarrow A \\ S_1' S_0' T_1 : D \leftarrow A \\ S_1' S_0' T_2 : D \leftarrow B \end{array} \right\} \boxed{LD-D = S_1' S_0' T_1 + S_1' S_0' T_1 + S_1' S_0' T_2} \quad [4]$$

* A'den veri okunak için (DR-A'nın lojik ifadesi) ③

$$\left. \begin{array}{l} S_1' S_0' T_1 : D \in A \\ S_1' S_0 T_1 : D \in A \end{array} \right\} \boxed{DR-A = S_1' S_0' T_1 + S_1' S_0 T_1} \quad [5]$$

* B'den veri okunak için (DR-B'nin lojik ifadesi)

$$\left. \begin{array}{l} S_1' S_0' T_2 : A \in B \\ S_1 S_0' T_1 : A \in C \end{array} \right\} \boxed{DR-B = S_1' S_0' T_2 + S_1 S_0' T_1} \quad [6]$$

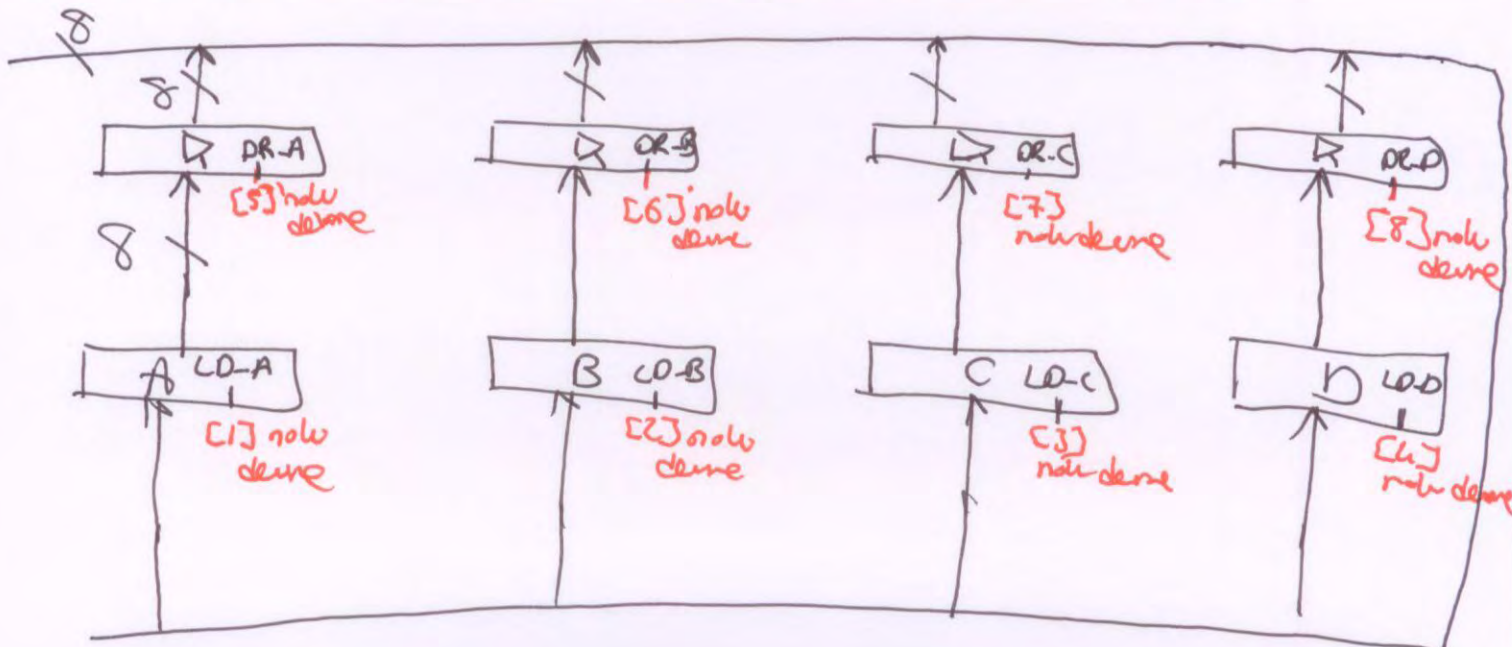
* C'den veri okunak için (DR-C'nin lojik ifadesi)

$$\left. \begin{array}{l} S_1' S_0 T_2 : A \in C \\ S_1 S_0' T_2 : B \in C \end{array} \right\} \boxed{DR-C = S_1' S_0 T_2 + S_1 S_0' T_2} \quad [7]$$

* D'den veri okunak için (DR-D'nin lojik ifadesi)

$$\left. \begin{array}{l} S_1' S_0' T_3 : B \in D \\ S_1' S_0 T_3 : C \in D \\ S_1 S_0' T_3 : C \in D \end{array} \right\} \boxed{DR-D = S_1' S_0' T_3 + S_1' S_0 T_3 + S_1 S_0' T_3} \quad [8]$$

[1]... [8] denklemleri kutuklara göre düzenlenir!



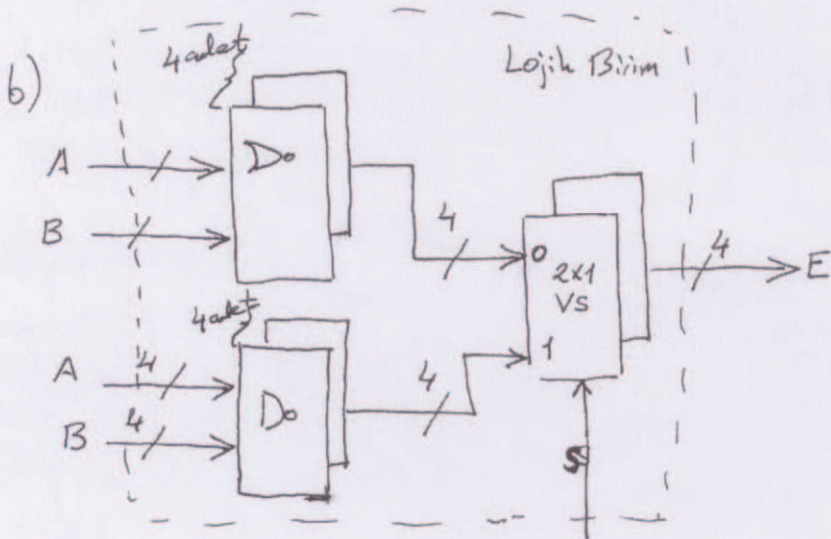
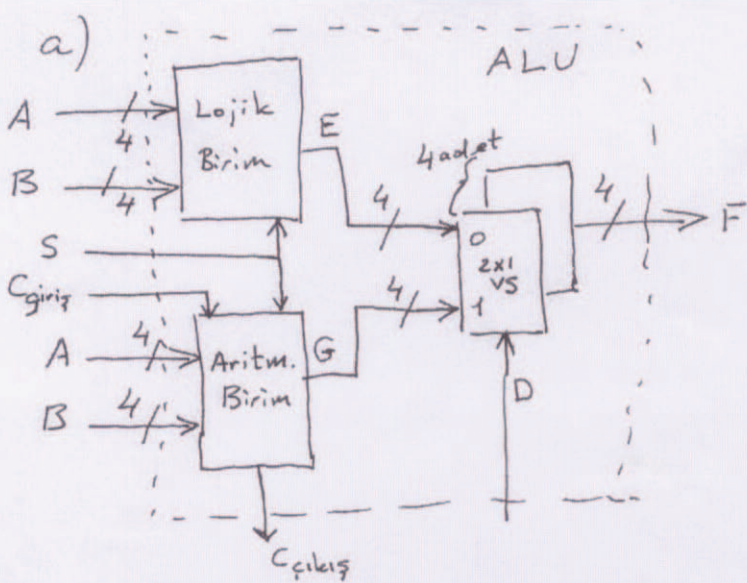
4 bitlik bir aritmetik-lojik birim (ALU) tasarlanacaktır. Bu birimin, D ile gösterilen bir denetim girişi, S ile gösterilen bir seçme girişi, $C_{giriş}$ ile gösterilen bir elde girişi ve $C_{çıkış}$ ile gösterilen bir elde çıkışı bulunacaktır.

a) Aritmetik Birimi bir kutu, Lojik Birimi de ikinci bir kutu olarak göstererek $D=0$ olduğunda Lojik birimin, $D=1$ olduğunda ise Aritmetik Birimin seçilmesi koşulunu sağlayacak biçimde ALU'yu tasarlayın.

b) Tasarlanacak ALU'nün Lojik Biriminde $S=0$ ise TVEYA, $S=1$ ise TVE işlemleri gerçekleştirilecektir. a şıkında bir kutu olarak gösterdiğiniz Lojik Birimi gerekli tüm elemanları kullanarak tasarlayıp çiziniz.

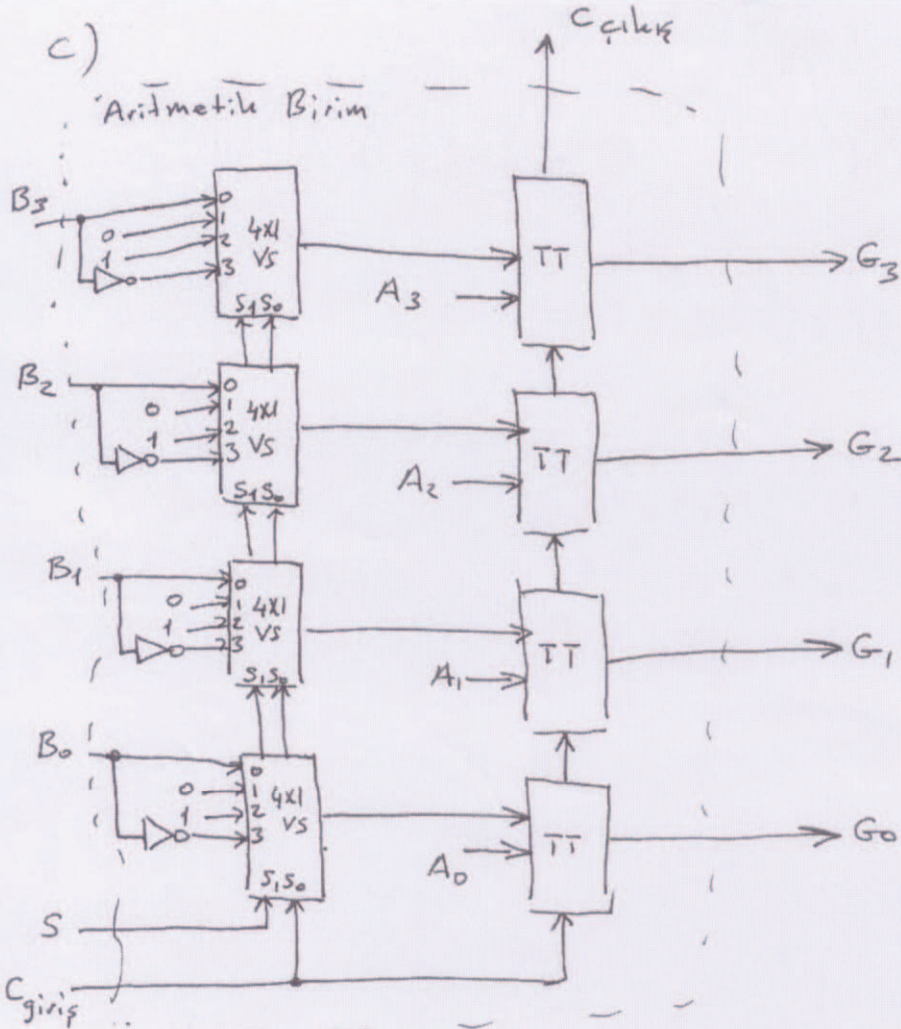
c) Tasarlanacak ALU'nün aritmetik biriminde tanımlanacak fonksiyonlar aşağıdaki tabloda verilmiştir. b şıkında bir kutu olarak gösterdiğiniz Aritmetik Birimi gerekli tüm elemanları kullanarak tasarlayıp çiziniz

S	$C_{giriş}=0$	$C_{giriş}=1$
0	$A+B$	$A+1$
1	$A-1$	$A-B$



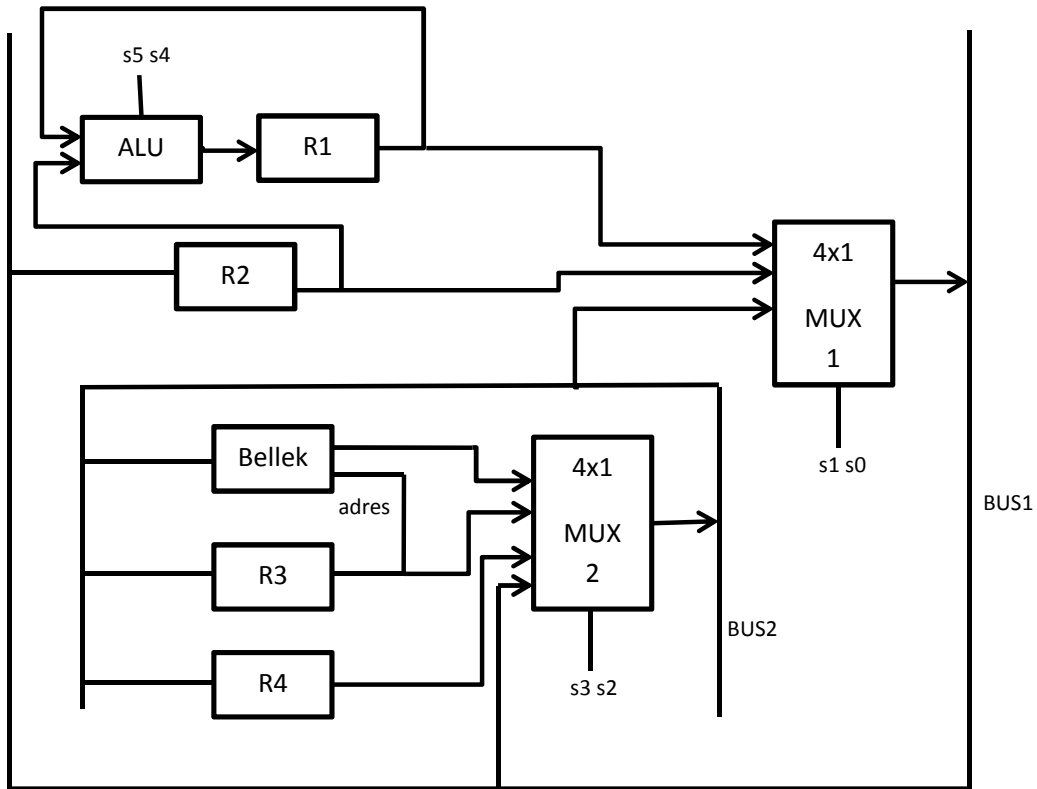
c)

Aritmetik Birim



BLG 222 – Kısa sınav 1**Açıklamalar:**

1. Sınav 50 dakikadır..
2. Bu sınavın sonucu sene sonu notunuzun %10'unu belirleyecektir.



Bu şekilde gösterilen her register'a ait yükle (LD), temizle (CLR) ve artır (INC) denetim girişleri ve belleğe ait oku (R) ve yaz (W) denetim girişleri bulunmaktadır. Çizimi karıştırmamak için gösterilmemiştir. Ayrıca 1 ve 2 numaralı veri seçicilerin 2 bitlik seçici girişleri ve ALU için 2 bit işlem seçici bulunmaktadır. Bu veri seçiciler ile ortak veri yollarına kimin yazacağı şu şekildedir:

s1 s0	BUS1'e yazacak birim
00	R1
01	R2
10	BUS2
11	-

s3s2	BUS2'e yazacak birim
00	Bellek
01	R3
10	R4
11	BUS1

ALU işlemleri ise şöyledir:

s5 s4	ALU işlemi
00	$R1 \leftarrow R2$
01	$R1 \leftarrow R1 + R2$
10	$R1 \leftarrow R1 - R2$
11	$R1 \leftarrow R1 \text{ VE } R2$

Yukarıda verilen mimaride aşağıdaki işlemlerin gerçekleştirilmesi için gerekli RTL adımlarını (mümkün olduğunca hızlı ve paralel çalışacak şekilde) ve her adımda gerekli denetim sinyallerinin değerlerini yazınız. Her işlem için en az kaç saat döngüsü gerektiğini belirtiniz. İşlemde kullanılan register içerisindeki başlangıç değerlerinin korunması gerekmektedir.

İşlem	RTL	Denetim sinyalleri	Gerekli saat döngüsü (en az)
$R3 \leftarrow R3 + R4$	$R2 \leftarrow R3$	$LD(R2)=1, s3s2=01, s1s0=10$	4
	$R1 \leftarrow R2, R2 \leftarrow R4$	$LD(R1)=1, LD(R2)=1, s5s4=00, s3s2=10, s1s0=10$	
	$R1 \leftarrow R1+R2$	$LD(R1)=1, s5s4=01$	
	$R3 \leftarrow R1$	$LD(R3)=1, s1s0=00, s3s2=11$	
$R4 \leftarrow R2 - R1$	$R1 \leftarrow R2, R2 \leftarrow R1$	$LD(R1)=1, LD(R2)=1, s5s4=00, s1s0=00$	3
	$R1 \leftarrow R1-R2$	$LD(R1)=1, s5s4=10$	
	$R4 \leftarrow R1$	$LD(R4)=1, s5s4=10, s3s2=11$	
$R3 \leftarrow R1 + M[R2]$	$R3 \leftarrow R2$	$LD(R3)=1, s1s0=01, s3s2=11$	4
	$R2 \leftarrow M[R3]$	$LD(R2)=1, Oku=1, s3s2=00, s1s0=10$	
	$R1 \leftarrow R1+R2$	$LD(R1)=1, s5s4=01$	
	$R3 \leftarrow R1$	$LD(R3)=1, s1s0=00, s3s2=11$	
$R3 \leftarrow R1 + M[R2+R1]$	$R4 \leftarrow R1, R1 \leftarrow R1+R2$	$LD(R4)=1, s1s0=00, s3s2=11, s5s4=10$	6
	$R3 \leftarrow R1$	$LD(R3)=1, s1s0=00, s3s2=11$	
	$R2 \leftarrow R4$	$LD(R2)=1, s3s2=10, s1s0=10$	
	$R1 \leftarrow R2, R2 \leftarrow M[R3]$	$LD(R1)=1, LD(R2)=1, s5s4=00, Oku=1, s3s2=00, s1s0=10$	
	$R1 \leftarrow R1+R2$		
	$R3 \leftarrow R1$	$LD(R3)=1, s1s0=00, s3s2=11$	
$R2 \leftarrow M[M[R1-R4]]$	$R2 \leftarrow R4$	$LD(R2)=1, s3s2=10, s1s0=10$	6
	$R1 \leftarrow R1-R2$	$LD(R1)=1, s5s4=10$	
	$R3 \leftarrow R1$	$LD(R3)=1, s1s0=00, s3s2=11$	
	$R3 \leftarrow M[R3]$	$LD(R3)=1, Oku=1, s3s2=00$	
	$R3 \leftarrow M[R3]$	$LD(R3)=1, Oku=1, s3s2=00$	
	$R2 \leftarrow R3$	$LD(R2)=1, s3s2=01, s1s0=10$	
$M[R3+2] \leftarrow M[R3]+M[R3+1]$	$R2 \leftarrow M[R3], R3 \leftarrow R3+1$	$LD(R2)=1, Oku=1, s3s2=00, s1s0=10, INC(R3)=1$	4
	$R2 \leftarrow M[R3], R1 \leftarrow R2$	$LD(R2)=1, Oku=1, s3s2=00, s1s0=10, LD(R1)=1, s5s4=00$	
	$R1 \leftarrow R1+R2, R3 \leftarrow R3+1$	$LD(R1)=1, s5s4=01, INC(R3)=1$	
	$M[R3] \leftarrow R1$	$Yaz=1, s1s0=00, s3s2=11$	
$M[R3+2] \leftarrow M[R3]+M[M[R3+1]]$	$R2 \leftarrow M[R3], R3 \leftarrow R3+1$	$LD(R2)=1, Oku=1, s3s2=00, s1s0=10, INC(R3)=1$	5
	$R3 \leftarrow M[R3], R1 \leftarrow R2$	$LD(R3)=1, Oku=1, s3s2=00, LD(R1)=1, s5s4=00$	
	$R2 \leftarrow M[R3]$	$LD(R2)=1, Oku=1, s3s2=00, s1s0=10$	
	$R1 \leftarrow R1+R2, R3 \leftarrow R3+1$	$LD(R1)=1, s5s4=01, INC(R3)=1$	
	$M[R3] \leftarrow R1$	$Yaz=1, s1s0=00, s3s2=11$	