

## Sayısal Elektronik Devreleri

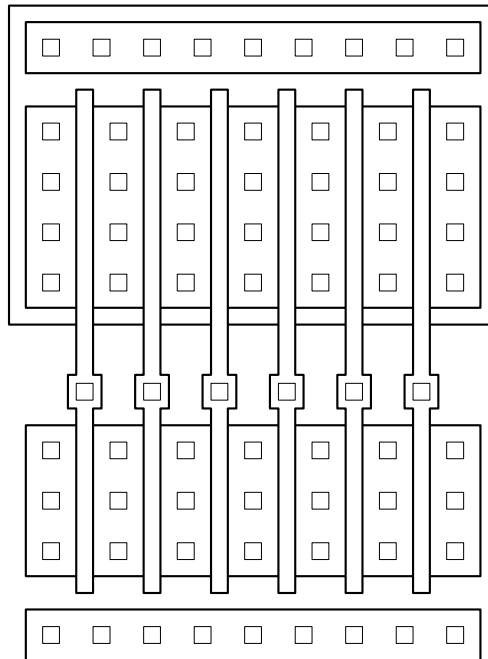
### II. Ödev

1.  $Y_1 = \overline{A[B(C+D)+EF]+G}$ ,  $Y_2 = \overline{A[BC+BD+EF]+G}$ ,  $Y_3 = \overline{ABC+ABD+AEF+G}$  lojik fonksiyonlarını

- Sadeleştirme yapmadan statik CMOS kapılarla gerçekleyin.
- En az sayıda transistor içeren yapıyı, 150 fF'lık yük kapasitesini sürerken en kötü durumda hem yükselme hem de düşme gecikmeleri 100ps olacak şekilde boyutlandırın. (NMOS'ların kendi içinde ve PMOS'ların kendi içinde eşit boyutlu olduğunu varsayın.)
- Aynı yapıyı sözde NMOS kapıyla gerçekleyerek PMOS minimum boyutlu iken en kötü durumda  $V_{OL}=0.2V$  olması için gerekli boyutlandırmaları yapın.
- Sözde NMOS kapıda en iyi durum için  $V_{OL}$ 'nin ne olacağını hesaplayın.
- 150 fF'lık yük kapasitesi için sözde NMOS kapının en kötü durumdaki yükselme ve düşme gecikmelerini hesaplayın.

$$(L_{min}=0.35\mu m, \mu_n C_{OX}=180\mu A/V^2, \mu_p C_{OX}=80\mu A/V^2, V_{TN}=-V_{TP}=0.5V, V_{DD}=3.3V)$$

2.  $Y = \overline{A[BC+D]} + EF$  lojik fonksiyonunu CMOS statik kapıyla gerçekleyin. Euler diyagramlarından yararlanarak şekildeki serim taslağında gerekli bağlantıları kurun.



**Teslim Tarihi: 8 Nisan 2008**