

## Sayısal Elektronik Devreleri

### I. Ödev

Bir 0.35  $\mu\text{m}$  CMOS prosesine ait parametreler şu şekildedir:

$$\mu_n C_{ox} = 180 \mu\text{A/V}^2, \mu_p C_{ox} = 60 \mu\text{A/V}^2, V_{DD} = 3.3 \text{ V } V_{TN} = -V_{TP} = 0.6 \text{ V}$$

Bu proseste tasarlanacak bir CMOS eviricide NMOS'un kanal genişliği  $W_n = 5 \mu\text{m}$  olduğuna göre;

- $V_{TH} = 1.65 \text{ V}$  olması için gerekli PMOS boyutlarını bulun.
- Boyutlarını bulduğunuz eviricinin girişi  $V_{TH}$  değerindeyken beslemeden çekeceği akımı bulun.
- Eviricinin  $NM^0$  ve  $NM^1$  değerlerini hesaplayın.
- Bu evirici 50 fF'lık yükü sürerken yükselme ve düşme gecikmelerini hesaplayın.
- Bu eviricinin 50 fF'lık yükü 500 MHz'lik giriş işaretiyle sürdüğü durumdaki dinamik güç tüketimini hesaplayın.
- NMOS boyutu aynı kalmak kaydıyla bu evirici aynı proseste sözde NMOS haline getirilseydi  $V_{OL} = 0.2 \text{ V}$  olması için gerekli PMOS boyutlarını bulun.
- f şıkkındaki sözde NMOS eviricinin statik güç harcamasını bulun.
- f şıkkındaki sözde NMOS eviricinin boyutunu CMOS eviricinin boyutuyla karşılaştırın. Hangisinin neden büyük olduğunu yorumlayın.  
(Yol gösterme: Bir eviricinin boyutunu  $\sum WL$  şeklinde hesaplayabilirsiniz)

**Teslim Tarihi: 18 Mart 2008**