

Sayısal Elektronik Devreleri

I. Ödev

1. Bir 0.25 μm CMOS prosesine ait parametreler şu şekildedir:

$$\mu_n C_{ox} = 83 \mu\text{A/V}^2, \mu_p C_{ox} = 37 \mu\text{A/V}^2, C_{ox} = 6.9 \text{ fF}/\mu\text{m}^2, V_{DD} = 2.5 \text{ V}, V_{TN} = -V_{TP} = 0.5 \text{ V}$$

Bu proste tasarlanan bir evirici için;

- 100 fF'lık yükü sürerken T_{PHL} ve T_{PLH} 'nin 50ps olması için transistor boyutlarını bulun.
- Boyutlarını bulduğunuz eviricinin V_{TH} değerini ve girişi V_{TH} değerindeyken beslemeden çekeceği akımı bulun.
- Eviricinin NM^0 ve NM^1 değerlerini hesaplayın.
- Evirici, kendisiyle aynı boyuttaki bir eviriciyi sürerken yükselme ve düşme sürelerini hesaplayın.
- 100 fF'lık yükü sürerken eviricinin 1 GHz'teki dinamik güç tüketimini hesaplayın.
- Evirici 1 GHz'te 100 fF'lık yükü sürerken dinamik güç tüketiminin %36 azaltılması için ne yapılmalıdır? Yeni durumda eviricinin yükselme ve düşme gecikmeleri ne olacaktır?

2. Kanal boyları mikrometreden kısa, özellikle birkaç yüz nanometre mertebesinde olan MOS transistorların davranışları uzun kanallı transistorlara göre oldukça büyük değişiklikler göstermektedir. Bu etkilerin tamamına kısa kanal etkileri (short channel effects) adı verilir.

- Kısa kanal etkilerinin aşağıdaki parametreleri hangi yönde değiştirdiğini araştırarak sebepleriyle kısaca anlatın.
 - μ
 - V_T
- Bu parametrelerin "a" şıkkındaki gibi değişmelerinin bir eviricinin dinamik çalışmasını nasıl etkileyeceğini yorumlayın.

Not: Fiziksel temele dayandırarak (örn. Akım akıtma yeteneğini azalttığı için gecikmeyi arttırır) ya da sadece formüller üzerinde göstererek (örn. Parametre paydada olduğu için artması gecikmeyi azaltır) anlatabilirsiniz.

Anahtar Kelimeler: Velocity Saturation, DIBL (Drain Induced Barrier Lowering)

Teslim Tarihi: 27 Mart 2007

1. soru 80, 2. soru 20 puandır.