

# DENEY 4

## TTL ve CMOS BAĞLAÇ KARAKTERİSTİKLERİ

### GİRİŞ

Bu deneyde TTL ve CMOS bağlaçların statik ve dinamik karakteristikleri incelenerek, aralarındaki farklılık ve benzerlikler belirlenecektir. Burada incelenecek olan karakteristikler, elemanların lojik işlevleriyle değil, iç yapılarını oluşturan elektronik devrelerin davranışlarıyla ilgilidir. Bu davranışlar gerilim ve akım değerleri ile ifade edilecektir.

### DENEY ÖNCE YAPILACAKLAR

Deneyden önce deney kılavuzu ile birlikte verilen “Sayısal Tümdevre Aileleri” ni okuyunuz. Lojik elemanları oluşturan elektronik devreleri inceleyiniz. TTL ve CMOS elemanların çalışmalarını gözden geçirin.

### DENEY ELEMANLARI

C.A.D.E.T	Deney kiti
Osiloskop	
74LS00	TTL TVE bağlacı, 2 adet
4011	CMOS TVE bağlacı, 2 adet
Direnç	100Ω

### DENEY 4.1.

#### TTL ve CMOS TVE BAĞLACI STATİK KARAKTERİSTİKLERİNİN BULUNMASI

Bu deneyler hem TTL hem de CMOS TVE bağlaçları için yapılacak ve karakteristik tabloları elde edilecektir.

#### 1.A.Boşta Çalışma Karakteristiği

Boşta çalışma karakteristiği, çıkış yüksüzken  $V_{\text{Ç}} = f(V_{\text{G}})$  bağıntısıdır.

#### UYGULAMA

Deney düzeneğini kurunuz. 1K 'lık potansiyometre yardımı ile oluşturduğunuz ayarlı gerilim kaynağının gerilimini 0-5 V arası değiştirerek giriş ve çıkış gerilimlerini TTL ve CMOS için ayrı ayrı

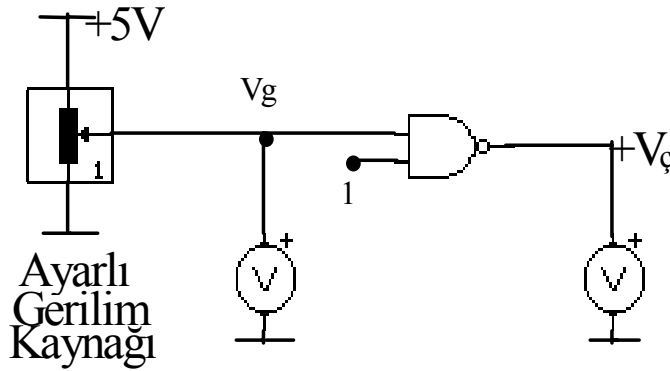
ölçerek aşağıdaki tablolara yerleştiriniz. Tabloda gösterilen sayıda değer ölçmeye özen gösteriniz. Elemanların konum değiştirme gerilimlerine dikkat ediniz.

	1	2	3	4	5	6
Giriş (Volt)						
Çıkış (Volt)						

Tablo 4.1.a. TTL

	1	2	3	4	5	6
Giriş (Volt)						
Çıkış (Volt)						

Tablo 4.1.b. CMOS



### 1.B. $V_{OH} - I_{OH}$ Karakteristiği

$V_{OH} - I_{OH}$  karakteristiği bağlacın çıkışını Lojik-1 düzeyinde tutmak isteyen giriş koşulları oluşmuşken, çıkışın Lojik-0 düzeyine doğru zorlanması halinde elde edilen  $V_{OH} = f(I_{OH})$  bağıntısıdır. Burada amaç, bağlacın çıkışı lojik-1 konumundayken akıtılabileceği en büyük çıkış akımı  $I_{OH(MAX)}$  değerini belirlemektir. Böylece incelenen bağlacın çıkışına bağlanabilecek eleman sayısının belirlenmesi için ilk adım gerçekleştirilmiş olur.

### UYGULAMA

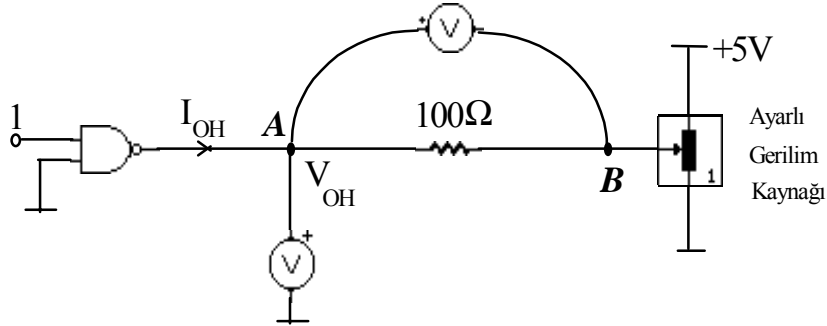
Deney düzeneğini kurunuz.  $V_{OH}$  gerilimini 5V -> 0V arası değiştirerek 6 tane  $V_{OH}$  değerine karşı düşen  $V_{AB}$  gerilimini ölçünüz ve tabloya yazınız.  $V_{AB}$  değerlerini kullanarak  $I_{OH}$  akımının değerlerini hesaplayıp tabloya yazınız ( $R=100\Omega$ ).  $V_{OH} = f(I_{OH})$  karakteristiğini yorumlayınız. Çıkış akımının artırılması (çıkışa çok sayıda eleman bağlanması) bağlacın çıkış değerini nasıl etkilemektedir?

	1	2	3	4	5	6
$V_{AB}$ (Volt)						
$V_{OH}$ (Volt)						
$I_{OH}$ (mA)						

Tablo 4.2.a. TTL

	1	2	3	4	5	6
$V_{AB}$ (Volt)						
$V_{OH}$ (Volt)						
$I_{OH}$ (mA)						

Tablo 4.2.b. CMOS



### 1.C. $V_{OL} - I_{OL}$ Karakteristiği

$V_{OL} - I_{OL}$  karakteristiği bağlacın çıkışını Lojik-0 düzeyinde tutmak isteyen giriş koşulları oluşmuşken, çıkışın Lojik-1 düzeyine doğru zorlanması halinde elde edilen  $V_{OL} = f(I_{OL})$  bağıntısıdır. Burada ise bağlacın çıkışı lojik-0 konumundayken yutabileceği en büyük akım değeri  $I_{OL(MAX)}$  belirlenecektir.  $I_{OH(MAX)}$  ve  $I_{OL(MAX)}$  değerleri sayesinde bu bağlacın çıkışına kaç tane eleman bağlanabileceği belirlenebilir.

### UYGULAMA

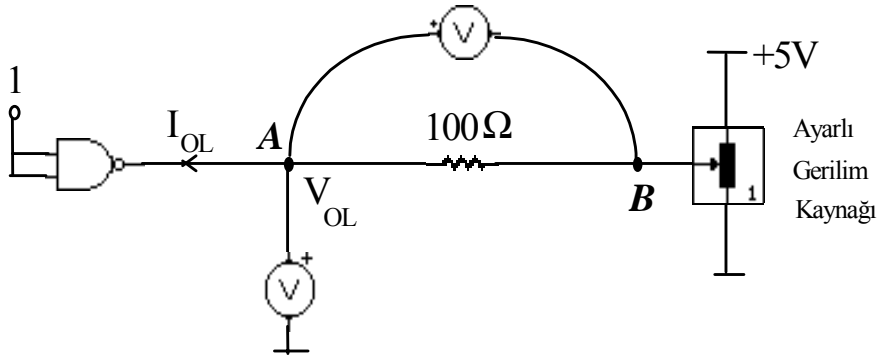
Deney düzeneğini kurunuz.  $V_{OL}$  gerilimini 0V -> 5V arası değiştirerek 6 tane  $V_{OL}$  değerine karşı düşen  $V_{AB}$  gerilimini ölçünüz ve tabloya yazınız.  $V_{AB}$  değerlerini kullanarak  $I_{OL}$  akımının değerlerini hesaplayıp tabloya yazınız ( $R=100\Omega$ ).  $V_{OL} = f(I_{OL})$  karakteristiğini yorumlayınız. Çıkış akımının artırılması (çıkışa çok sayıda eleman bağlanması) bağlacın çıkış değerini nasıl etkilemektedir?

	1	2	3	4	5	6
$V_{AB}$ (Volt)						
$V_{OL}$ (Volt)						
$I_{OL}$ (mA)						

Tablo 4.3.a. TTL

	1	2	3	4	5	6
$V_{AB}$ (Volt)						
$V_{OL}$ (Volt)						
$I_{OL}$ (mA)						

Tablo 4.3.b. CMOS



### 1.D.V<sub>i</sub> - I<sub>i</sub> Karakteristiği

V<sub>i</sub> - I<sub>i</sub> karakteristiği çıkış yüksüzken giriş gerilimi ile giriş akımı arasındaki  $V_i = f(I_i)$  bağıntısıdır. Bu karakteristik bir lojik elemanın girişinden çektiği/beslediği akım değerini belirler. Bir bağlacın girişi, başka bir bağlacın çıkışına bağlandığında sözü edilen giriş akımı diğer bağlacın çıkışından çekilecektir; ya da bu akım diğer bağlacın çıkışından içeri doğru akıtılacaktır. Bu nedenle bir bağlacın giriş akımı değeri, onun diğer bağlaçların çıkışı için ne kadar yük oluşturduğunu belirleyen bir değerdir.

#### UYGULAMA

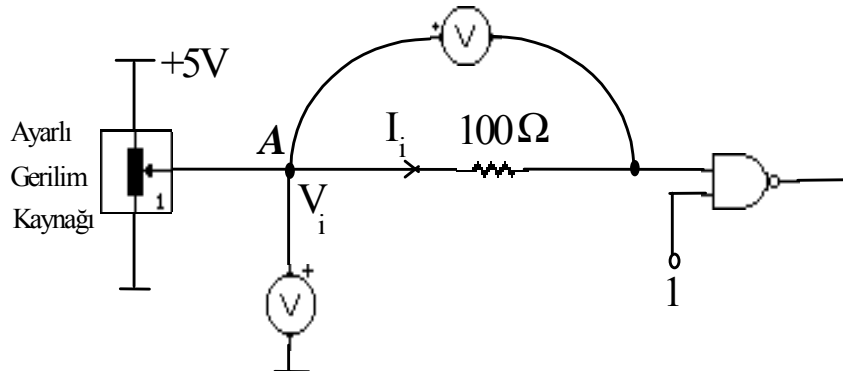
Deney düzeneğini kurunuz. V<sub>i</sub> gerilimini 0 - 5V arası değiştirerek 6 tane V<sub>i</sub> değerine karşı düşen V<sub>AB</sub> gerilimini ölçünüz ve tabloya yazınız. V<sub>AB</sub> değerlerini kullanarak I<sub>i</sub> akımının değerlerini hesaplayıp tabloya yazınız (R=100Ω).

	1	2	3	4	5	6
V <sub>AB</sub> (Volt)						
V <sub>i</sub> (Volt)						
I <sub>i</sub> (mA)						

Tablo 4.4.a. TTL

	1	2	3	4	5	6
V <sub>AB</sub> (Volt)						
V <sub>i</sub> (Volt)						
I <sub>i</sub> (mA)						

Tablo 4.4.b. CMOS



## DENEY 4.2.

### TTL ve CMOS TVE BAĞLACI DİNAMİK KARAKTERİSTİKLERİNİN BULUNMASI

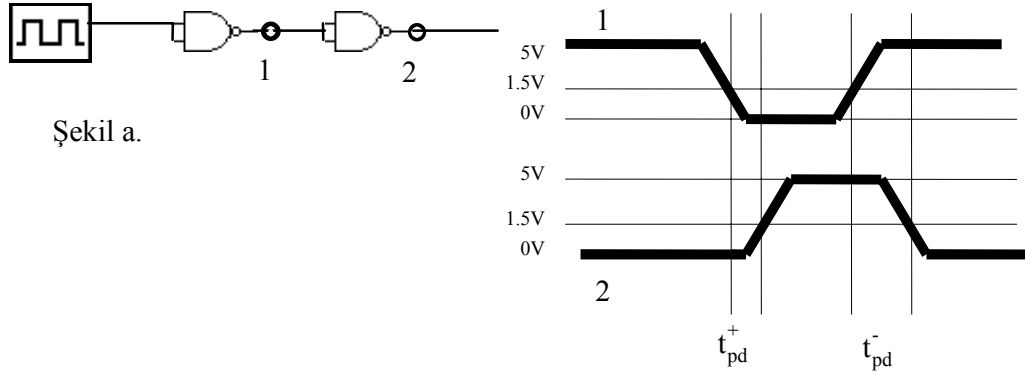
Bu deney önce TTL TVE bağlacı ile yapılacak, gerekli tedbirler alındıktan sonra CMOS TVE bağlacı ile tekrarlanacaktır.

Bir lojik bağlacın gecikmesinin Şekil a'da gösterildiği gibi  $t_{pd}^+$  ve  $t_{pd}^-$  olmak üzere iki bileşeni vardır. Şekil b'de verilen devre, Şekil c'deki gibi bir ideal bağlaç ve gecikme elemanı ile temsil edilebilir. Burada gecikme elemanı bağlaçların gecikmelerini ifade eden sembolik bir elemandır. Devre n (n = 1, 3, 5, 7, ...) elemandan oluşmuş ise, üretilen işaretin periyodu T olmak kaydıyla, bir bağlacın gecikmesi

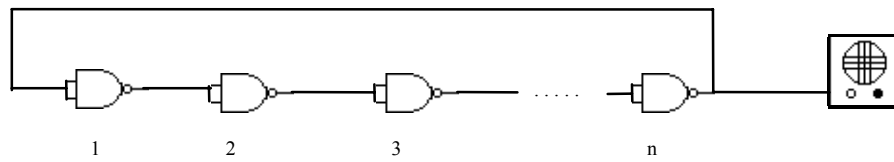
$$t_{pd} = t_{pd}^+ + t_{pd}^- = T / (2n) \quad \text{olacaktır.}$$

#### UYGULAMA

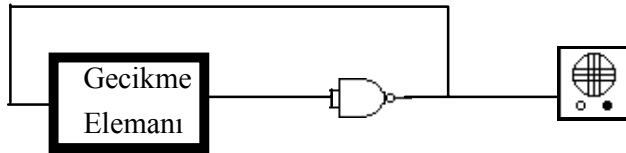
Deneyde bir bağlacın toplam gecikmesi, tek sayıda tümleyici bağlacın oluşturduğu osilatör devresinin ürettiği işaretin periyodunun ölçülmesi ile bulunacaktır. Bunun için Şekil b'deki devre kurulacak ve oluşan salının periyodu osiloskop yardımıyla belirlenecektir.



Şekil a.



Şekil b.



Şekil c.

### DENEY 4.3.

#### TTL ve CMOS TVE BAĞLACI ÜZERİNDE HARCANAN GÜÇ ÖLÇÜMÜ

Bu bölümde TTL ve CMOS bağlaçlar üzerinde harcanan gücün frekansla değişimi incelenecektir.

##### UYGULAMA

Deneyde tüm girişlere birden 0 Hz ile 1 Mhz arasında çeşitli frekansta işaretler uygulayınız ve ölçülen güç değerlerini tabloya yazınız. Böylece  $P_D = G(f)$  bağıntısını elde ediniz. Burada  $I_{CC}$  akımı,  $V_{CC}$  ile tümdevre arasına koyulan  $R=100\Omega$  'luk direnç üzerindeki gerilim düşümü ile hesaplanacaktır.

NOT: Bir TTL bağlacın harcadığı güç,  $P_D = I_{CC} * V_{CC}$  'dir.

	1	2	3	4	5	6
Frekans (Hz)						
Güç (watt)						

Tablo 4.5.a. TTL

	1	2	3	4	5	6
Frekans (Hz)						
Güç (watt)						

Tablo 4.5.b. CMOS

#### RAPORDA İSTENENLER

- 1- Deneyde elde edilen tüm karakteristikleri düzgün bir biçimde çiziniz. Çizimlerin eksenleri üzerinde önemli değerleri işaretleyiniz. Örneğin konum değiştirme gerilimleri.
- 2- Deneyde incelediğiniz bağlacın çıkışına aynı bağlaçtan kaç tane bağlanabileceğini deneyde bulduğunuz değerlerden yararlanarak hesaplayınız.
- 3- Deney sonuçlarına göre TTL ve CMOS bağlaçlar arasındaki temel farklılıkları belirtiniz.