

06 TIMER

5 Mayıs 2021 Çarşamba 08:02

06 TIMER

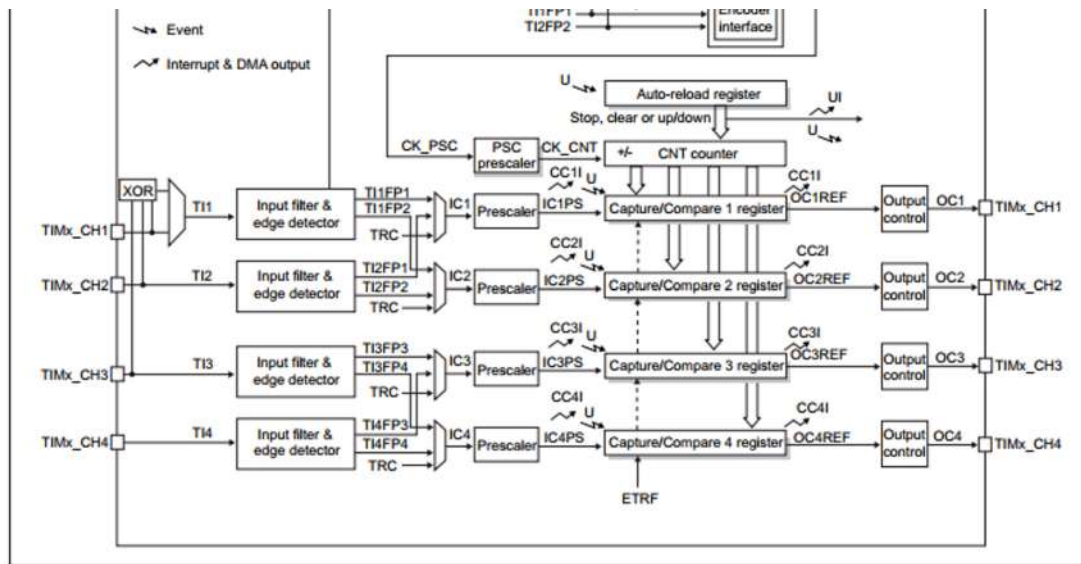
Giriş

- Timer modülünün temel görevi zamanlama yapmaktır. İşlemci frekansasına bağlı olarak çalışırlar. Dışarıdan gelen pulse darbelerini sayarlar. İşlemciye tanıtılan bir süre ile, geçen süreyi karşılaştırma ve belli bir süre sonunda kesme üretme gibi işlemlerde kullanılırlar.
 - Sayıcı birimi sabit bir frekans kaynağı ile besleniyorsa Timer olarak çalışır. Zamanlayıcının bir adımı $1/f$ süresine denk gelir. Örneğin 1 kHz ile beslenen bir zamanlayıcının her adımı 1 ms demektir.
 - 1kHz ile beslenen zamanlayıcıyı t1 anında okuduğumuzda değeri 100, t2 anında okuduğumuzda değeri 250 ise, t2-t1 arasında geçen süre 150ms demektir. Zamanlayıcılar ile bu şekilde zaman ölçümü ya da periyodik işlemlerin gerçekleştirilmesini sağlarlar.
 - Timer, belirli bir süre veya sayım gerçekleştirdikten sonra, sayaç değeri belirli bir sınırı aşarsa veya taşarsa, overflow durumu ortaya çıkar. Bu zamanlayıcı bir belirli sayıya kadar sayıyorsa sayaç bu sayıya ulaştığında, taşma **overflow** gerçekleşir ve sayaç sıfırlanarak yeniden başlar.
 - **Capture**, zamanlayıcının mevcut değerini özel bir kaydediciye kopyalama işlemidir. Bu, bir dış olayın gerçekleştiği belirli bir zamanı yakalamak için kullanılabilir. Örneğin, dışardan gelen sinyalin belirli bir durumu algılandığında, zamanlayıcı değeri bu anda "yakalanır" ve kaydedilir. Bu, belirli olayların zaman damgalarını elde etmek için sıklıkla kullanılır.
 - **Compare**, zamanlayıcı değerini bir belirli değerle karşılaştırma işlemini ifade eder. Zamanlayıcı, belirli bir değere ulaştığında veya onu geçtiğinde, bu bir olayın tetiklenmesine neden olabilir. Örneğin, belirli bir zaman geçtikten sonra bir işlemi başlatmak için compare özelliği kullanılabilir. Bu, periyodik işlemleri kontrol etmek veya belirli bir süreyi takip etmek için yaygın olarak kullanılır.
 - **Pulse Width Modulation (PWM)**, genellikle bir dijital sinyalin darbe genişliğini modüle etme tekniğini ifade eder. PWM, bir sinyalin belirli bir süre boyunca HIGH ve belirli bir süre boyunca LOW olduğu bir sinyal üretir. Bu modülasyon tekniği, analog sinyal davranışını taklit etmek veya kontrol etmek için yaygın olarak kullanılır.
- Çoğu mikrodenetleyicide PWM birimleri de Timer ünitelerine bağlı olarak çalışırlar.
- STM32F407VG işlemcisinde toplam 17 adet timer birimi bulunur.
10 adet **General Purpose**, 2 adet **Advanced Control**, 2 adet **Basic**, 1 adet **Independent Watchdog (IWDG)**, 1 adet **Window Watchdog (WWDG)** timer, 1 adet **Systemtick** timer var.

Timer type	Timer	Counter resolution	Counter type	Prescaler factor	DMA request generation	Capture/compare channels	Complementary output	Max interface clock (MHz)	Max timer clock (MHz)
Advanced-control	TIM1, TIM8	16-bit	Up, Down, Up/down	Any integer between 1 and 65536	Yes	4	Yes	84	168
General purpose	TIM2, TIM5	32-bit	Up, Down, Up/down	Any integer between 1 and 65536	Yes	4	No	42	84
	TIM3, TIM4	16-bit	Up, Down, Up/down	Any integer between 1 and 65536	Yes	4	No	42	84
	TIM9	16-bit	Up	Any integer between 1 and 65536	No	2	No	84	168
	TIM10, TIM11	16-bit	Up	Any integer between 1 and 65536	No	1	No	84	168
	TIM12	16-bit	Up	Any integer between 1 and 65536	No	2	No	42	84
	TIM13, TIM14	16-bit	Up	Any integer between 1 and 65536	No	1	No	42	84
Basic	TIM6,	16-bit	Up	Any integer between 1	Yes	0	No	42	84

0x08	TIMx_SMCR	Reserved	ETP	ECR	S [1:0]		ETF[3:0]			MS	TS[2:0]			Reserved	SMS[2:0]				
	Reset value		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0x0C	TIMx_DIER	Reserved	TDE	COMDE	CC4DE	CC3DE	CC2DE	CC1DE	UDE	BIE	TIE	COMIE	CC4IE	CC3IE	CC2IE	CC1IE	UE		
	Reset value		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0x10	TIMx_SR	Reserved				CC4OF	CC3OF	CC2OF	CC1OF	Reserved	BIF	TIF	COMIF	CC4IF	CC3IF	CC2IF	CC1IF	UIF	
	Reset value					0	0	0	0		0	0	0	0	0	0	0	0	
0x14	TIMx_EGR	Reserved										BG	TG	COMG	CC4G	CC3G	CC2G	CC1G	UG
	Reset value											0	0	0	0	0	0	0	0
0x18	TIMx_CCMR1 Output compare mode	Reserved	OC2CE	OC2M [2:0]		OC2PE	OC2FE	CC2S [1:0]		OC1CE	OC1M [2:0]		OC1PE	OC1FE	CC1S [1:0]				
	Reset value		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
	TIMx_CCMR1 Input capture mode	Reserved	IC2F[3:0]			IC2PSC [1:0]	CC2S [1:0]		IC1F[3:0]			IC1PSC [1:0]	CC1S [1:0]						
	Reset value		0			0	0	0	0	0	0	0	0	0	0	0	0		
0x1C	TIMx_CCMR2 Output compare mode	Reserved	OC4CE	OC4M [2:0]		OC4PE	OC4FE	CC4S [1:0]		OC3CE	OC3M [2:0]		OC3PE	OC3FE	CC3S [1:0]				
	Reset value		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
	TIMx_CCMR2 Input capture mode	Reserved	IC4F[3:0]			IC4PSC [1:0]	CC4S [1:0]		IC3F[3:0]			IC3PSC [1:0]	CC3S [1:0]						
	Reset value		0			0	0	0	0	0	0	0	0	0	0	0	0		
0x20	TIMx_CCER	Reserved	CC1NP	Reserved	CC4P	CC4E	CC3NP	CC3NE	CC3P	CC3E	CC2NP	CC2NE	CC2P	CC2E	CC1NP	CC1NE	CC1P	CC1E	
	Reset value		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x24	TIMx_CNT	Reserved	CNT[15:0]																
	Reset value		0																
0x28	TIMx_PSC	Reserved	PSC[15:0]																
	Reset value		0																
0x2C	TIMx_ARR	Reserved	ARR[15:0]																
	Reset value		1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
0x30	TIMx_RCR	Reserved									REP[7:0]								
	Reset value										0	0	0	0	0	0	0	0	0
0x34	TIMx_CCR1	Reserved	CCR1[15:0]																
	Reset value		0																
0x38	TIMx_CCR2	Reserved	CCR2[15:0]																
	Reset value		0																
0x3C	TIMx_CCR3	Reserved	CCR3[15:0]																
	Reset value		0																
0x40	TIMx_CCR4	Reserved	CCR4[15:0]																
	Reset value		0																
0x44	TIMx_BDTR	Reserved	MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK [1:0]	DT[7:0]									
	Reset value		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x48	TIMx_DCR	Reserved						DBL[4:0]			Reserved		DBA[4:0]						
	Reset value							0	0	0	0	0	0	0	0	0	0		
0x4C	TIMx_DMAR	DMAB[31:0]																	
	Reset value	0																	

- **TIMx_CR1 (Control Register 1)**, Timer'in genel kontrol ayarlarını içerir. Timer'ı etkinleştirme, zamanlama



Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																			
0x00	TIMx_CR1	Reserved																						CKD [1:0]		ARPE	CMS [1:0]		DIR	OPM	URS	UDIS	CEN																			
	Reset value																							0	0	0	0	0	0	0																						
0x04	TIMx_CR2	Reserved																						TIS		MMS[2:0]		CCDS		Reserved																						
	Reset value																							0	0	0	0	0																								
0x08	TIMx_SMCR	Reserved														ETP	ECE	ETPS [1:0]		ETF[3:0]		MSM	TS[2:0]		Reserved	SMS[2:0]																										
	Reset value															0	0	0	0	0	0	0	0	0	0	0																										
0x0C	TIMx_DIER	Reserved														TDE		COMDE	CC4DE	CC3DE	CC2DE	CC1DE	UDE	Reserved	TIE	Reserved	CC4IE	CC3IE	CC2IE	CC1IE	UIE																					
	Reset value															0	0	0	0	0	0	0	0	Reserved	0	Reserved	0	0	0	0	0																					
0x10	TIMx_SR	Reserved														Reserved				CC4OF	CC3OF	CC2OF	CC1OF	Reserved	TIF	Reserved	CC4IF	CC3IF	CC2IF	CC1IF	UIF																					
	Reset value																			0	0	0	0	Reserved	0	Reserved	0	0	0	0	0																					
0x14	TIMx_EGR	Reserved																						TG		Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
	Reset value																							0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x18	TIMx_CCMR1 Output Compare mode	Reserved														OC2OE		OC2M [2:0]		OC2PE		OC2FE		CC2S [1:0]		OC1OE		OC1M [2:0]		OC1PE		OC1FE		CC1S [1:0]																		
	Reset value															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																
	TIMx_CCMR1 Input Capture mode	Reserved														IC2F[3:0]				IC2 PSC [1:0]		CC2S [1:0]		IC1F[3:0]				IC1 PSC [1:0]		CC1S [1:0]																						
	Reset value															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
0x1C	TIMx_CCMR2 Output Compare mode	Reserved														OC4OE		OC4M [2:0]		OC4PE		OC4FE		CC4S [1:0]		OC3OE		OC3M [2:0]		OC3PE		OC3FE		CC3S [1:0]																		
	Reset value															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																
	TIMx_CCMR2 Input Capture mode	Reserved														IC4F[3:0]				IC4 PSC [1:0]		CC4S [1:0]		IC3F[3:0]				IC3 PSC [1:0]		CC3S [1:0]																						
	Reset value															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0														
0x20	TIMx_CCER	Reserved														CC4NP	Reserved	CC4P	CC4E	CC3NP	Reserved	CC3P	CC3E	CC2NP	Reserved	CC2P	CC2E	CC1NP	Reserved	CC1P	CC1E																					
	Reset value															0		0	0	0		0	0	0	0		0	0	0	0	0	0	0	0	0	0	0															
0x24	TIMx_CNT	CNT[31:16] (TIM2 and TIM5 only, reserved on the other timers)														CNT[15:0]																																				
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																			
0x28	TIMx_PSC	Reserved														PSC[15:0]																																				
	Reset value															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0												

0x28	TIMx_PSC	Reserved	PSC[15:0]
	Reset value		0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
0x2C	TIMx_ARR	ARR[31:16] (TIM2 and TIM5 only, reserved on the other timers)	ARR[15:0]
	Reset value	1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1
0x34	TIMx_CCR1	CCR1[31:16] (TIM2 and TIM5 only, reserved on the other timers)	CCR1[15:0]
	Reset value	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
0x38	TIMx_CCR2	CCR2[31:16] (TIM2 and TIM5 only, reserved on the other timers)	CCR2[15:0]
	Reset value	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
0x3C	TIMx_CCR3	CCR3[31:16] (TIM2 and TIM5 only, reserved on the other timers)	CCR3[15:0]
	Reset value	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
0x40	TIMx_CCR4	CCR4[31:16] (TIM2 and TIM5 only, reserved on the other timers)	CCR4[15:0]
	Reset value	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
0x48	TIMx_DCR	Reserved	DBL[4:0] Reserved DBA[4:0]
	Reset value		0 0 0 0 0 0 0 0 0 0 0
0x4C	TIMx_DMAR	Reserved	DMAB[15:0]
	Reset value		0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
0x50	TIM2_OR	Reserved	Reserved ITR1 RMP ⁺ Reserved
	Reset value		0 0
0x50	TIM5_OR	Reserved	Reserved IT4 RMP ⁺ Reserved
	Reset value		0 0

- **TIMx_CR1 (Control Register 1)**, Timer'in genel kontrol ayarlarını içerir. Timer'in etkinleştirme, zamanlama modu seçimi, otomatik yeniden başlatma etkinleştirme gibi ayarları içerir.
- **TIMx_CR2 (Control Register 2)**, Timer'in özel kontrol ayarlarını içerir. Bu register, master mode seçimi gibi özellikleri kontrol eder.
- **TIMx_SMCR (Slave Mode Control Register)**, Timer'in slave (köle) modunu kontrol eder. Dış bir kaynaktan senkronize olma veya bir başka Timer'in takip etme gibi işlevleri içerir.
- **TIMx_DIER (DMA/Interrupt Enable Register)**, DMA (Direct Memory Access) ve kesme (interrupt) izinlerini kontrol eder. Belirli olayların tetiklenmesi durumunda bir kesme talebi veya DMA transferi başlatma gibi işlevleri etkinleştirir veya devre dışı bırakır.
- **TIMx_SR (Status Register)**, Timer'in durumuyla ilgili bilgileri içerir. Taşma, karşılaştırma olayları gibi çeşitli olayları takip eder.
- **TIMx_EGR (Event Generation Register)**, Olayların elle tetiklenmesini sağlar. Bu register üzerinden bir olayı (event) hemen tetikleyebilirsiniz.
- **TIMx_CCMR1 ve TIMx_CCMR2 (Capture/Compare Mode Register 1 ve 2)**, Capture/compare modu için ayarları içerir. Timer'in çeşitli modlarını, giriş ve çıkış ayarlarını belirler.
- **TIMx_CCER (Capture/Compare Enable Register)**, Capture/compare kanallarını etkinleştirme veya devre dışı bırakma işlemlerini kontrol eder.
- **TIMx_CNT (Counter Register)**, Timer'in ana sayaç değerini içerir. Bu register, zamanlayıcının sayma işlemini temsil eder.
- **TIMx_PSC (Prescaler Register)**, Timer'in ön bölücü (prescaler) değerini içerir. Bu değer, timer'in sayma hızını kontrol eder.
- **TIMx_ARR (Auto-Reload Register)**, Timer'in otomatik yeniden başlatma değerini içerir. Bu değer, sayacın bir döngü tamamladığında otomatik olarak tekrar başlamasını sağlar.
- **TIMx_CCR1, TIMx_CCR2, TIMx_CCR3, TIMx_CCR4 (Capture/Compare Register 1, 2, 3, ve 4)**, Capture/compare modunda kullanılan karşılaştırma değerlerini içerir. Bu değerler, belirli bir zaman noktasında veya karşılaştırma olayında kullanılır.
- **TIMx_DCR (DMA Control Register)**, DMA transferlerini kontrol eder.
- **TIMx_DMAR (DMA Address Register)**, DMA transferleri için adres bilgisini içerir.
- **TIMx_OR (Option Register)**, Timer'in özel seçeneklerini kontrol eder. Bu register, özel özelliklerin etkinleştirilmesi veya devre dışı bırakılması için kullanılır.

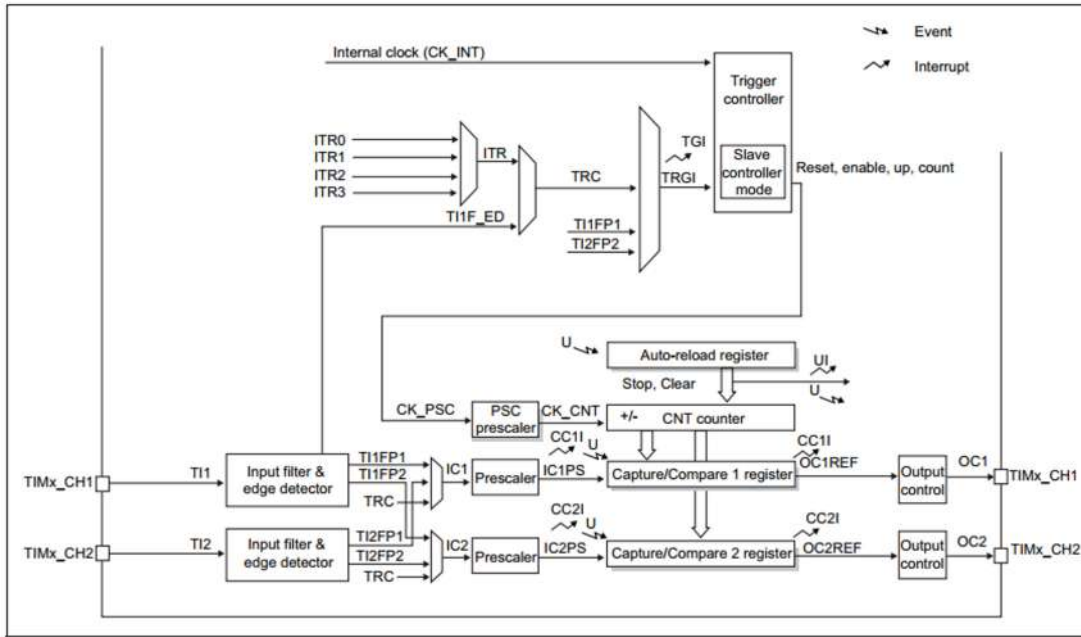
TIM9, TIM10, TIM11, TIM12, TIM13, TIM14

- TIM9 yüksek hızlı AHB2 (84 MHz) ve TIM12 düşük hızlı AHB1 (42 MHz) üzerinde bulunmaktadır.

etkinleştirilmesi veya devre dışı bırakılması için kullanılır.

TIM9, TIM10, TIM11, TIM12, TIM13, TIM14

- TIM9 yüksek hızlı APB2 (84 MHz) ve TIM12 düşük hızlı APB1 (42 MHz) üzerinde bulunmaktadır.
- Bu birimlerin frekansları diğerlerinde olduğu gibi veriyolu hızlarının iki katında çalışabilirler.
- TIM9 ve TIM12 birimleri 16 bitlik sayıcıya sahiptirler. Bu sayıcılar sadece yukarı sayma yapabilirler. Ayrıca bu sayıcıların otomatik geri yükleme özellikleri de bulunmaktadır.
- Bu timer birimlerinde 2x16 adet yüksek çözünürlüklü capture/compare kanalı da bulunur. Bu kanallar giriş öykü olarak ayarlanabilir, çıkış karşılaştırabilir, PWM sinyali üretebilir, sinyal yakalayabilir ve harici bir PWM sinyalini algılayabilirler.
- TIM10 ve TIM11 yüksek hızlı APB2 (84 MHz) ve TIM13 ve TIM14 düşük hızlı APB1 (42 MHz) üzerinde bulunmaktadır. Bu birimlerin frekansları diğerlerinde olduğu gibi veriyolu hızlarının iki katında çalışabilirler.
- Bu birimler 16 bitlik sayıcıya sahiptirler. Bu sayıcılar sadece yukarı sayma yapabilirler. Ayrıca bu sayıcıların otomatik geri yükleme özellikleri de bulunmaktadır.
- Bu timer birimlerinde 2x16 adet yüksek çözünürlüklü capture/compare kanalı da bulunur. Bu kanallar giriş öykü olarak ayarlanabilir, çıkış karşılaştırabilir, PWM sinyali üretebilir, sinyal yakalayabilir ve harici bir PWM sinyalini algılayabilirler.



Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0x00	TIMx_CR1	Reserved																						CKD [1:0]		ARPE	Reserved		OPM	URS	UDIS	CEN		
	0 0																																	
0x0C	TIMx_DIER	Reserved																										CC1IE	UIE					
	0 0																																	
0x10	TIMx_SR	Reserved																						CC1OF	Reserved						CC1IF	UIF		
	0																																	
0x14	TIMx_EGR	Reserved																										CC1G	UG					
	0 0																																	
0x18	TIMx_CCMR1 Output compare mode	Reserved														OC1M [2:0]			OC1PE	OC1FE	CC1S [1:0]													
	0 0 0															0 0																		
	TIMx_CCMR1 Input capture mode	Reserved														IC1F[3:0]			IC1 PSC [1:0]	CC1S [1:0]														
	0 0 0 0															0 0																		
0x20	TIMx_CCER	Reserved																										CC1NP	Reserved	CC1P	CC1E			
	0 0																																	

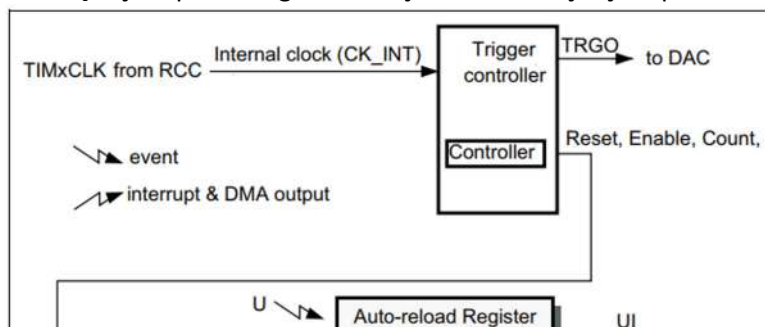
0x20	TIMx_CCER	Reserved																CC1NP	Reserved	CC1P	CC1E				
	Reset value																	0	0	0	0				
0x24	TIMx_CNT	Reserved								CNT[15:0]															
	Reset value									0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	TIMx_PSC	Reserved								PSC[15:0]															
	Reset value									0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	TIMx_ARR	Reserved								ARR[15:0]															
	Reset value									0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x34	TIMx_CCR1	Reserved								CCR1[15:0]															
	Reset value									0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x50	TIMx_OR	Reserved																				TI1_RMP			
	Reset value																						0	0	

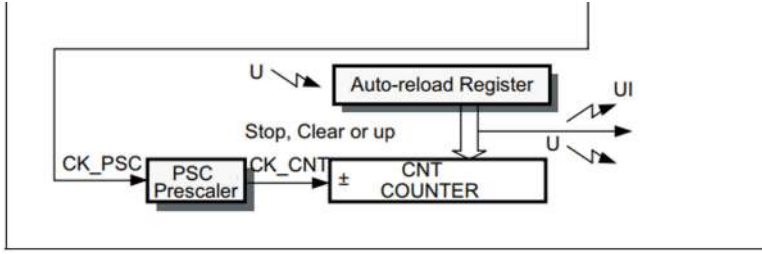
- **TIMx_CR1 (Control Register 1)**, Timer'in genel kontrol ayarlarını içerir. Etkinleştirme, zamanlama modu seçimi, otomatik yeniden başlatma etkinleştirme ve diğer bazı genel ayarları içerir.
- **TIMx_DIER (DMA/Interrupt Enable Register)**, DMA (Direct Memory Access) ve kesme (interrupt) izinlerini kontrol eder. Belirli olayların tetiklenmesi durumunda bir kesme talebi veya DMA transferi başlatma gibi işlevleri etkinleştirir veya devre dışı bırakır.
- **TIMx_SR (Status Register)**, Timer'in durumuyla ilgili bilgileri içerir. Taşma, karşılaştırma olayları gibi çeşitli olayları takip eder.
- **TIMx_EGR (Event Generation Register)**, Olayların elle tetiklenmesini sağlar. Bu register üzerinden bir olayı event hemen tetikleyebilirsiniz.
- **TIMx_CCMR1 (Capture/Compare Mode Register 1)**, Yakalama/karşılaştırma modu için ayarları içerir. Timer'in çeşitli modlarını, giriş ve çıkış ayarlarını belirler.
- **TIMx_CCER (Capture/Compare Enable Register)**, Capture/compare kanallarını etkinleştirme veya devre dışı bırakma işlemlerini kontrol eder.
- **TIMx_CNT (Counter Register)**, Timer'in ana sayaç değerini içerir. Bu register, zamanlayıcının sayma işlemini temsil eder.
- **TIMx_PSC (Prescaler Register)**, Timer'in ön bölücü prescaler değerini içerir. Bu değer, timer'in sayma hızını kontrol eder.
- **TIMx_ARR (Auto-Reload Register)**, Timer'in otomatik yeniden başlatma değerini içerir. Bu değer, sayacın bir döngü tamamladığında otomatik olarak tekrar başlamasını sağlar.
- **TIMx_CCR1 (Capture/Compare Register 1)**, Capture/compare modunda kullanılan karşılaştırma değerini içerir. Bu değer, belirli bir zaman noktasında veya karşılaştırma olayında kullanılır.
- **TIMx_OR (Option Register)**, Timer'in özel seçeneklerini kontrol eder. Bu register, özel özelliklerin etkinleştirilmesi veya devre dışı bırakılması için kullanılır.

Basic Timer

TIM6, TIM7

- TIM6 ve TIM7 Basic Timer birimleri genel sayaç olarak kullanılabilecekleri gibi, spesifik olarak DAC biriminin tetikleyicisi olarak da kullanılabilmektedir.
- 16-bit genişliğinde auto-reload upcounter yani otomatik geri yüklenen artan sayaca sahiptir.
- 16-bit genişliğinde kontrol edilebilir prescaler değere sahiptir.
- DAC birimi için tetikleme çıkışlarına sahiptir.
- Interrupt ve DMA üretimi mevcuttur.
- Çalışma prensibi genel amaçlı timer'ların çalışma prensibi ile aynıdır.





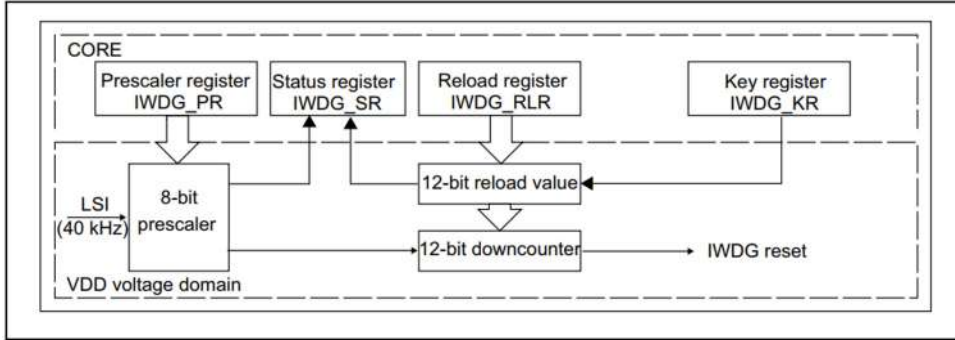
Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0x00	TIMx_CR1	Reserved																							ARPE	Reserved		OPM	URS	UDIS	CEN			
	Reset value																								0	Reserved		0	0	0	0			
0x04	TIMx_CR2	Reserved																							MMS[2:0]			Reserved						
	Reset value																								0	0	0	Reserved						
0x0C	TIMx_DIER	Reserved																						UDE	Reserved				UIE					
	Reset value																							0	Reserved				0					
0x10	TIMx_SR	Reserved																												UIF				
	Reset value																													0				
0x14	TIMx_EGR	Reserved																												UG				
	Reset value																													0				
0x24	TIMx_CNT	Reserved										CNT[15:0]																						
	Reset value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x28	TIMx_PSC	Reserved										PSC[15:0]																						
	Reset value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	TIMx_ARR	Reserved										ARR[15:0]																						
	Reset value											1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

- **TIMx_CR1 (Control Register 1)**, Timer'ın genel kontrol ayarlarını içerir. Örneğin, Timer'ın etkinleştirilmesi, zamanlama modu seçimi, otomatik yeniden başlatma etkinleştirme gibi ayarlar bu register üzerinden yapılmaktadır.
- **TIMx_CR2 (Control Register 2)**, dış tetikleyici konfigürasyonları gibi timer'ın belirli özelliklerini ayarlamayı sağlar.
- **TIMx_DIER (DMA/Interrupt Enable Register)**, DMA ve interrupt izinlerini kontrol eder. Belirli olayların tetiklenmesi durumunda bir kesme talebi veya DMA transferi başlatma gibi işlevleri etkinleştirir veya devre dışı bırakır.
- **TIMx_SR (Status Register)**, bir taşma durumu overflow olup olmadığını veya bir karşılaştırma olayının gerçekleşip gerçekleşmediğini belirtir.
- **TIMx_EGR (Event Generation Register)**, Olayların elle tetiklenmesini sağlar. Bu register üzerinden bir olayı event hemen tetikleyebilirsiniz.
- **TIMx_CNT (Counter Register)**, Timer'ın ana sayaç değerini içerir. Bu register, zamanlayıcının sayma işlemini temsil eder.
- **TIMx_PSC (Prescaler Register)**, Timer'ın prescaler değerini içerir. Bu değer, timer'ın sayma hızını kontrol eder.
- **TIMx_ARR (Auto-Reload Register)**, Timer'ın otomatik yeniden başlatma değerini içerir. Bu değer, sayacın bir döngü tamamladığında otomatik olarak tekrar başlamasını sağlar.

Independent Watchdog (IWDG)

- IWDG, işlemci saatinden bağımsız, kendine ait dahili RC osilatörden (LSI 32 KHz) beslenen bir watchdog timer'dır.
- Mikrodenetleyici içerisindeki amacı da bekçilik yapmaktır. Mikrodenetleyici, harici sebeplerden veya kodlardaki bir hata sebebiyle kilitlenebilir. Mikrodenetleyici kilitlendiğinde, yürüttüğü işlemler durur. Bu tür durumlarda mikrodenetleyicinin tekrar başlatılması gereklidir. İşte watchdog timerlar burada devreye girerler. Watchdog timerlarda belirlenen bir süre sonunda sıfırlanırlar ve işlemciyi resetlerler.

bu tür durumlarda mikrodenetleyicinin tekrar başlatılması gereklidir. İşte watchdog timerlar burada devreye girerler. Watchdog timerlarda belirlenen bir süre sonunda sıfırlanırlar ve işlemciyi resetlerler.

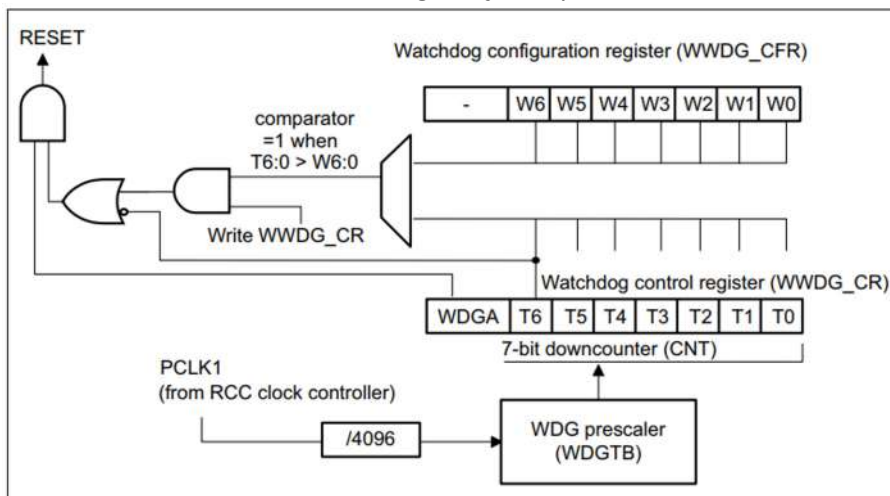


Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	IWDG_KR	Reserved																KEY[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	IWDG_PR	Reserved																														PR[2:0]	
	Reset value																															0	0
0x08	IWDG_RLR	Reserved																			RL[11:0]												
	Reset value																				1	1	1	1	1	1	1	1	1	1	1	1	1
0x0C	IWDG_SR	Reserved																														RVU	PVU
	Reset value																															0	0

- **IWDG_KR (Key Register)**, IWDG'yi kontrol etmek için kullanılan anahtar değerleri içerir. İlgili anahtar değerleri yazılarak IWDG'nin başlatılması, yeniden başlatılması veya durdurulması gibi işlemler gerçekleştirilir.
- **IWDG_PR (Prescaler Register)**, IWDG'nin zamanlayıcı değerini belirlemek için kullanılır. Zamanlayıcı değeri, bu ön bölücü ile çarparak IWDG'nin zamanlamasını elde eder.
- **IWDG_RLR (Reload Register)**, IWDG'nin zamanlayıcı değerini reload value içerir. IWDG'nin çalışması sırasında bu değer zaman içinde azalır, eğer bu değer sıfıra ulaşırsa, IWDG bir reset sinyali üretir.
- **IWDG_SR (Status Register)**, IWDG'nin durumunu gösteren bilgiler içerir. Örneğin, zaman aşımı durumu gibi bilgiler burada bulunabilir.

Window Watchdog (WWDG)

- WWDG birimi belirli bir pencere içerisinde counter kaydedicisine tekrar değer yüklenebildiği için bu isimle anılmaktadır.
- Ayarlanabilir süre penceresine sahiptir.
- Anormal erken ve anormal geç uygulama davranışını algılayabilir.
- Önceden belirlenen duruma göre işlemciyi resetler.



Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0x00	WWDG_CR	Reserved																								WDGA	T[6:0]							

																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																					</
--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	----

- **WWDG_CR (Control Register)**, WWDG'nin temel kontrol ayarlarını içerir. Özellikle, WWDG'nin etkinleştirilmesi, zamanlayıcı değeri (down-counter) ayarlanması ve bir reset talep biti bulunmaktadır.
- **WWDG_CFR (Configuration Register)**, WWDG'nin daha fazla konfigürasyon ayarlarını içerir. Örneğin, window modunu etkinleştirme, zaman aşımı değeri ve window değeri gibi ayarları içerir.
- **WWDG_SR (Status Register)**, WWDG'nin durumunu gösteren bilgiler içerir. Örneğin, zaman aşımı durumu ve window durumu gibi bilgiler burada bulunabilir.