

UNIVERSIDAD DE LAS AMÉRICAS PUEBLA

ESCUELA DE INGENIERÍA

DEPARTAMENTO DE COMPUTACIÓN, ELECTRÓNICA  
Y MECATRÓNICA



---

## Lab report #1

---

**Course: Digital design LRT2022-sección**

**Equipo: Mesa 1**

Id del estudiante 1	Nombre 1	Siglas carrera est 1
Id del estudiante 2	Nombre 2	Siglas carrera est 2

April 1st, 20, San Andrés Cholula, Puebla

# 1 Sección

[1]

$x^0$

- Item 1
- Item 2
- Item 3
- Item 4

## 1.1 Subsección

[2]

### 1.1.1 Sub-subsección

Código 1: Código desde archivo

```
— Simple AND gate design
library IEEE;
use IEEE.std_logic_1164.all;

entity and_gate is
port(
    a in std_logic;
    b in std_logic;
    q out std_logic);
end and_gate;

architecture rtl of and_gate is
begin
    q = a and b;
end rtl;
```

## Código 2: Código en VHDL

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.std_logic_unsigned.all;
entity Contador0_9 is
    Port ( clock_100Mhz : in STD_LOGIC;
          reset : in STD_LOGIC;
          Anode_Activate : out STD_LOGIC_VECTOR (3 downto 0);
          LED_out : out STD_LOGIC_VECTOR (6 downto 0);
          Led0: out STD_LOGIC:= '0';
          Led1: out std_logic:= '0');— COMMENT
end Contador0_9;
```

## A Códigos completos

## References

- [1] gh. (2020) Ctan. [En línea]. Disponible: <https://www.ctan.org/>
- [2] V. Agarwal and Instructables, “Minimalistic word clock,” Jul 2019. [En línea]. Disponible: <https://www.instructables.com/id/Minimalistic-Word-Clock/>