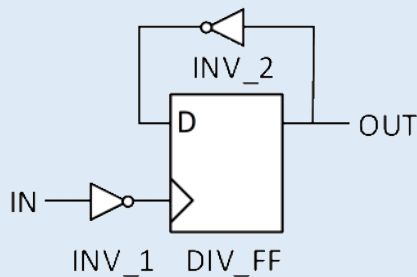


# 第一页

2019年3月22日

10:33

1. 如下分频电路，触发器DIV\_FF的建立时间2ns，保持时间2ns，逻辑延时6ns，反相器INV\_1，INV\_2的逻辑延时为2ns，连线延时为0，该电路正常工作的最高频率？



launch与capture为同一个DFF，INV\_1无影响，需要满足：

$$T_{cq} + T_{inv2} \leq T - T_{su}$$

$$T_{cq} + T_{inv2} > T_{hold}$$

得到： $T \geq 10ns$ ，即100MHz

2. 假设一个3bit计数器（计数范围0~6）工作在38M时钟域下，要把此计数器的值传递到另一异步100M时钟域，以下不正确的是

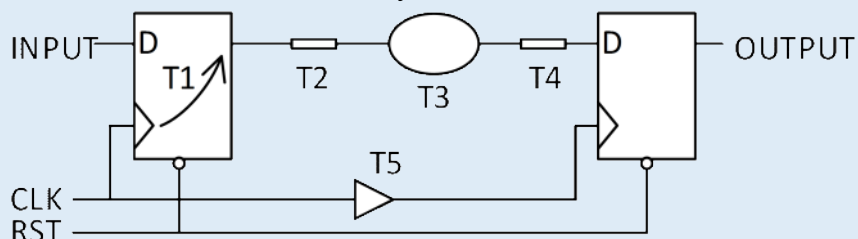
- ① 锁存+握手信号
- ② 使用异步FIFO
- ③ 使用格雷码
- ④ 使用DMUX电路？

? 可能为④

3. 乒乓buffer可以提高系统的数据吞吐量，提高系统的处理并行度

正确

4. 在同步电路设计中，电路时序模型如下：T1为触发器时钟到输出延时，T2和T4为连线延时，T3为组合路径延时，T5为时钟网络延时，假设时钟周期为Tcycle，Tsetup，Thold分别为触发器建立保持时间，为保证？？正确采样（该路径为multi-cycle路径），下列必须满足的是：



- ①  $T1+T2+T3+T4 < T_{cycle}-T_{setup}+T5$ ， $T1+T2+T3+T4 > T_{hold}$
- ②  $T1+T2+T3+T4 < T_{cycle}-T_{setup}$ ， $T1+T2+T3+T4+T5 > T_{hold}$
- ③  $T1+T2+T3+T4+T5 < T_{cycle}-T_{setup}$ ， $T1+T2+T3+T4 > T_{hold}$
- ④  $T1+T2+T3+T4 < T_{cycle}-T_{setup}+T5$ ， $T1+T2+T3+T4 > T_{hold}+T5$

④，T5使捕获时钟右移，相当于建立/保持的Required time增大T5（即不等式④的右端）

## 第二页

2019年3月22日 11:27

7. 下列降低功耗的措施，哪个可以降低峰值功耗

- ① 大幅度提高HVT比例
- ② 静态模块级clock gating
- ③ power gating
- ④ Memory shut down

8. 4路数据选择器的地址输入端至少需要几根线

2

9. 同步时序电路的状态只在统一的时钟脉冲控制下才同时变化一次，如果时钟脉冲没有到来，即使输入信号发生变化，电路的状态仍然不变。正确/错误？

正确

10. 下列错误的是

- ① 异步时序电路的状态变化不是同时发生的，它没有统一的信号脉冲，输入信号的变化就能引起状态的变化
- ② 米利型（Mealy）电路的输出仅是输入变量的函数
- ③ 同步时序电路的状态只在统一的信号脉冲控制下才周期变化一次，如果信号脉冲没有到来，即使输入信号发生变化，电路的状态仍不改变
- ④ 摩尔型（Moore）电路的输入仅与电路的现态有关

②错误，米利型状态机输出与当前状态和输入变量相关

11. 下面代码中，in，q1，q2和q3的初值分别为0,1,2,3，那么经过1个时钟周期后，左侧q3和右侧q3的值分别变成了？

```
always @(posedge clk) begin
    q1 = in;
    q2 = q1;
    q3 = q2;
end
```

```
always @(posedge clk) begin
    q1 <= in;
    q2 <= q1;
    q3 <= q2;
end
```

- ① 0, 0    ② 0, 2    ③ 2, 0

②

12. 下列跨时钟域设计存在问题的是？

- ① FIFO设计地址跨时钟域，可以通过格雷码转换+打2拍方式
- ② 一组数据？跨时钟域，如果数据有足够的持续不变时间，可以通过握手机制实现同步化
- ③ 单bit数据跨时钟域，在目的时钟域打3拍后使用，打拍的过程中不带组合逻辑
- ④ 希望得到C=A&B，A，B在clkx域，C在clky域；则单独使用clky打A和B2拍产生Adly2和Bdly2，然后再让C=Adly2 & Bdly2

可能是④

## 第三页

2019年3月22日 12:00

13. 功能是否相同，综合结果面积较小？

```
if(select == 1'b1)
    sum <= a + b;
else
    sum <= c + d;
```

```
if(select == 1'b1) begin
    temp1 <= a;
    temp2 <= b;
end else begin
    temp1 <= c;
    temp2 <= d;
end
assign sum = temp1 + temp2;
```

- ① 相同，2) 面积小
- ② 相同，面积与信号a,b的位宽有关
- ③ 相同，1) 面积小

1) 使用两个加法器，一个选择器，一个D触发器；2) 使用两个选择器，两个D触发器，一个加法器  
两种实现功能相同，可能选②，（但D触发器同样与位宽相关）

14. 设计Verilog HDL程序时，变量的定义不可以与关键词冲突。

正确

15. 异步FIFO读写地址编码常采用独热码，以便于读写地址跨异步时钟域处理

错误，格雷码

16. 亚稳态状态是必须避免的，亚稳态现象可以导致

- ① 降低系统可靠性
- ② 引起芯片失败
- ③ 功耗损失
- ④ 其他都是

④

17. 设有表达式 $\text{expr} = \text{cond\_expr} ? \text{expr1} : \text{expr2}$ ，如果 $\text{cond\_expr}$ 为x或z， $\text{expr1} = 1001$ ， $\text{expr2} = 1010$ ，则 $\text{expr}$ 为

- ① 1010
- ② ?

10xx，条件为X/Z时等价， $\text{expr1}$ 和 $\text{expr2}$ 对应位相同的保留，否则输出x（ModelSim仿真测试）

19. 已知 $a = 1'b1$ ， $b = 3'b001$ ，那么 $\{a,b\} =$

4'b1001

## 第四页

2019年3月22日 15:26

20. 如下ModelSim命令在Testbench中的执行顺序正确的是？

--

21. 下面不属于时钟基本要素的是

- ① Clock tree ( 时钟树 )
- ② Duty Cycle ( 占空比 )
- ③ Clock period ( 时钟周期 )
- ④ Skew ( 同一时钟源到达不同cell的时间差 )

①

22. 循环表达式的循环次数必须为常数，正确/错误？

错误（考虑可综合性么？）

24. 十六路数据选择器的地址输入端至少需要几根线？

4

25. 从后端设计考虑，在必须使用门控时钟的时候，需要遵循一个原则：门控时钟的输出只能跟着时钟信号进行跳变，而不能跟着控制信号进行跳变，也就是对于用与门（And gate）或与非门（NAND gate）实现的门控时钟，控制信号只能在时钟的低电平处跳变，对于用或门（OR gate）或或非门（NOR gate）实现的门控时钟，控制信号只能在时钟的高电平处跳变。正确/错误？

正确？

26. 一下概述错误的是：

- ① 触发器按结构形式分为基本RS触发器，时钟RS触发器，主从结构触发器，边沿触发器等
- ② 触发器都有保持和反（翻）转功能
- ③ 触发器是能够记忆一位二进制信号的基本逻辑单元，是构成各种数字系统的基本逻辑单元
- ④ 触发器按功能分为RS触发器，JK触发器，D触发器和T触发器等

--

27. 组合逻辑电路的逻辑冒险现象是由于（ ）引起的

- ① 电路有多个输出
- ② 电路中存在延时
- ③ 电路未达到最简
- ④ 逻辑门类型不同

②

## 第五页

2019年3月22日 15:46

30. 在异步FIFO设计中，满信号是由读时钟产生，空信号是由写时钟产生

错误

31. 相较于模拟通信系统，一下不属于数字通信系统优势的是

- ① 基于加密，保密性好
- ② 传输带宽小
- ③ 传输差错可控
- ④ 设备易于集成，易微型化

②

33. 两个同形时钟之间可能是同步时钟，也可能是异步时钟

正确

34. 异步时钟数据采样的方法错误的是

- ① 使用FIFO隔离进行多bit的采样
- ② 握手信号后采样
- ③ 单bit高频时钟脉冲展宽后给低频时钟进行采样
- ④ 高频时钟直接采样低频时钟的多bit数据

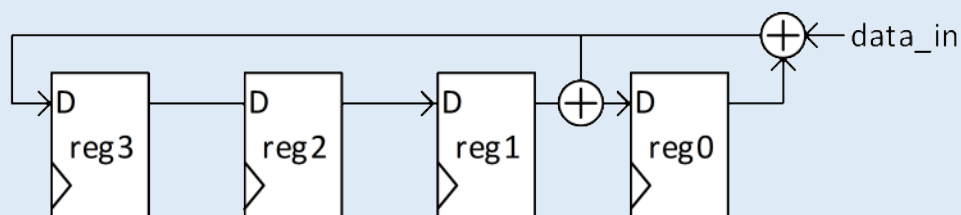
④

35. 下列哪种异步处理的方法完全正确

- ① 在数据总线进行异步处理前转化成Gray-code，然后打拍处理，同步后，再转成原码
- ② 单比特信号在跨越时钟域前不需要寄存器输出
- ③ 实现异步FIFO时，在地址穿越时钟域前转化成Gray-code
- ④ 在模块A，有两个控制信号通过正确的同步方法吧两个信号进行同步到B时钟域，但是在B时钟，对这两个同步过来的信号进行了逻辑运算，得到另外一个信号

③ ?

35. 下图是长除法的CRC4电路，请选择对应的多项式



$G(x)=x^4+x^3+1$ ，校验码为4bit，记从左向右四个触发器输出为 $x_1, x_2, x_3, x_4$ ，多项式为 $x^4+x^3+1$

# 第六页

2019年3月22日

17:53

38. 表示任意两位无符号十进制数需要 ( ) 位二进制数

7,  $2^7=128$

40. 下列有关SRAM和DRAM的叙述, 正确的有 ( )

- ① DRAM比SRAM速度快
- ② DRAM的存储单元结构比SRAM简单
- ③ DRAM比SRAM成本高
- ④ DRAM不要刷新, SRAM需要刷新

②, SRAM面积大, 成本高, 速度快; DRAM存储密度高, 需要刷新

2. 关于状态机的编码, 有如下概述, 正确的有

- ☐ 状态编码用parameter定义
- ☐ 用case语句描述状态的转移
- ☐ 用组合逻辑和时序逻辑分离的风格描述FSM
- ☐ 状态机必须要default态

①②③, ④?

3. 下列哪些项是异步处理需要考虑的因素

- ☐ 异步信号的电路或脉冲特性
- ☐ 异步信号是不是寄存器输出
- ☐ 两个异步时钟时间的频率关系
- ☐ 异步信号是不是总线

?

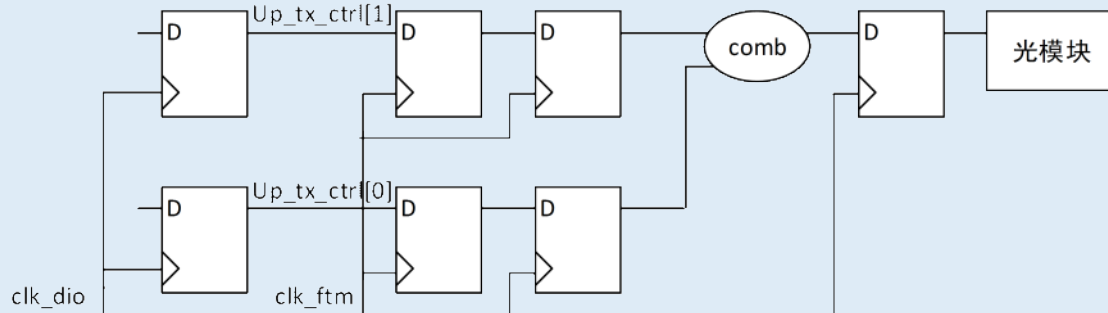
4. 下列不属于分解测试点的关注点的是

- ☐ 偶然的设计失调
- ☐ 性能
- ☐ 可测性
- ☐ 功能
- ☐ 无充分理由的探测

# 第十页

2019年3月29日 15:46

1. 下图案例中的电路，Up\_tx\_ctrl[1:0]是控制光模块发光的控制信号，其中2'b11表示模块强制发光，2'b01和2'b10分别表示两种不同的控制方式。当软件配置从2'b01到2'b10切换时，出现了一排2'b11的非正常发光状态（毛刺）。其异步处理错在哪个地方？



- ①同步器之前有组合逻辑
- ②相互关系的好经过同步后在异步处理时钟域再次组合
- ③没有通过同步器处理亚稳态
- ④控制信号脉宽不够，导致采样错误

②

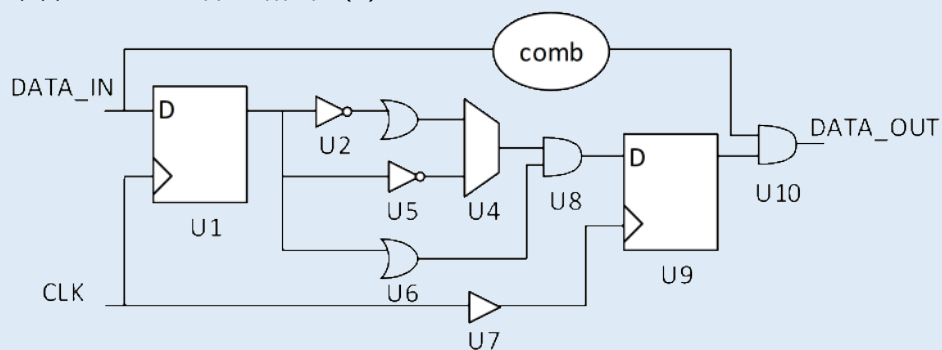
2. 两个同源时钟可能是同步时钟，也可能是异步时钟

正确

3. reg [255:0] mem [31:0]; 该声明定义了一个位宽32 bits，深度为256的memory

错误

4. 如图，经过U10器件的路径有（ ）条



4

# 第十一页

2019年3月29日 16:21

5. 在verilog中，关于函数，不正确的是（ ）

- ①函数只能返回一个值
- ②函数必须带有至少一个输入
- ③函数可以调用其他函数
- ④不能包含任何时序或延时控制

② ?

6. 芯片的功耗可以通过如下方式测量得到：在下电状态下，通过万用表测量芯片电源和地之间的电阻R，假设芯片正常工作电压为U，那么芯片工作时的功耗为 $U \times U / R$

错误

7. 关于三段式状态机的描述，正确的是

- ①描述状态转移时，可以不指定default态
- ②描述状态转移条件和转移规律的逻辑是时序逻辑
- ③描述状态迁移的逻辑为时序逻辑
- ④输出必须是寄存器输出

③

8. 在always快中被赋值的变量如果是+D374:D375组合逻辑，可以定义为wire

错误

9. 在Verilog中，下列哪项操作的结果不是单bit

- ① &&
- ② <
- ③ ==
- ④ ~

④，按位取反

10. （ ）是一种系统验证手段，通过它来判断两个设计是否等价，从而判断一个设计在修改前和修改后其功能是否一致。

- ①随机验证
- ②网表仿真验证
- ③RTL仿真验证
- ④形式验证

④



# 第十二页

2019年3月29日 16:32

11. 下列哪项措施不能减少亚稳态影响

- ①引入同步机制，防止亚稳态传播
- ②用反应更快的FF
- ③提高系统时钟
- ④改善时钟质量，用边沿变化平缓的时钟信号

③ ? ④ ?

12. 以下关于False-path正确的是

- ①一般模拟IP和系统的互联接口都可以设置为False-path
- ②一般异步复位可以设置为False-path
- ③一般异步电路可以设置为False-path
- ④两个不同频率之间的接口一定可以设置为False-path

?

13. 下列哪个不是Verilog系统函数

- ①\$display
- ②\$finish
- ③\$time
- ④\$head

④

14. 下列降低功耗措施哪个可以降低峰值功耗

- ①静态模块及clock gating
- ②大幅提高HVT比例
- ③power gating
- ④Memory shut down

?

15. 为了实现占空比50%的三分频时钟，下列描述的电路正确的是

- ①用待分频时钟上升沿采用计数，产生1个占空比1/3的分频时钟A；用待分频时钟下降沿采样计数，产生一个占空比1/3的分频时钟B；把A和B相与得到50%占空比的三分频时钟
- ②用待分频时钟上升沿采用计数，产生1个占空比1/3的分频时钟A；用待分频时钟上升沿采样计数，产生一个占空比2/3的分频时钟B；把A和B相或得到50%占空比的三分频时钟
- ③用待分频时钟上升沿采用计数，产生1个占空比1/3的分频时钟A；用待分频时钟下降沿采样计数，产生一个占空比2/3的分频时钟B；把A和B相或得到50%占空比的三分频时钟
- ④用待分频时钟上升沿采用计数，产生1个占空比1/3的分频时钟A；用待分频时钟上升沿采样计数，产生一个占空比2/3的分频时钟B；把A和B相与得到50%占空比的三分频时钟

③

# 第十三页

2019年3月29日 16:44

17. 状态机的状态编码使用参数定义，也可以使用`define定义

正确

18. 操作符左右位宽必须匹配，下列说法正确的是

- ①如果一个32bit操作符赋值给位宽定义为8bit的操作符，在VCS仿真中将会出现X态
- ②如果一个8bit操作符赋值给位宽定义为32bit的操作符，在VCS仿真中将会出现X态
- ③如果一个8bit常值赋值给位宽定义为32bit的操作符，在VCS仿真中将会出现X态
- ④如果一个32bit操作符赋值给位宽定义为8bit的操作符，在综合时逻辑可能被优化

④ ?

19. 下面的设计关于SCAN Design Rule Violation，描述正确的是

```
module DEMO (clk, rst_n, en, tm, dout);
    input clk; // Scan Test的时钟信号
    input en; // Test Enable的复位信号
    input rst_n; // Scan Test的复位信号
    input tm; // Test Mode, 在测试模式为1
    output dout;
    .....

    assign rst_n_ff = tm?rst_n: rst_n_ff_t;
    always @(posedge clk or negedge rst_n) begin
        if(!rst_n)
            rst_n_ff_t <= 1'b0;
        else
            rst_n_ff_t <= 1'b1;
    end
    always @(posedge clk) begin
        if(!rst_n_ff)
            dout <= 0;
        else if (en)
            dout <= dout + 1;
    end
end
endmodule
```

- ①复位作为数据
- ②触发器没有复位
- ③时钟不可控
- ④没有问题

? ①

21. 关于阻塞和非阻塞赋值，下列说法正确的是

- ①在组合always块中可以使用非阻塞赋值，没有任何不良影响
- ②在组合always块中必须使用阻塞赋值，否则可能导致综合前后结果不一致
- ③在时序always块中必须使用非阻塞赋值，否则可能导致时序混乱
- ④在组合always块中不能使用阻塞赋值，不影响综合结果，但可能导致仿真时间延长

①错误，②正确，③时序块中可以使用阻塞赋值，但也可能时序出错？，④完全错

22. Timing path在静态时序分析中占有很重要的地位，每条Timing path都有一个起点和终点，Timing path的终点可以是

- ①芯片输出管脚和寄存器的CLK端
- ②芯片输出管脚和寄存器的Q端
- ③芯片输出管脚和寄存器的D端
- ④寄存器的Q端和CLK端

③

23. 下列哪个不是Verilog中循环语句的关键词

- ①forever
- ②repeat
- ③while
- ④fork

④

24. 关于CMOS电路功耗的说法，下列正确的有

- ①静态功耗是指电路不翻转时所消耗的功耗，即亚阈值引起的功耗
- ②Switch功耗是指CMOS电路输出发生翻转是对负载电容充放电所消耗的功耗
- ③CMOS电路功耗由Switch和静态功耗两部分组成
- ④静态功耗受翻转活动因子的影响

③，④一定错，②错误可能在于内部所有节点，对负载电容/栅电容充放电，  
①可能错在亚阈值，漏电是静态功耗的一部分

25. Short-current功耗（内部短路功耗）属于动态功耗

错误

26. 线型必须显式定义

错误

27. 关于时钟门控，说法正确的是

- ①电路级门控用工具自动转换，代码编写人员不需要关注
- ②将逻辑通过Clk gate方式引入CK路径中，可以减少D端逻辑的timing
- ③时钟门控是低功耗设计的重要手段，因此，时钟门控最好设计为多级级联，根据不同模块的层次，分层控制时钟
- ④时钟门控主要是为了改善时序

③，④错误，降功耗，②因果关系

# 第十五页

2019年3月29日

17:35

28. 哪些情况不会产生latch电路？

- ①使用case选择语句的组合逻辑没有else表达
- ②使用if选择语句的组合逻辑没有else部分表达
- ③组合逻辑中条件不全的case语句没有default赋值
- ④时序逻辑中if选择语句，没有else部分表达

④， ①什么鬼， ②组合逻辑>产生latch， ③会latch

29. 关于多bit信号的异步处理规范，以下不正确的是

- ①对几个异步电路不能预知相互的相应时间时，可以根据情况，通过握手协议异步处理
- ②多bit数据异步处理时，可以使用直接打拍的方式
- ③利用格雷码方式打拍异步处理时，格雷码必须依次序变化，不能间隔
- ④利用DMA电路结构异步处理时，选择信号要符合单bit同步信号要求，同步的数据要保持缓变，并被同步信号正确采样

②

30. 关于DC与综合，正确的是

- ①set\_driving\_cell是为了计算片外timing path延迟
- ②setup\_output\_delay定义的值是指Design外部的延迟值
- ③使用multicycle及false path，可以减少后端工作复杂程度，提高效率
- ④link library是针对综合的mapping设置的

?

31. 同步逻辑电路设计中出现setup时间不满足，不能采取哪个措施解决

- ①pipeline
- ②降低时钟频率
- ③减小信号延时
- ④增加时钟频率

④

32. 关于综合工具，如下说法正确的有

- ①综合工具一般需要和Formal工具配套使用
- ②综合工具越来越强大，所以RTL编码中出现一些不可综合代码也没有关系
- ③一般为了综合优化的效果，综合工具使用越新的越好
- ④如果电路频率一直综合不上去，可以通过compile -ultra让综合工具一直优化到满足时序为止

可能是①， ②错误， ③？

# 第十六页

2019年3月29日 18:03

35. 形式验证可以判断

- ①设计时序是否满足
- ②两个设计是否等价
- ③设计功能是否正确
- ④其他选项均不能保证

②

36. 异步FIFO处理，需要关注读写时钟频率的频差和FIFO的抗突发深度，发生溢出或欠载是否影响系统的运行

正确？

37. 下列哪个表达式的结果仍然是有符号数

```
reg signed [31:0] multi_res;  
reg [32:0] minus;
```

- ① $\sim$ multi\_res+32'b1
- ②multi\_res [32:3]
- ③{multi\_res, 1'b0}
- ④\$signed({minus, 1'b0})

④，运算符的操作数只要出现无符号数，作为无符号运算

38. 在Verilog设计中，下列说法不正确的是

- ①运算符%是不可综合的
- ②要求always块产生组合逻辑时使用阻塞赋值（=）
- ③在边沿敏感时序逻辑代码中，应使用非阻塞赋值（<=）
- ④如果setup时间不满足，可以尝试降低时钟频率解决

③？，①仅对2的幂次取余可综合，③时序逻辑块中也可以出现阻塞赋值（但不推荐）

39. 下列哪些不是静态时序分析缺点

- ①不能验证功能
- ②不适合异步电路
- ③无法识别伪路径
- ④相对动态时序分析速度慢

④静态时序分析更快

40. 下列说法正确的是

- ①reg变量一定被综合为寄存器
- ②在always语句中赋值的变量既可以是wire也可以是reg
- ③在assign语句中赋值的变量要定义为wire
- ④always块只能用来描述组合逻辑

③

# 第十七页

2019年4月1日 11:55

1. 下列哪些不是设计工程师的工作

- ☐ 参考模型设计
- ☐ Check设计
- ☐ 规格设计
- ☐ ORTL设计

①②属于IC验证概念，

2. 在逻辑设计和STA分析中，主要包括哪些时序路径

- ☐ 寄存器 > 组合逻辑 > 输出管脚
- ☐ 寄存器 > 组合逻辑 > 寄存器
- ☐ 输入管脚 > 组合逻辑 > 寄存器
- ☐ 输入管脚 > 寄存器 > 输出管脚

①②③

3. 大规模数字逻辑电路规则，正确的说法有

- ☐ 组合时序电路分开原则
- ☐ 面向RTL原则
- ☐ 异步设计原则
- ☐ 先电路后代码原则

①②，④？

4. 关于触发器的建立时间和保持时间，以下正确的是

- ☐ 同步时序逻辑中，必须满足建立时间
- ☐ 保持时间是指有效时钟沿到达之后，数据输入至少还要保持不变的时间
- ☐ 建立时间是指触发器时钟有效之前，数据必须保持稳定不变的时间
- ☐ 同步时序逻辑中，不必满足保持时间

①②③

5. 代码覆盖率包括

- ☐ 状态机覆盖率
- ☐ 条件覆盖率
- ☐ 行覆盖率
- ☐ 翻转覆盖率

①②③④