

特性

16位、800 kSPS (所有通道) ADC
 具有 $5\text{ M}\Omega$ 模拟输入阻抗的输入缓冲器
 与AD7606引脚兼容
 工作温度范围: -40°C 至 $+125^\circ\text{C}$
 5 V单模拟电源, V_{DRIVE} 电源电压: 1.71 V至3.6 V
 $\pm 21\text{ V}$ 输入箝位保护, 8 kV ESD

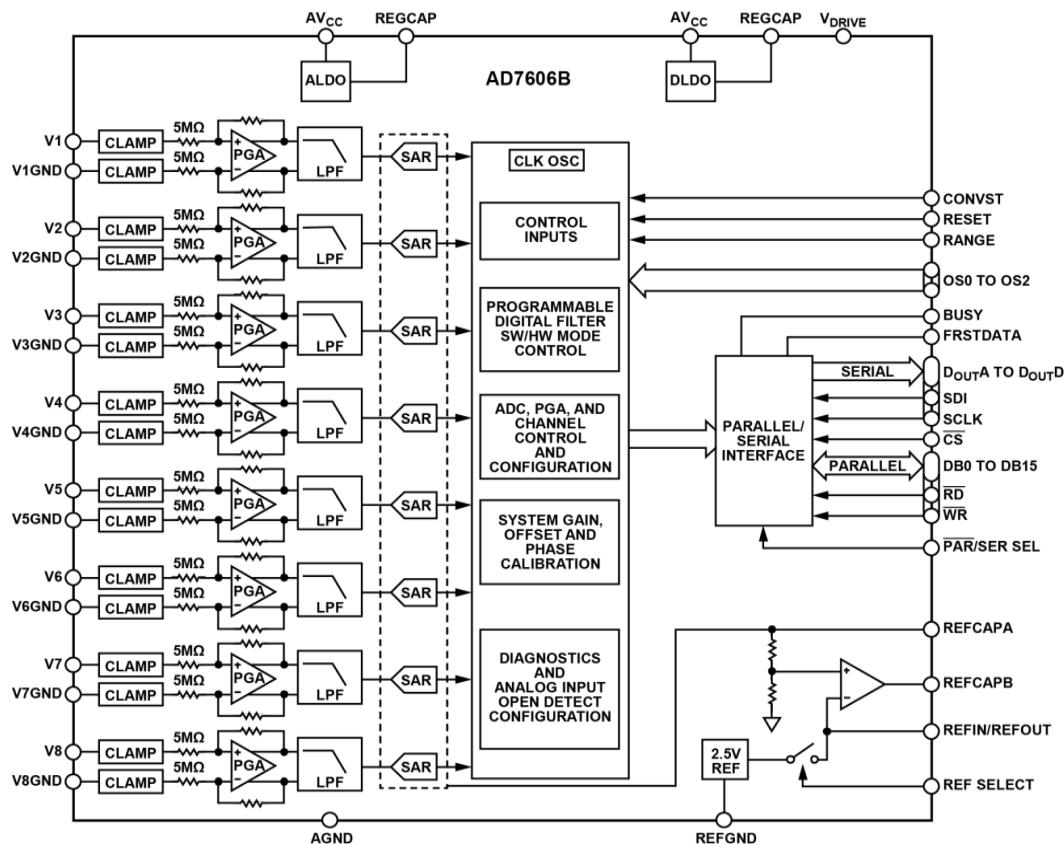
软件模式下提供额外模式

每通道可选模拟输入范围
 单端、双极性: $\pm 10\text{ V}$ 、 $\pm 5\text{ V}$ 和 $\pm 2.5\text{ V}$
 每通道系统相位、失调和增益校准
 模拟输入开路检测特性
 开路代码误差<20 LSB ($R_{\text{PD}} = 10\text{k}\Omega$)
 自诊断和监控特性
 读/写数据和寄存器的CRC差错校验

应用

电力线路监控
 保护继电器
 多相电机控制
 仪器仪表和控制系统
 数据采集系统

功能框图



15137-001

Rev. 0

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106 U.S.A.
 Tel: 781.329.4700 ©2019 Analog Devices, Inc. All rights reserved.
 Technical Support www.analog.com/cn

目录

特性	1	系统相位校准	29
应用.....	1	系统增益校准	29
功能框图.....	1	系统失调校准	29
修订历史.....	2	模拟输入开路检测.....	30
概述.....	3	数字接口.....	32
技术规格.....	4	硬件模式	32
时序规格	6	软件模式	32
绝对最大额定值.....	10	并行接口	33
热阻	10	串行接口	35
ESD警告	10	诊断	39
引脚配置和功能描述.....	11	复位检测	39
典型性能参数.....	14	过压和欠压事件	39
术语.....	20	数字错误	39
工作原理.....	22	诊断多路复用器	42
模拟前端	22	典型连接图	44
SAR ADC.....	23	应用信息	46
基准电压源.....	23	布局布线指南	46
工作模式	24	寄存器汇总	48
数字滤波器	27	寄存器详解	50
填充过采样	28	外形尺寸	69
外部过采样时钟	28	订购指南	69
系统校准特性	29		

修订历史

2019年6月—修订版0：初始版

概述

AD7606B是一款16位、同步采样、模数转换数据采集系统(DAS)，具有8个通道，每个通道均内置模拟输入箝位保护、可编程增益放大器(PGA)、低通滤波器和16位逐次逼近寄存器(SAR)模数转换器(ADC)。AD7606B还内置了灵活的数字滤波器、低漂移2.5 V精密基准电压源和基准电压缓冲器(用于驱动ADC)以及灵活的并行和串行接口。

AD7606B采用5 V单电源供电，当所有通道均以800 kSPS的吞吐速率采样时，支持 ± 10 V、 ± 5 V和 ± 2.5 V真双极性输入范围。输入箝位保护可承受高达 ± 21 V的电压。AD7606B具有 $5\text{ M}\Omega$ 模拟输入阻抗，当输入信号断开并通过 $10\text{ k}\Omega$ 外部电阻拉至地时，双极性零代码小于20 LSB。单电源操作、片内滤波和高输入阻抗使得应用时无需外部驱动运算放大器(需要双极性电源)。对于吞吐率较低的应用，AD7606B灵活的数字滤波器可用来改善噪声性能。

在硬件模式下，AD7606B与[AD7606](#)完全兼容。在软件模式下，可以使用如下高级特性：

- 额外的 ± 2.5 V模拟输入范围。
- 模拟输入范围 (± 10 V、 ± 5 V和 ± 2.5 V)，每个通道可选。
- 额外的过采样(OS)选项，最高OS $\times 256$ 。
- 每个通道的系统增益、系统失调和系统相位校准。
- 模拟输入开路检测器。
- 诊断多路复用器。
- 监控功能(串行外设接口(SPI)无效读/写、循环冗余校验(CRC)、过压和欠压事件、忙碌阻塞监控和复位检测)。

请注意，在整篇数据手册中，多功能引脚(如 $\overline{\text{IRD}}/\text{SCLK}$ 引脚)通过完整引脚名称或引脚的单个功能来引用；例如 SCLK 引脚即表示仅与此功能相关。

表1. 引脚兼容器件

分辨率(位)	单端双极性输入	真差分双极性输入
18	AD7608	AD7609
16	AD7606	
	AD7606B	
14	AD7607	

技术规格

除非另有说明，基准电压(V_{REF}) = 2.5 V外部和内部，模拟电源电压(AV_{CC}) = 4.75 V至5.25 V，逻辑电源电压(V_{DRIVE}) = 1.71 V至3.6 V，采样频率(f_{SAMPLE}) = 800 kSPS，无过采样， T_A = -40°C至+125°C，单端输入，所有输入电压范围。

表2.

参数	测试条件/注释	最小值	典型值	最大值	单位
动态性能					
信噪比(SNR) ¹	输入频率(f_{IN}) = 1 kHz正弦波，除非另有说明 无过采样(OS)，±10 V范围 无OS，±5 V范围 无OS，±2.5 V范围 过采样率(OSR) = 16x，±10 V范围 OSR = 16x，±5 V范围 OSR = 16x，±2.5 V范围	87.5 86.5 83.5 92 90.5 87.5	89.5 88.5 86 93.5 92 89		dB
总谐波失真(THD)	所有输入范围 f_{SAMPLE} = 200 kSPS f_{SAMPLE} = 800 kSPS		-105 -100	-94 -90	dB
信纳比	无OS，±10 V范围 无OS，±5 V范围 无OS，±2.5 V范围 OSR = 16x，±10 V范围 OSR = 16x，±5 V范围 OSR = 16x，±2.5 V范围	86.5 85.5 83 89 89 86.5	88.5 87.7 85.5 92 91.3 88.7		dB
无杂散动态范围(SFDR)	未选中通道的 f_{IN} 最高可达160 kHz			-104 -110	dB
通道间隔离	0.01%满量程				dB
满量程阶跃建立时间	±10 V范围 ±5 V范围 ±2.5V范围		70 110 130		μs
模拟输入滤波器					
全功率带宽	-3 dB，±10 V范围 -3 dB，±5 V范围 -3 dB，±2.5 V范围 -0.1 dB，±10 V范围 -0.1 dB，±5 V范围 -0.1 dB，±2.5 V范围		22.5 13.5 11.5 3 2 2		kHz
相位延迟	±10 V范围 ±5 V范围 ±2.5 V范围		8 9 11		μs
相位延迟匹配	±10 V范围 ±5 V范围 ±2.5 V范围			240 365 445	ns
直流精度					
分辨率	无失码	16			位
差分非线性(DNL)			±0.5	±0.99	LSB ²
积分非线性(INL)	f_{SAMPLE} = 200 kSPS f_{SAMPLE} = 800 kSPS			±2 ±1.16	LSB ²
总非调整误差(TUE)	内部基准电压源 外部基准电压源		±3 ±2	±2.5 ±47 ±30	LSB
正负满量程(FS)误差 ³	内部基准电压源		±2	±45	LSB

参数	测试条件/注释	最小值	典型值	最大值	单位
正负FS误差漂移	$R_{\text{FILTER}}^4 = 20 \text{ k}\Omega$, 系统增益校准禁用 $R_{\text{FILTER}}^4 = 0 \text{ k}\Omega$ 至 $65 \text{ k}\Omega$, 系统增益校准使能 外部基准电压源 内部基准电压源	126 4 ± 1 ± 4 3 ± 1 ± 1 ± 0.2 1.5 1.4 ± 12 ± 12 ± 17 ± 17 ± 22 ± 22	± 5 ± 15 20 ± 20 ± 14 ± 2 ± 20 ± 35 ± 25 ± 40 ± 30	$\text{ppm}/^\circ\text{C}$ $\text{ppm}/^\circ\text{C}$ LSB LSB ² LSB LSB ² LSB LSB ² LSB LSB ²	
正负FS误差匹配	$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$				
双极性零代码误差					
双极性零代码误差漂移	$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$				
双极性零代码误差匹配					
开路代码误差	$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$ $R_{PD} = 10 \text{ k}\Omega$, $\pm 10 \text{ V}$ 范围 $R_{PD} = 10 \text{ k}\Omega$, $\pm 5 \text{ V}$ 范围 $R_{PD} = 10 \text{ k}\Omega$, $\pm 5 \text{ V}$ 范围, $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$ $R_{PD} = 10 \text{ k}\Omega$, $\pm 2.5 \text{ V}$ 范围 $R_{PD} = 10 \text{ k}\Omega$, $\pm 2.5 \text{ V}$ 范围, $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$				
模拟输入					
输入电压范围	$Vx - Vx\text{GND}$ $\pm 10 \text{ V}$ 范围 $\pm 5 \text{ V}$ 范围 $\pm 2.5 \text{ V}$ 范围	-10 -5 -2.5	+10 +5 +2.5		V
输入电压范围	$Vx\text{GND} - AGND$ $\pm 10 \text{ V}$ 范围 $\pm 5 \text{ V}$ 范围 $\pm 2.5 \text{ V}$ 范围	-0.7 -0.1 -0.1	+1.9 +2.7 +3.1		V
模拟输入电流	见“典型工作特性”部分				
输入电容(C_{IN}) ⁶		($V_{IN} - 2$)/ R_{IN}			μA
输入阻抗(R_{IN}) ⁷		5			pF
输入阻抗漂移		5			$M\Omega$
		± 1	± 25		$\text{ppm}/^\circ\text{C}$
基准电压输入/输出					
基准输入电压	REF SELECT = 0, 外部基准电压源	2.495	2.5	2.505	V
直流漏电流				± 0.12	μA
输入电容 ⁶		7.5			pF
基准输出电压	REF SELLECT = 1, 内部基准电压源, $T_A = 25^\circ\text{C}$	2.497	2.5	2.503	V
基准源温度系数		± 3	± 15		$\text{ppm}/^\circ\text{C}$
ADC 基准电压	REFCAPA (引脚 44) 和 REFCAPB (引脚 45)	4.39	4.41		V
逻辑输入					
输入高电压(V_{INH})		$0.7 \times V_{\text{DRIVE}}$			V
输入低电压(V_{INL})			$0.3 \times V_{\text{DRIVE}}$		V
输入电流(I_{IN})			± 1		μA
输入电容 ⁶		5			pF
逻辑输出					
输出高电压(V_{OH})	拉电流(I_{SOURCE}) = $100 \mu\text{A}$	$V_{\text{DRIVE}} - 0.2$			V
输出低电压(V_{OL})	灌电流(I_{SINK}) = $100 \mu\text{A}$		0.2		V
浮空态漏电流		± 1	± 20		μA
输出电容 ⁶		5			pF
输出编码	二进制补码				N/A ⁸
转换速率					
转换时间	见表3	0.75			μs
采集时间		0.5			μs
吞吐速率	每通道		800		kSPS

AD7606B

参数	测试条件/注释	最小值	典型值	最大值	单位
电源要求					
AV_{CC}		4.75	5	5.25	V
V_{DRIVE}		1.71	3.6	V	V
REGCAP		1.875	1.93		V
AV_{CC} 电流(I_{AVCC})					
正常模式 (静态)		7.5	9.5	mA	
正常模式 (工作状态)	$f_{SAMPLE} = 800 \text{ kSPS}$	43	47.5	mA	
待机	$f_{SAMPLE} = 10 \text{ kSPS}$	8	10	mA	
关断模式		3.5	4.5	mA	
V_{DRIVE} 电流($I_{V_{DRIVE}}$)		0.5	5	μA	
正常模式 (静态)		1.8	3.5	μA	
正常模式 (工作状态)	$f_{SAMPLE} = 800 \text{ kSPS}$	1.1	1.5	mA	
待机	$f_{SAMPLE} = 10 \text{ kSPS}$	30	75	μA	
关断模式		1.6	3	μA	
功耗		0.8	2	μA	
正常模式 (静态)		40	50	mW	
正常模式 (工作状态)	$f_{SAMPLE} = 800 \text{ kSPS}$	230	255	mW	
待机	$f_{SAMPLE} = 10 \text{ kSPS}$	42	50	mW	
关断模式		18	24	mW	
		2.5	25	μW	

¹ 无OS表示不应用过采样。

² LSB表示最低有效位。 $\pm 2.5 \text{ V}$ 输入范围时, $1 \text{ LSB} = 76.293 \mu\text{V}$ 。 $\pm 5 \text{ V}$ 输入范围时, $1 \text{ LSB} = 152.58 \mu\text{V}$ 。 $\pm 10 \text{ V}$ 输入范围时, $1 \text{ LSB} = 305.175 \mu\text{V}$ 。

³ 这些规格包括全温度范围变化以及内部基准电压源和基准电压缓冲器的贡献。

⁴ R_{FILTER} 是与模拟输入前端串联的电阻。参见图57。

⁵ 参见图59。

⁶ 未经过生产测试。样片在初次发布期间均经过测试, 以确保符合标准要求。

⁷ 输入阻抗变化在出厂时经过调整, 并在“系统增益校准”部分进行了说明。

⁸ N/A表示不适用。

时序规格

通用时序规格

除非另有说明, $AV_{CC} = 4.75 \text{ V}$ 至 5.25 V , $V_{DRIVE} = 1.71 \text{ V}$ 至 3.6 V , $V_{REF} = 2.5 \text{ V}$ 外部基准电压源和内部基准电压源, $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ 。使用 20 pF 负载电容测试接口时序, 具体取决于 V_{DRIVE} 和串行接口的负载电容。

表3.

参数	最小值	典型值	最大值	单位	描述
t_{CYCLE}	1.25			μs	连续CONVST上升沿之间的最短时间 (不包括过采样模式) ¹
t_{LP_CNV}	10			ns	CONVST低电平脉冲宽度
t_{HP_CNV}	10			ns	CONVST高电平脉冲宽度
$t_{D_CNV_BSY}$		20	25	ns	CONVST高电平至BUSY高电平延迟时间 $V_{DRIVE} > 2.7 \text{ V}$ $V_{DRIVE} < 2.7 \text{ V}$
t_{S_BSY}	0			ns	从BUSY下降沿到 \overline{RD} 下降沿建立时间 (并行接口) 或到 D_{OUTX} 线提供MSB (串行接口) 的最短时间
t_{D_BSY}		25		ns	最后一个RD下降沿 (并行接口) 或最后一个LSB被输出 (串行接口) 到随后的BUSY下降沿的最长时间; 转换期间读取
t_{CONV}	0.65	0.85	μs		转换时间; 无过采样
	2.2	2.3	μs		2倍过采样
	4.65	4.8	μs		4倍过采样
	9.6	9.9	μs		8倍过采样
	19.4	20	μs		16倍过采样

参数	最小值	典型值	最大值	单位	描述
t_{RESET}	39.2	40.2	μs		32倍过采样
	78.7	80.8	μs		64倍过采样
	157.6	161.9	μs		128倍过采样
	315.6	324	μs		256倍过采样
t_{DEVICE_SETUP}	55	2000	ns		部分RESET高电平脉冲宽度
	3000		ns		完全RESET高电平脉冲宽度
$t_{WAKE-UP}$	50		ns		RESET下降沿和第一个CONVST上升沿之间的时间
	253		μs		
$t_{POWER-UP}$	1		μs		待机/关断模式后的唤醒时间
	10		ms		
$t_{POWER-UP}$	10		ms		稳定 V_{CC}/V_{DRIVE} 和RESET置位之间的时间

¹ 适用于串行模式（选择所有四条DOUT_X线时）。

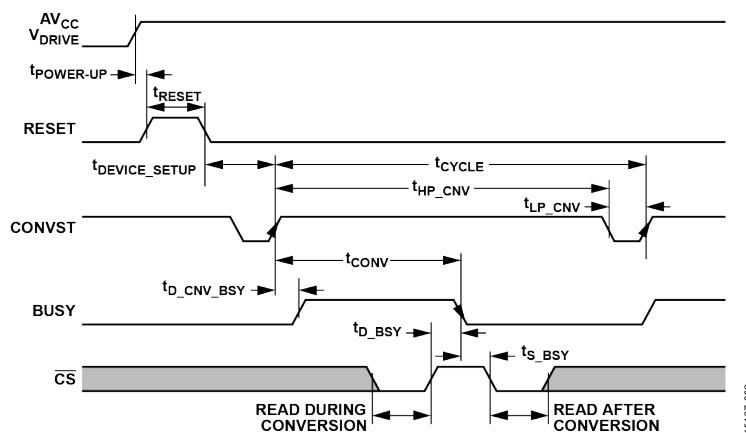


图2. 通用时序图

并行模式时序规格

表4.

参数	最小值	典型值	最大值	单位	描述
$t_{S-CS-RD}$	0			ns	CS下降沿到RD下降沿建立时间
t_{H_RD-CS}	0			ns	RD上升沿到CS上升沿保持时间
t_{HP_RD}	10			ns	RD高电平脉冲宽度
t_{LP_RD}	10			ns	RD低电平脉冲宽度
t_{HP-CS}	10			ns	CS高电平脉冲宽度
t_{D-CS_DB}		35		ns	从CS到DB _x 三态禁用的延迟时间
t_{H-CS_DB}	0			ns	CS到DB _x 保持时间
$t_{D_RD_DB}$		27		ns	RD下降沿后的数据访问时间 $V_{DRIVE} > 2.7 V$
		37		ns	$V_{DRIVE} < 2.7 V$
$t_{H_RD_DB}$	12			ns	RD下降沿后的数据保持时间
t_{DHZ-CS_DB}		40		ns	CS上升到DB _x 高阻抗
t_{CYC_RD}	30			ns	RD下降沿到下一个RD下降沿 $V_{DRIVE} > 2.7 V$
	40			ns	$V_{DRIVE} < 2.7 V$
t_{D-CS_FD}		26		ns	从CS下降沿到FRSTDATA三态禁用的延迟时间

AD7606B

参数	最小值	典型值	最大值	单位	描述
$t_{D_RD_FDH}$			30	ns	从RD下降沿到FRSTDATA高电平的延迟时间
$t_{D_RD_FDL}$			30	ns	从RD下降沿到FRSTDATA低电平的延迟时间
t_{DHZ_FD}			28	ns	从CS上升沿到FRSTDATA三态使能的延迟时间
$t_{S_CS_WR}$	0			ns	CS到WR建立时间
t_{HP_WR}	213			ns	WR高电平脉冲宽度
t_{LP_WR}	88			ns	WR低电平脉冲宽度
$t_{V_DRIVE_WR}$	213			ns	$V_{DRIVE} > 2.7\text{ V}$
$t_{V_DRIVE_WR}$	0			ns	$V_{DRIVE} < 2.7\text{ V}$
$t_{H_WR_CS}$	5			ns	WR保持时间
$t_{H_WR_DB}$	5			ns	配置数据到WR建立时间
t_{CYC_WR}	230			ns	配置数据到WR保持时间
					配置数据建立时间，WR上升沿到下一个WR上升沿

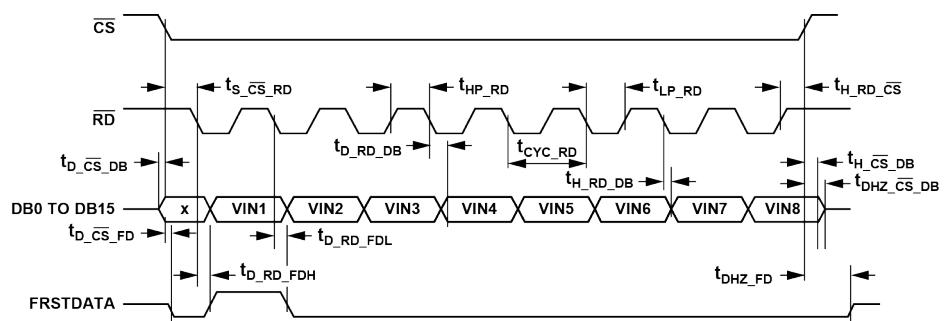


图3. 并行模式读取时序图, 分离的CS和RD脉冲

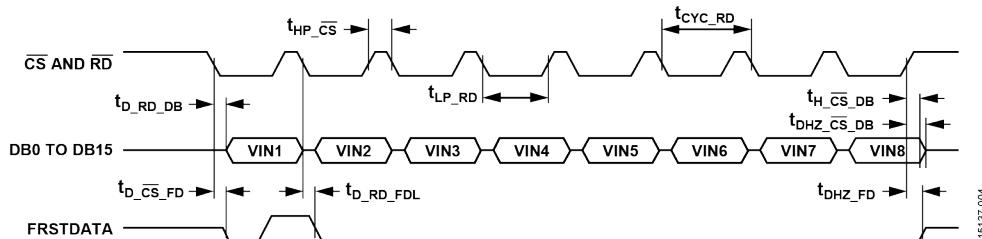


图4. 并行模式读取时序图, 相连的CS和RD

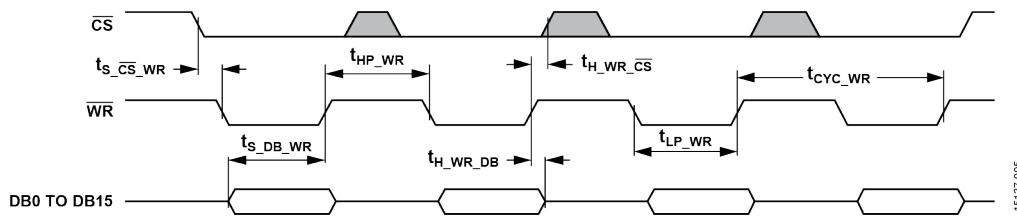


图5. 并行模式写操作时序图

串行模式时序规格

表5.

参数	最小值	典型值	最大值	单位	描述
f_{SCLK}		60	40	MHz	SCLK频率; $f_{SCLK} = 1/t_{SCLK}$ $V_{DRIVE} > 2.7\text{ V}$ $V_{DRIVE} < 2.7\text{ V}$
t_{SCLK}	$1/f_{SCLK}$			μs	最短SCLK周期
$t_{S_CS_SCK}$	2			ns	CS到SCLK下降沿建立时间
$t_{H_SCK_CS}$	2			ns	SCLK到CS上升沿保持时间
t_{LP_SCK}	$0.4 \times t_{SCLK}$			ns	SCLK低电平脉宽
t_{HP_SCK}	$0.4 \times t_{SCLK}$			ns	SCLK高电平脉宽
$t_{D_CS_DO}$		9		ns	从CS到 D_{OUTX} 三态禁用的延迟时间 $V_{DRIVE} > 2.7\text{ V}$ $V_{DRIVE} < 2.7\text{ V}$
$t_{D_SCK_DO}$		18		ns	SCLK上升沿后的数据输出访问时间 $V_{DRIVE} > 2.7\text{ V}$ $V_{DRIVE} < 2.7\text{ V}$
		15		ns	
		25		ns	
$t_{H_SCK_DO}$	8			ns	SCLK上升沿后的数据输出保持时间
$t_{S_SDI_SCK}$	8			ns	SCLK下降沿前的数据输入建立时间
$t_{H_SCK_SDI}$	0			ns	SCLK下降沿后的数据输入保持时间
$t_{DHZ_CS_DO}$		7		ns	CS上升沿到 D_{OUTX} 高阻抗 $V_{DRIVE} > 2.7\text{ V}$ $V_{DRIVE} < 2.7\text{ V}$
t_{WR}	25			ns	写入和读取同一寄存器之间或两次写入之间的时间; 如果 $f_{SCLK} > 50\text{ MHz}$
$t_{D_CS_FD}$		26		ns	从CS到 D_{OUTX} 三态禁用的延迟时间/从CS到MSB有效的延迟时间
$t_{D_SCK_FDL}$		18		ns	第16个SCLK下降到FRSTDATA低电平
t_{DHZ_FD}		28		ns	CS上升沿到FRSTDATA三态使能

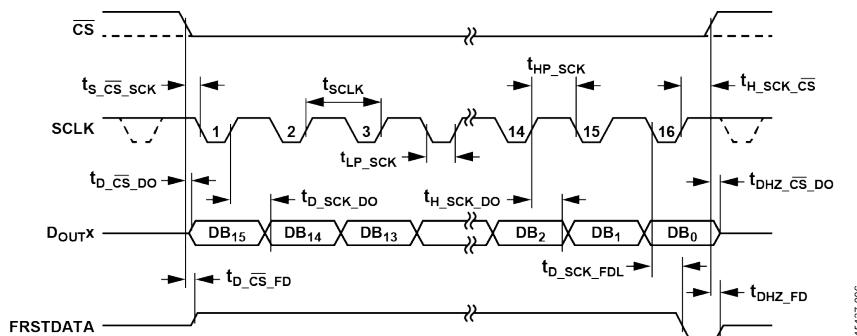


图6. 串行时序图, ADC读取模式 (通道1)

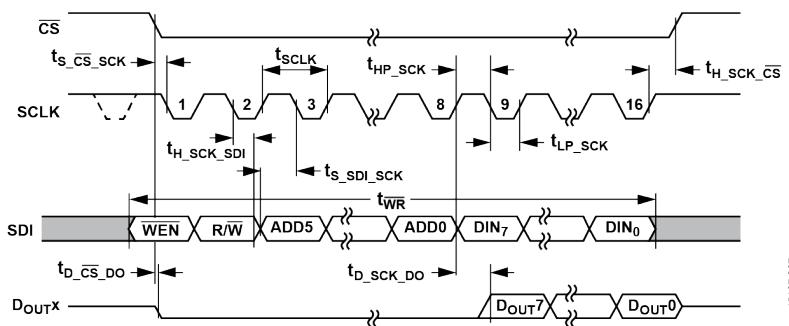


图7. 串行接口时序图, 寄存器映射读/写操作

绝对最大额定值

除非另有说明, $T_A = 25^\circ\text{C}$ 。

表4.

参数	额定值
AV_{CC} 至AGND	-0.3 V至+7 V
V_{DRIVE} 至AGND	-0.3 V至 $\text{AV}_{\text{CC}} + 0.3$ V
模拟输入电压至AGND ¹	± 21 V
数字输入电压至AGND	-0.3 V至 $V_{\text{DRIVE}} + 0.3$ V
数字输出电压至AGND	-0.3 V至 $V_{\text{DRIVE}} + 0.3$ V
REFIN 至AGND	-0.3 V至 $\text{AVCC} + 0.3$ V
除电源引脚外的任何引脚的输入电流 ¹	± 10 mA
工作温度范围	-40°C至+125°C
存储温度范围	-65°C至+150°C
结温	150°C
铅锡焊接温度	
回流焊 (10秒至30秒)	240 (+0)°C
无铅回流焊温度	260 (+0)°C
静电放电(ESD)	
除模拟输入外的所有引脚	3.5 kV
仅模拟输入引脚	8 kV

¹ 100 mA以下的瞬态电流不会造成硅控整流器(SCR)闩锁。

注意, 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值, 不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下, 器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

热阻

热性能与印刷电路板(PCB)设计和工作环境直接相关。必须慎重对待PCB散热设计。

θ_{JA} 是自然对流下的结至环境热阻, 在1立方英尺的密封外罩中测量。 θ_{JC} 是结至外壳热阻。

表7. 热阻

封装类型	θ_{JA} ¹	θ_{JC}	单位
ST-64-2	40	7	°C/W

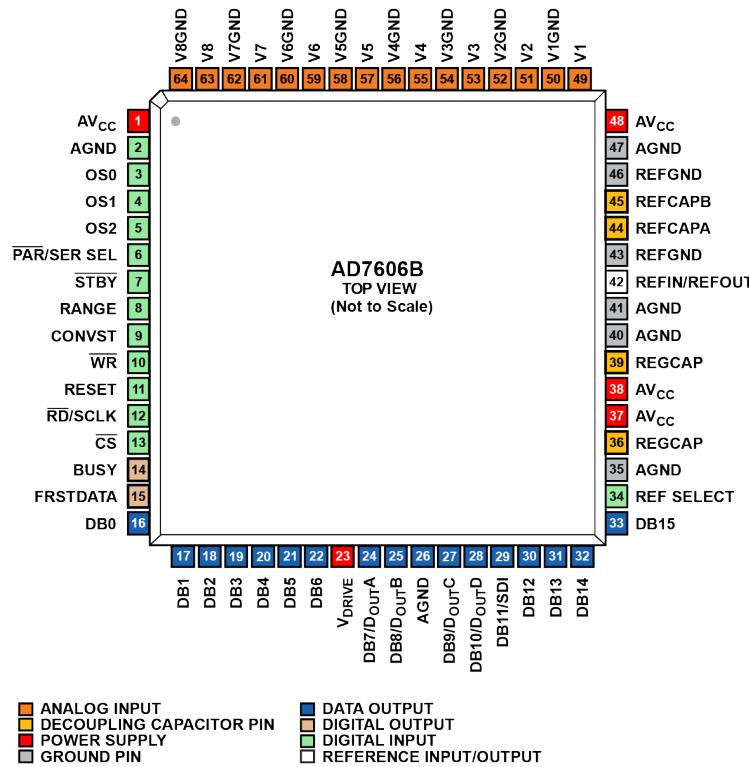
¹ 在JEDEC自然对流环境下基于JEDEC 2s2p热测试PCB的仿真数据。

ESD警告



ESD (静电放电) 敏感器件。带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

引脚配置和功能描述



15137-008

图8. 引脚配置

表8. 引脚功能描述

引脚编号	类型 ¹	引脚名称	描述
1, 37, 38, 48	P	AV _{CC}	模拟电源电压, 4.75 V至5.25 V。这是内部前端放大器和ADC内核的电源电压。将这些电源引脚去耦至AGND。
2, 26, 35, 40, 41, 47	P	AGND	模拟地。这些引脚是AD7606B上所有模拟电路的接地基准点。所有模拟输入信号和外部基准信号都必须参考这些引脚。所有六个AGND引脚必须连接到系统的AGND层。
3 至 5	DI	OS0 至 OS2	过采样模式引脚。这些输入选择过采样率或使能软件模式(过采样引脚解码参见表12)。关于过采样工作模式的更多信息, 参见“数字滤波器”部分。
6	DI	PAR/SER SEL	并行/串行接口选择输入。如果此引脚与逻辑低电平相连, 则选择并行接口。如果此引脚与逻辑高电平相连, 则选择串行接口。关于每个可用接口的更多信息, 参见“数字接口”部分。
7	DI	STBY	待机模式输入。在硬件模式下, 此引脚与RANGE引脚一起将AD7606B置于两种省电模式之一: 待机模式或关断模式。在软件模式下, 此引脚被忽略。因此, 建议将此引脚连接到逻辑高电平。有关硬件模式和软件模式的更多信息, 参见“省电模式”部分。
8	DI	RANGE	模拟输入范围选择输入。在硬件模式下, 此引脚决定模拟输入通道的输入范围(见表9)。如果STBY引脚处于逻辑低电平, 则此引脚决定省电模式(见表14)。在软件模式下, RANGE引脚被忽略。但是, 此引脚必须连接高电平或低电平。
9	DI	CONVST	转换开始输入。当CONVST引脚从低电平变为高电平时, 在所有8个SAR ADC上对模拟输入进行采样。在软件模式下, 此引脚可配置为外部过采样时钟。提供低抖动外部时钟可提高大过采样率下的SNR性能。有关详细信息, 参见“外部过采样时钟”部分。
10	DI	WR	数字输入。在硬件模式下, 此引脚无作用。因此, 它可以连接高电平、低电平或短接到CONVST。在软件模式下, 此引脚为低电平有效写入引脚, 用于通过并行接口写入寄存器。有关更多信息, 参见“并行接口”部分。

AD7606B

引脚编号	类型 ¹	引脚名称	描述
11	DI	RESET	复位输入，高电平有效。AD7606B提供完全复位和部分复位选项。复位类型由复位脉冲的长度决定。建议器件上电后接收完全复位脉冲。详情参见“复位功能”部分。
12	DI	RD/SCLK	选择并行接口时为并行数据读取控制输入(RD)。 选择串行接口时为串行时钟输入(SCLK)。更多信息请参见“数字接口”部分。
13	DI	CS	片选。对于串行和并行接口，此引脚均为低电平有效片选输入，用于ADC数据读取或寄存器数据读写。更多信息请参见“数字接口”部分。
14	DO	BUSY	输出繁忙。此引脚随同CONVST上升沿变为逻辑高电平。BUSY输出保持高电平，直到所有通道的转换过程完成为止。
15	DO	FRSTDATA	第一个数据输出。FRSTDATA输出信号指示何时在并行接口（见图3）或串行接口（见图6）上回读第一通道V1。更多信息请参见“数字接口”部分。
16 至 22	DO/DI	DB0 至 DB6	并行输出/输入数据位。使用并行接口时，这些引脚用作三态并行数字输入和输出引脚（参见“并行接口”部分）。使用串行接口时，应将这些引脚连接到AGND。
23	P	V _{DRIVE}	逻辑电源输入。此引脚的电源电压（1.71 V至3.6 V）决定逻辑接口的工作电压。此引脚的标称电源与主机接口（即数据信号处理(DSP)和现场可编程门阵列(FPGA)）的电源相同。
24	DO/DI	DB7/D _{OUT} A	并行输出/输入数据位7 (DB7)/串行接口数据输出引脚(D _{OUT} A)。使用并行接口时，此引脚用作三态并行数字输入/输出引脚。使用串行接口时，此引脚用作D _{OUT} A。有关每种数据接口和工作模式的更多信息，参见表21和表22。
25	DO/DI	DB8/D _{OUT} B	并行输出/输入数据位8 (DB8)/串行接口数据输出引脚(D _{OUT} B)。使用并行接口时，此引脚用作三态并行数字输入/输出引脚。使用串行接口时，此引脚用作D _{OUT} B。有关每种数据接口和工作模式的更多信息，参见表21和表22。
27	DO/DI	DB9/D _{OUT} C	并行输出/输入数据位9 (DB9)/串行接口数据输出引脚(D _{OUT} C)。使用并行接口时，此引脚用作三态并行数字输入/输出引脚。使用串行接口时，如果处于软件模式并使用四条数据输出线选项，则此引脚用作D _{OUT} C。有关每种数据接口和工作模式的更多信息，参见表21和表22。
28	DO/DI	DB10/D _{OUT} D	并行输出/输入数据位10 (DB10)/串行接口数据输出引脚(D _{OUT} D)。使用并行接口时，此引脚用作三态并行数字输入/输出引脚。使用串行接口时，如果处于软件模式并使用四条数据输出线选项，则此引脚用作D _{OUT} D。有关每种数据接口和工作模式的更多信息，参见表21和表22。
29	DO/DI	DB11/SDI	并行输出/输入数据位DB11/串行数据输入。使用并行接口时，此引脚用作三态并行数字输入/输出引脚。在软件模式下使用串行接口时，此引脚用作串行数据输入。有关每种数据接口和工作模式的更多信息，参见表21和表22。
30 至 33	DO/DI	DB12 至 DB15	并行输出/输入数据位DB15至DB12。使用并行接口时，这些引脚用作三态并行数字输入和输出引脚（参见“并行接口”部分）。使用串行接口时，应将这些引脚连接到AGND。
34	DI	REF SELECT	内部/外部基准电压选择逻辑输入。如果此引脚设为逻辑高电平，则选择并使能内部基准电压模式。如果此引脚设为逻辑低电平，则内部基准电压禁用，必须将外部基准电压施加到REFIN/REFOUT引脚。
36, 39	P	REGCAP	去耦电容引脚，用于1.9 V内部稳压器、模拟低压差(ALDO)和数字低压差(DLDO)稳压器的电压输出。这些输出引脚必须使用1μF电容分别去耦至AGND。
42	REF	REFIN/ REFOUT	基准电压输入(REFIN)/基准电压输出(REFOUT)。内部2.5 V基准电压源可通过REFOUT引脚提供给外部使用，同时将REF SELECT引脚设置为逻辑高电平。或者将REF SELECT引脚设置为逻辑低电平以禁用内部基准电压源，此时必须将2.5 V的外部基准电压施加到此输入(REFIN)。对于内部和外部基准电压源选项，从REFIN引脚到地均须应用100 nF电容（靠近REFGND引脚）。详情参见“基准电压源”部分。
43, 46	REF	REFGND	基准电压接地引脚。这些引脚必须连接到AGND。
44, 45	REF	REFCAPA, REFCAPB	基准电压缓冲输出强制/检测引脚。必须将这些引脚连在一起，并通过低ESR（有效串联电阻）10 μF陶瓷电容去耦至AGND。这些引脚上的电压通常为4.4 V。
49	AI	V1	通道1正模拟输入引脚。
50	AI GND	V1GND	通道1负模拟输入引脚。

引脚编号	类型 ¹	引脚名称	描述
51	AI	V2	通道2正模拟输入引脚。
52	AI GND	V2GND	通道2负模拟输入引脚。
53	AI	V3	通道3正模拟输入引脚。
54	AI GND	V3GND	通道3负模拟输入引脚。
55	AI	V4	通道4正模拟输入引脚。
56	AI GND	V4GND	通道4负模拟输入引脚。
57	AI	V5	通道5正模拟输入引脚。
58	AI GND	V5GND	通道5负模拟输入引脚。
59	AI	V6	通道6正模拟输入引脚。
60	AI GND	V6GND	通道6负模拟输入引脚。
61	AI	V7	通道7正模拟输入引脚。
62	AI GND	V7GND	通道7负模拟输入引脚。
63	AI	V8	通道8正模拟输入引脚。
64	AI GND	V8GND	通道8负模拟输入引脚。

¹ P表示电源，DI表示数字输入，DO表示数字输出，REF表示基准电压输入/输出，AI表示模拟输入，GND表示地。

典型性能参数

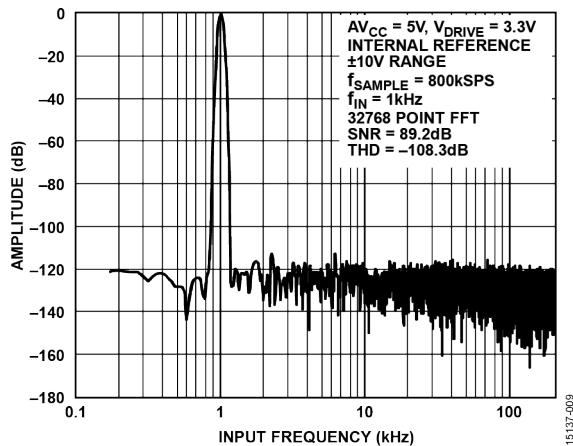


图9. 快速傅立叶变换(FFT), ±10 V范围

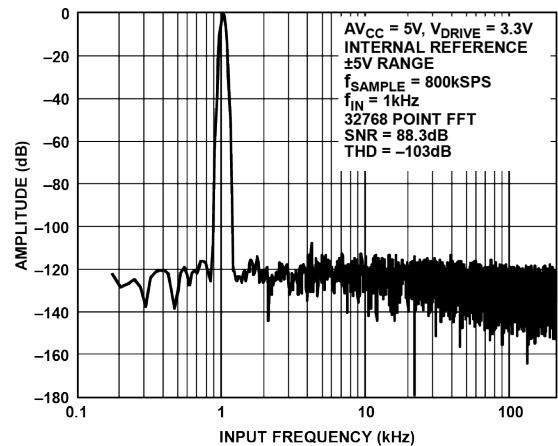


图12. FFT, ±5 V范围

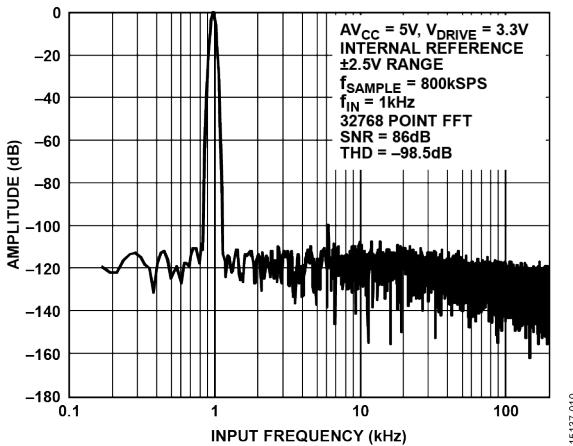


图10. FFT, ±2.5 V范围

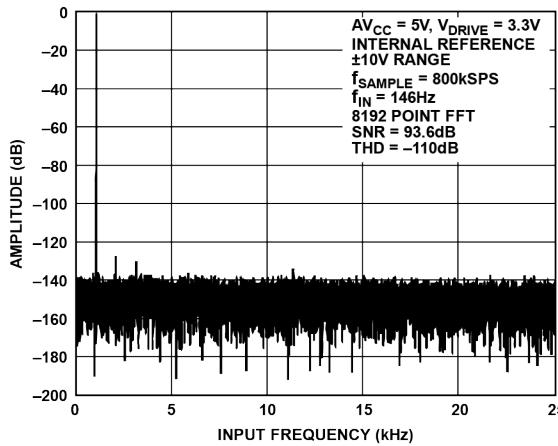


图13. FFT过采样(16), ±10 V范围

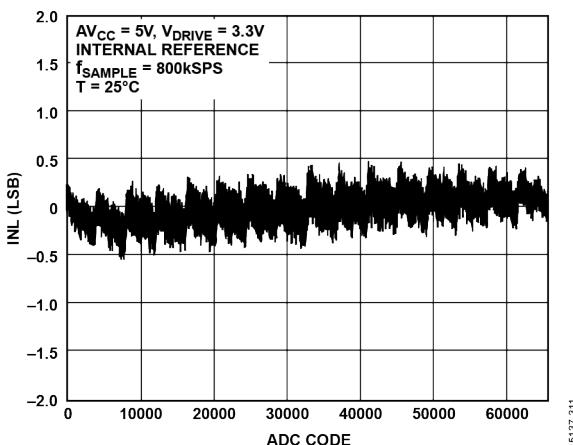


图11. 典型INL, ±10 V范围

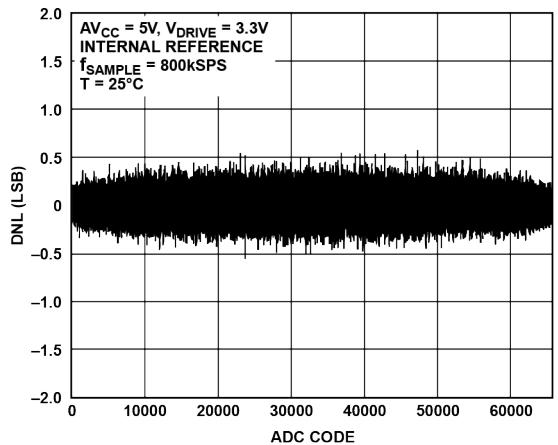


图14. 典型DNL

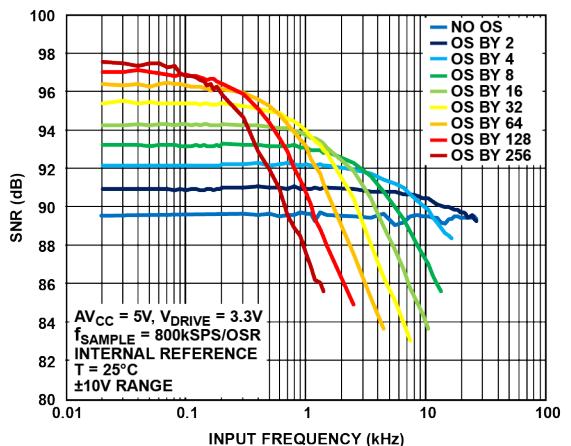


图15. 不同OSR值下SNR与输入频率的关系, $\pm 10\text{V}$ 范围,
内部OS时钟

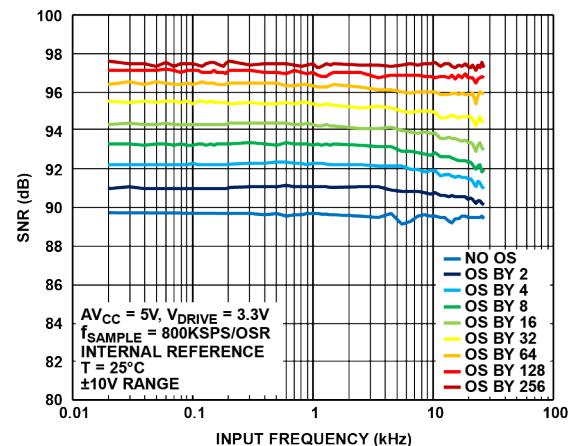


图18. 不同OSR值下SNR与输入频率的关系, $\pm 10\text{V}$ 范围,
外部OS时钟

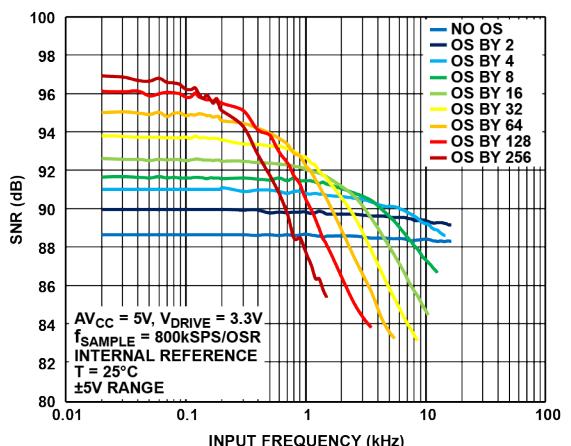


图16. 不同OSR值下SNR与输入频率的关系, $\pm 5\text{V}$ 范围,
内部OS时钟

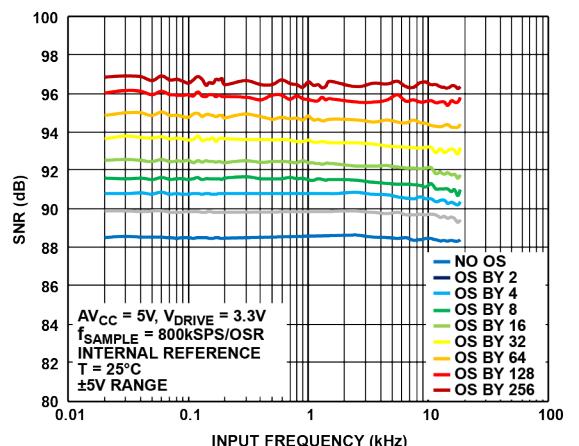


图19. 不同OSR值下SNR与输入频率的关系, $\pm 5\text{V}$ 范围,
外部OS时钟

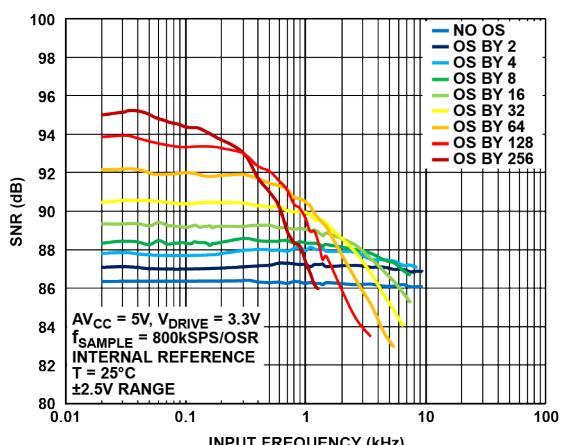


图17. 不同OSR值下SNR与输入频率的关系, $\pm 2.5\text{V}$ 范围,
内部OS时钟

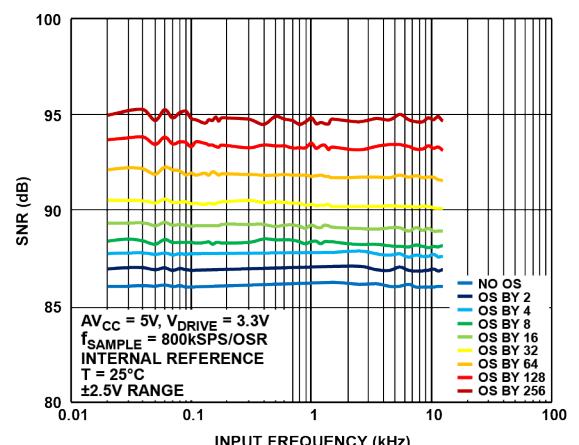


图20. 不同OSR值下SNR与输入频率的关系, $\pm 2.5\text{V}$ 范围,
外部OS时钟

AD7606B

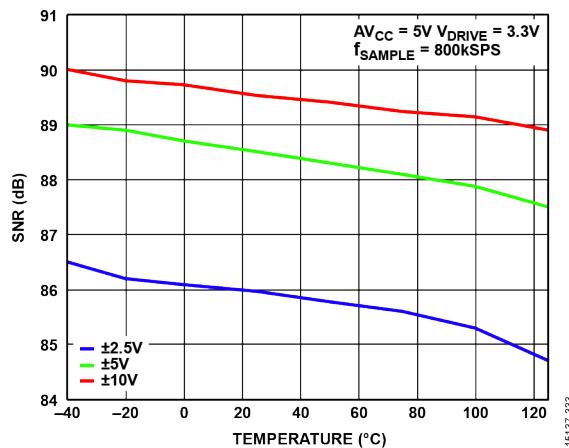


图21.SNR与温度的关系

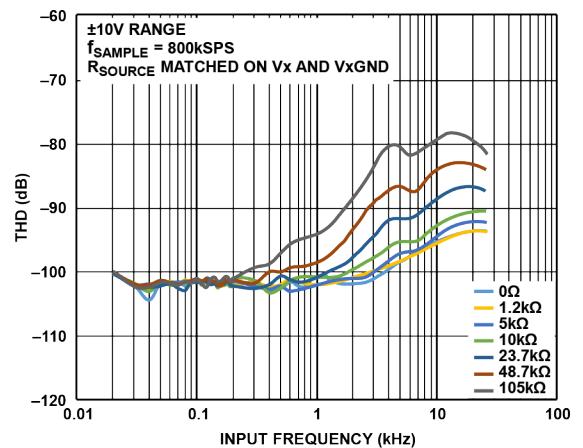


图24. 各种源阻抗下THD与输入频率的关系, ±10 V范围

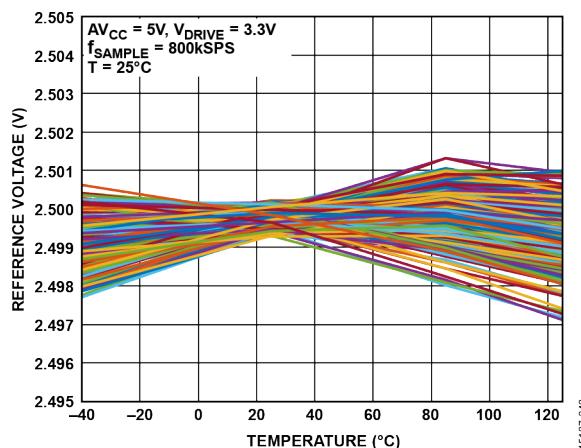


图22. 基准电压漂移

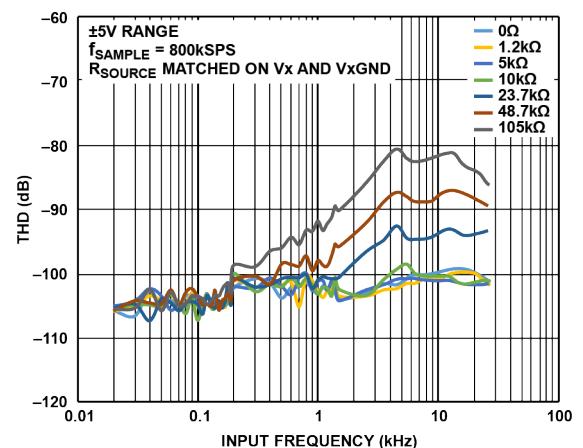


图25. 各种源阻抗下THD与输入频率的关系, ±5 V范围

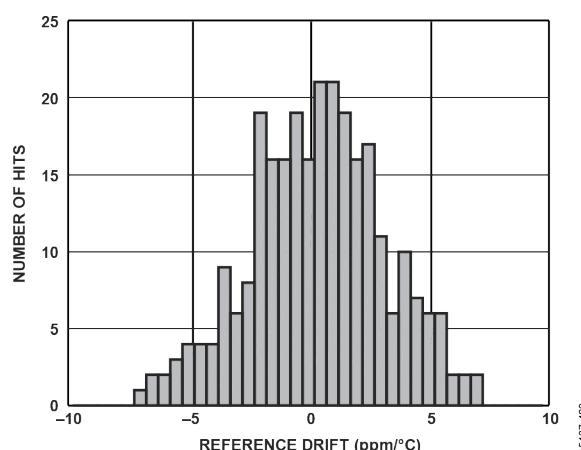


图23. 基准电压漂移直方图

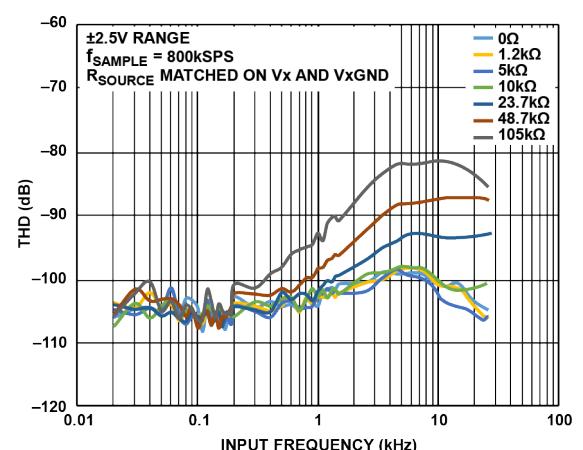


图26. 各种源阻抗下THD与输入频率的关系, ±2.5 V范围

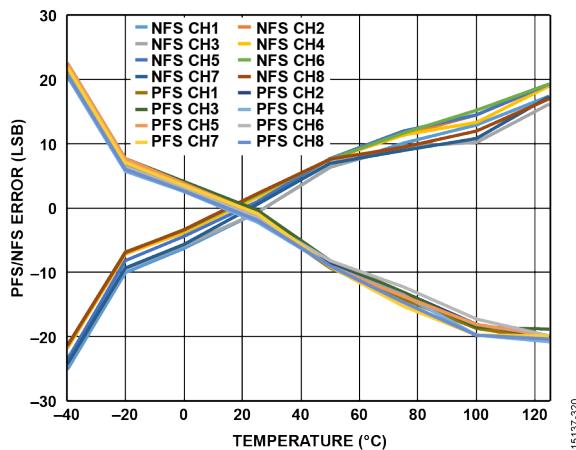


图27. 正满量程(PFS)/负满量程(NFS)误差与温度的关系,
±10 V范围

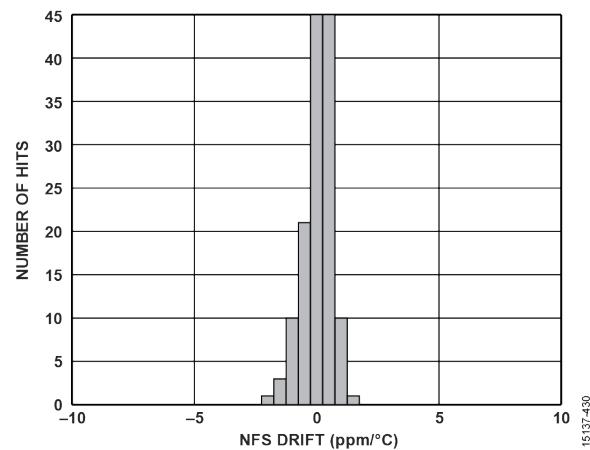


图30. PFS/NFS漂移直方图, 外部基准电压源

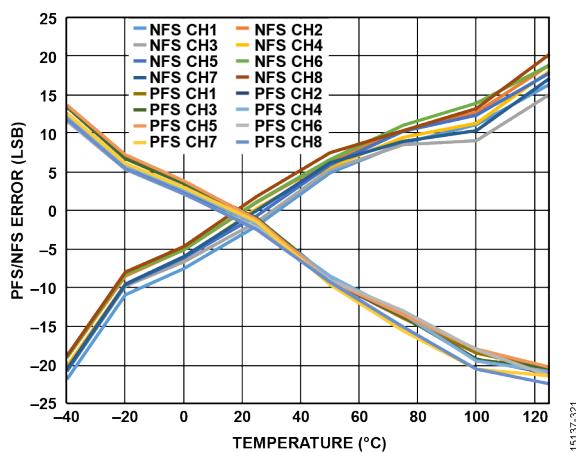


图28. PFS/NFS误差与温度的关系, ±5 V范围

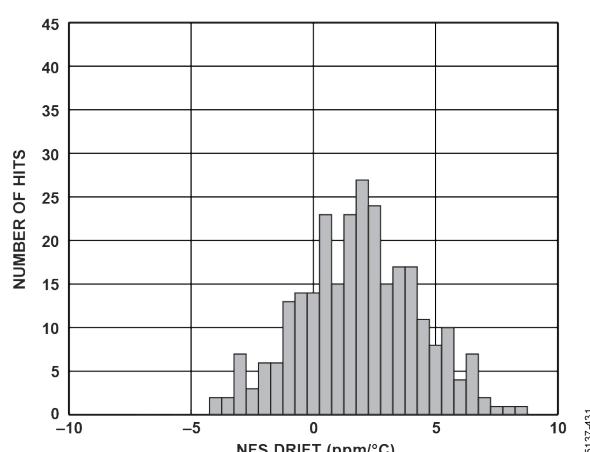


图31. PFS/NFS漂移直方图, 内部基准电压源

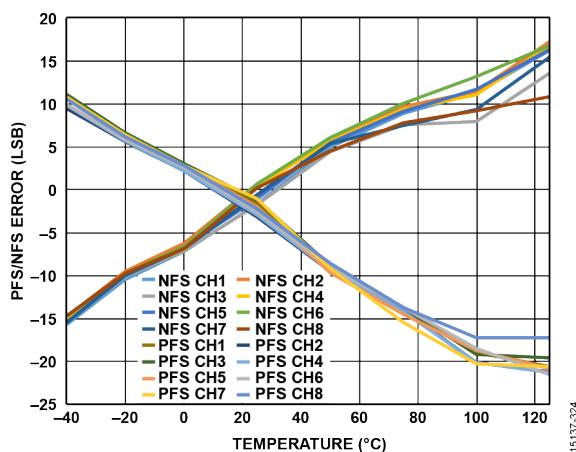


图29. PFS/NFS误差与温度的关系, ±2.5 V范围

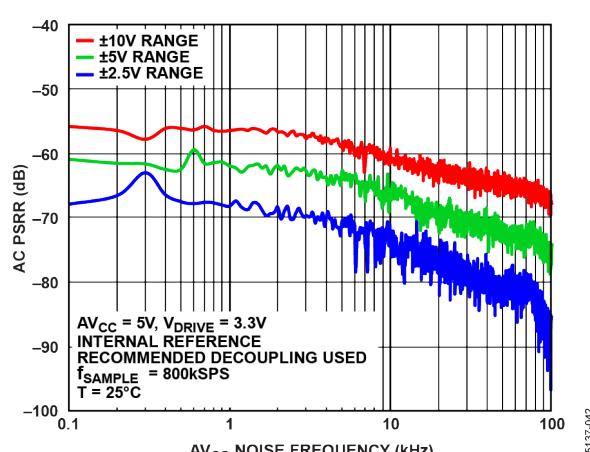


图32. 交流电源抑制比(AC PSRR)

AD7606B

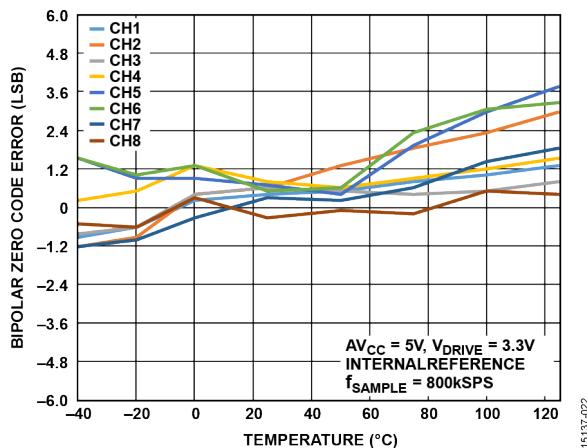


图33. 双极性零代码误差与温度的关系, ± 10 V范围

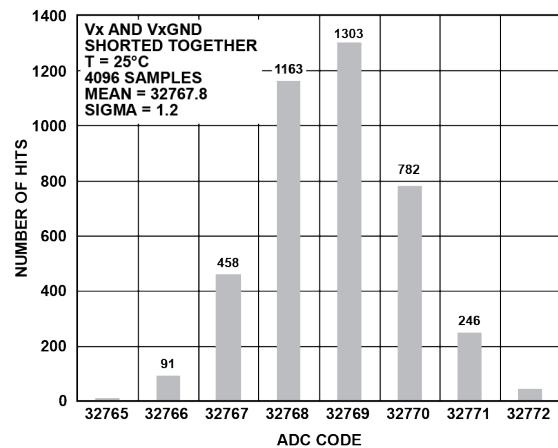


图36. 代码直方图, ± 10 V范围

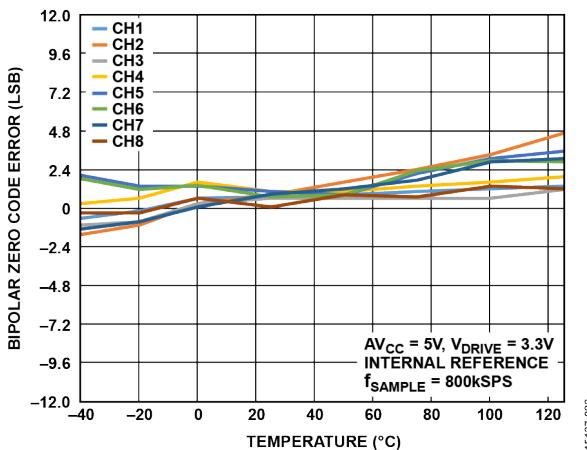


图34. 双极性零代码误差与温度的关系, ± 5 V范围

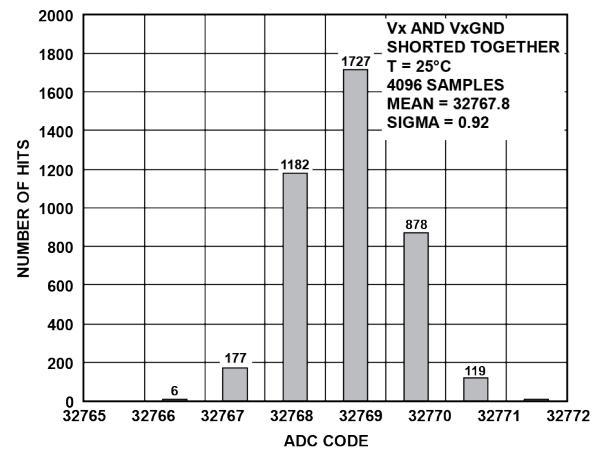


图37. 代码直方图, ± 5 V范围

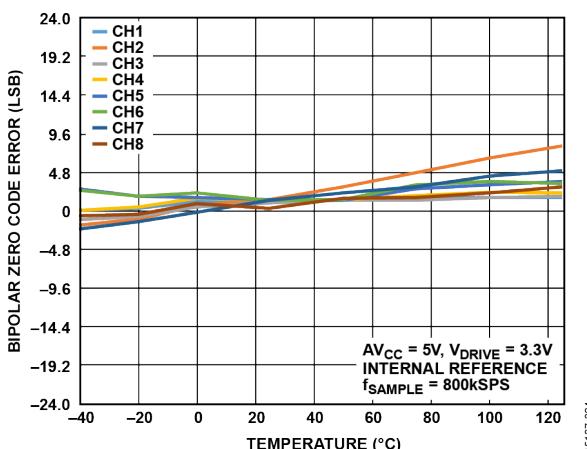


图35. 双极性零代码误差与温度的关系, ± 2.5 V范围

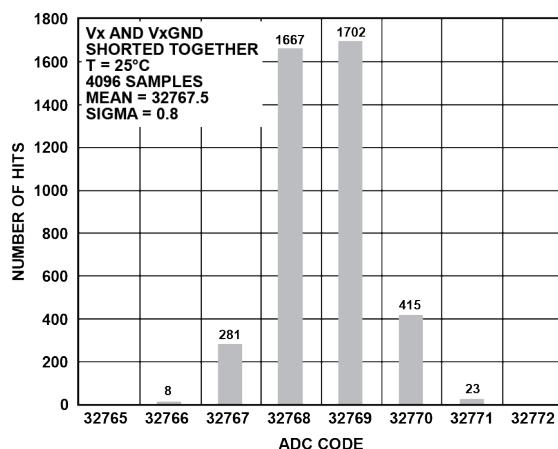


图38. 代码直方图, ± 2.5 V范围

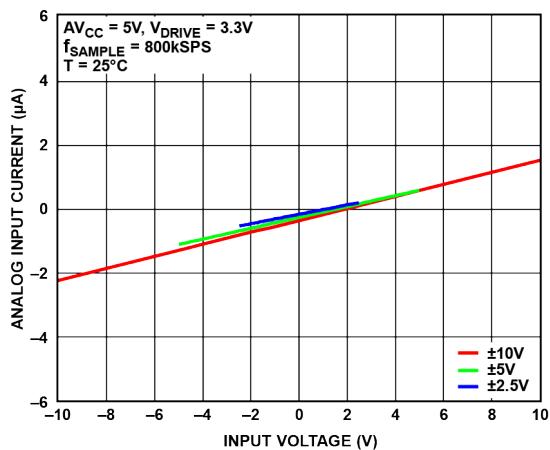


图39. 模拟输入电流与输入电压的关系

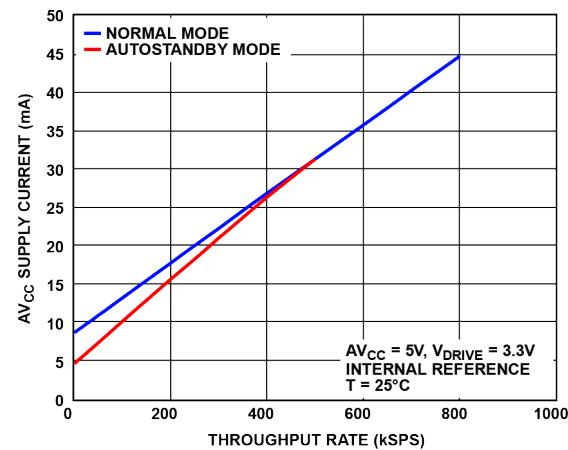
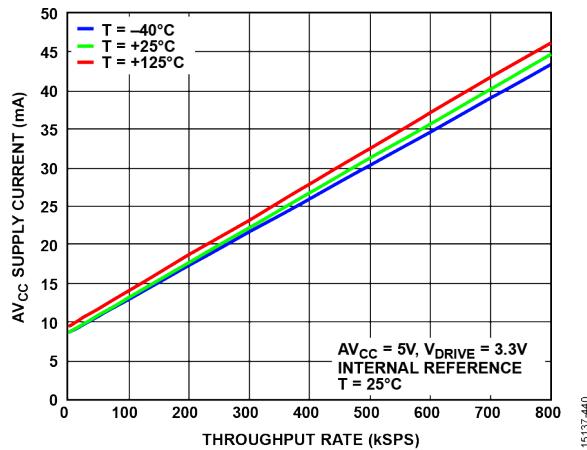
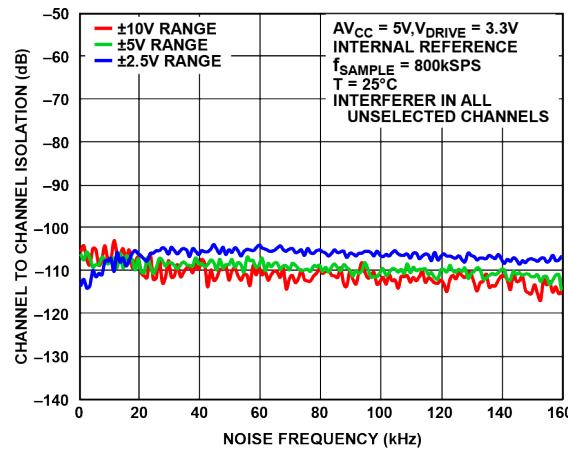
图41. AV_{CC} 电源电流与吞吐速率的关系图40. AV_{CC} 电源电流与吞吐速率的关系

图42. 通道间隔离与噪声频率的关系

术语

积分非线性(INL)

INL指ADC转换函数与一条通过ADC转换函数端点的直线的最大偏差。转换函数的两个端点，起点在低于第一个码转换的 $\frac{1}{2}$ LSB处的零电平，终点在高于最后一个码转换的 $\frac{1}{2}$ LSB处的满量程。

差分非线性(DNL)

DNL指ADC中任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。

双极性零代码误差

双极性零代码误差是指半量程转换（全1到全0）与理想值，即0 V – $\frac{1}{2}$ LSB的偏差。

双极性零代码误差匹配

双极性零代码误差匹配是指任何两个输入通道之间双极性零代码误差的绝对差。

开路代码误差

开路代码误差指模拟输入发生开路，并且模拟输入引脚对之间连接一个下拉电阻(R_{PD})时的ADC输出码。更多信息参见图59。

正满量程(PFS)误差

PFS误差指校正双极性零代码误差之后，实际的最后一个码转换与理想的最后一个码转换（10 V – $\frac{1}{2}$ LSB (9.99954)、5 V – $\frac{1}{2}$ LSB (4.99977)和2.5 V – $\frac{1}{2}$ LSB (2.49988)）的偏差。正满量程误差包括内部基准电压源和基准电压缓冲器的贡献。

正满量程误差匹配

PFS误差匹配是指任何两个输入通道之间正满量程误差的绝对差。

负满量程(NFS)误差

NFS误差是指校正双极性零代码误差之后，第一个码转换与理想的第一个码转换（-10 V + $\frac{1}{2}$ LSB (-9.99984)、-5 V + $\frac{1}{2}$ LSB (-4.99992)和-2.5 V + $\frac{1}{2}$ LSB (-2.49996)）的偏差。负满量程误差包括内部基准电压源和基准电压缓冲器的贡献。

负满量程误差匹配

NFS误差匹配是指任何两个输入通道之间负满量程误差的绝对差。

总非调整误差(TUE)

TUE指输出代码与理想值的最大偏差。TUE包括INL误差、双极零代码误差、正负满量程误差和基准电压误差。

信纳比(SINAD)

SINAD是指在ADC输出端测得的信号对噪声及失真比。这里的信号是基波幅值的均方根值。噪声为采样频率一半 ($f_s/2$, 直流信号除外) 以下的所有非基波信号之和。

在数字化过程中，这个比值的大小取决于量化级数，量化级数越多，量化噪声就越小。

对于一个正弦波输入的理想N位转换器，信纳比理论值计算公式为：

$$SINAD = (6.02 N + 1.76) \text{ (dB)}$$

因此，对于16位转换器，SINAD为98 dB。

总谐波失真(THD)

THD指所有谐波均方根和与基波的比值。对于AD7606B，THD定义为

$$THD \text{ (dB)} =$$

$$20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2 + V_7^2 + V_8^2 + V_9^2}}{V_1}$$

其中：

V_1 是基波幅度的均方根值。

V_2 至 V_9 是二次到九次谐波幅度的均方根值。

峰值谐波或杂散噪声

峰值谐波或杂散噪声是指在ADC输出频谱（最高达 $f_s/2$, 直流信号除外）中，下一个最大分量的均方根值与基波均方根值的比。通常情况下，此参数值由频谱内的最大谐波决定，但对于谐波淹没于噪底内的ADC，此值由噪声峰值决定。

电源抑制比(PSRR)

电源变化会影响转换器的满量程转换，但不会影响其线性。电源抑制(PSR)是由于电源电压偏离标称值所引起的最大满量程转换点变化。PSRR定义为以ADC频率 f_s 施加于AV_{CC}电源的100 mV p-p正弦波与该频率 f_s 的ADC输出功率之比。

$$PSRR \text{ (dB)} = 20 \log (0.1/P_f)$$

其中：

P_f 等于频率 f_s 下耦合到AV_{CC}电源的功率。

通道间隔离

通道间隔离衡量所有输入通道之间的串扰水平。通过向所有未选定的输入通道施加一个满量程、最高160 kHz正弦波信号，然后决定该信号在选定通道内随所施加的1 kHz正弦波信号的衰减程度来测量（见图42）。

相位延迟

相位延迟衡量一个输入被转换器采样到与该样本相关的结果可从ADC读出的绝对延迟时间，包括器件模拟前端引入的延迟。

相位延迟漂移

相位延迟漂移是指在器件的完整工作温度范围内，温度每改变一个单位所引起的相位延迟变化。

相位延迟匹配

相位延迟匹配是指任何同步采样对之间的最大相位延迟。

工作原理

模拟前端

AD7606B是一款16位同步采样模数转换DAS，具有8个通道。每个通道都内置模拟输入箝位保护、PGA、低通滤波器和16位SAR ADC。

模拟输入范围

AD7606B可以处理真双极性单端输入电压。在硬件模式下，RANGE引脚上的逻辑电平决定所有模拟输入通道的模拟输入范围是 $\pm 10\text{ V}$ 还是 $\pm 5\text{ V}$ ，如表9所示。

RANGE引脚的逻辑状态改变会立即影响模拟输入范围。然而，除了正常采集时间要求外，通常还需要大约 $80\mu\text{s}$ 的建立时间。对于快速吞吐速率应用，转换期间建议不要更改RANGE引脚的逻辑状态。

在软件模式下，可以使用地址0x03至地址0x06为每个通道配置单独的模拟输入范围。软件模式下会忽略RANGE引脚上的逻辑电平。

表9. 模拟输入范围选择

范围(V)	硬件模式 ¹	软件模式 ²
± 10	RANGE引脚高电平	地址0x03至 地址0x06
± 5	RANGE引脚低电平	地址0x03至 地址0x06
± 2.5	不适用	地址0x03至 地址0x06

¹ 相同模拟输入范围 ($\pm 10\text{ V}$ 或 $\pm 5\text{ V}$) 适用于所有八个通道。

² 使用存储器映射为每个通道选择模拟输入范围 ($\pm 10\text{ V}$ 、 $\pm 5\text{ V}$ 或 $\pm 2.5\text{ V}$)。

模拟输入阻抗

AD7606B的模拟输入阻抗典型值为 $5\text{ M}\Omega$ 。这是固定输入阻抗，不随AD7606B采样频率而变化。高模拟输入阻抗可免除AD7606B前端的驱动放大器，允许其与信号源或传感器直接相连。因此，可以从信号链中移除双极性电源。

模拟输入箝位保护

图43显示了AD7606B的模拟输入电路。AD7606B的每个模拟输入均包含箝位保护电路。尽管采用5 V单电源供电，但此模拟输入箝位保护允许输入过压达到 $\pm 21\text{ V}$ 。

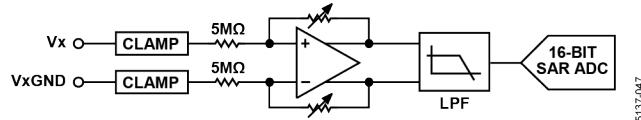


图43. 每个通道的模拟输入电路

图44显示了箝位电路的输入箝位电流与源电压特性的关系。当输入电压不超过 $\pm 21\text{ V}$ 时，箝位电路中无电流。当输入电压超过 $\pm 21\text{ V}$ 时，AD7606B箝位电路开启。

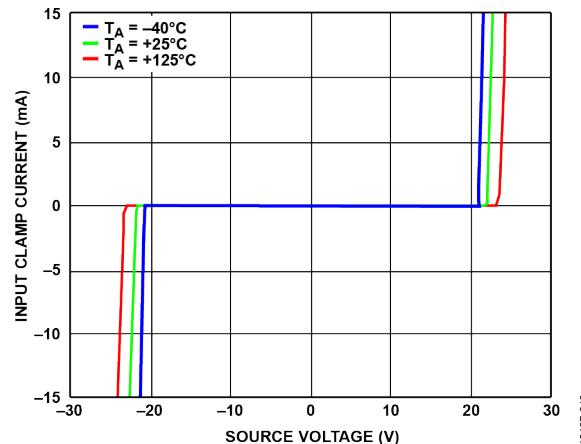


图44. 输入箝位保护特性

建议在模拟输入通道上放置一个串联电阻，以在输入电压大于 $\pm 21\text{ V}$ 时将电流限制在 $\pm 10\text{ mA}$ 。在模拟输入通道Vx上有串联电阻(R)的应用中，建议电阻(R)与VxGND上的电阻相匹配，以消除任何引入系统的失调，如图45所示。但在软件模式下，每通道系统失调校准可消除整个系统的失调(参见“系统失调校准”部分)。

在正常操作期间，建议不要将AD7606B置于模拟输入长时间大于输入范围的情况下，因为这会降低双极性零代码误差性能。在关断或待机模式下，没有这种担忧。

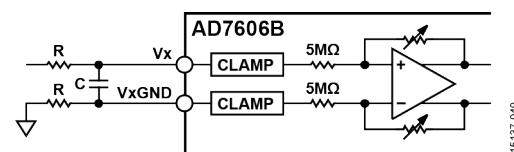


图45. AD7606B模拟输入的输入电阻匹配

PGA

每个输入通道都提供PGA。增益根据所选的模拟输入范围(见表9)来配置，以将单端模拟输入信号调整到ADC全差分输入范围。

PGA每个输入端的输入阻抗经过精确调整，以保持整体增益误差较小。当使能增益校准时，此调整值将被用于补偿外部串联电阻引入的增益误差。有关PGA特性的更多信息，参见“系统增益校准”部分。

模拟输入抗混叠滤波器

AD7606B提供了模拟抗混叠滤波器。图46和图47分别显示了模拟抗混叠滤波器的频率响应和相位响应。在 $\pm 10\text{ V}$ 范围内，-3dB带宽典型值为22.5 kHz。

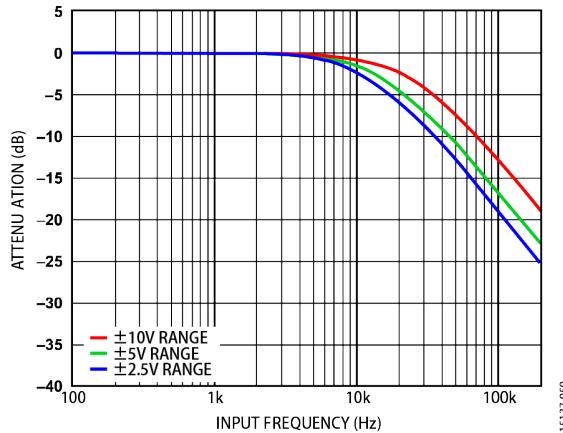


图46. 模拟抗混叠滤波器频率响应

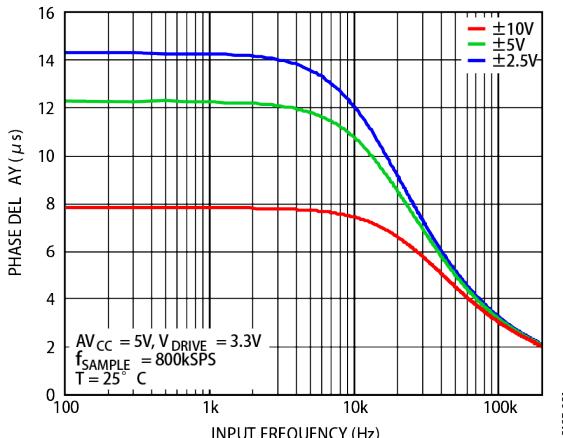


图47. 模拟抗混叠滤波器相位响应

SAR ADC

AD7606B允许ADC以16位分辨率精确采集满量程幅度的输入信号。在CONVST信号的上升沿，所有8个SAR ADC同时对相应的输入进行采样。

BUSY信号表示转换正在进行。因此，当施加CONVST信号上升沿时，BUSY引脚变为逻辑高电平，在整个转换过程结束时变为低电平。BUSY信号的下降沿指示所有8个通道的转换过程结束。当BUSY信号沿下降时，下一组转换的采集时间开始。当BUSY信号为高电平时，CONVST信号的上升沿无作用。

在BUSY输出变为低电平后，新数据可通过并行或串行接口从输出寄存器读取。或者，先前转换的数据可在BUSY引脚为高电平时读取，如“转换期间读取”部分所述。

AD7606B内置一个片内振荡器用于执行转换。所有ADC通道的转换时间为 t_{CONV} （见表3）。在软件模式下，可以选择通过CONVST引脚施加外部时钟。提供低抖动外部时钟可提高大过采样率下的SNR性能。有关更多信息，参见“数字滤波器”部分和图15至图20。

将所有不使用的模拟输入通道接AGND。不使用通道的结果仍会包括在所读取的数据中，因为始终会转换所有通道。

ADC转换函数

AD7606B的输出编码为二进制补码。所设计的码转换在连续LSB整数值的中间（即1/2 LSB和3/2 LSB）进行。AD7606B的LSB大小为FSR/65,536。AD7606B的理想传递特性如图48所示。LSB大小取决于所选的模拟输入范围，如表10所示。

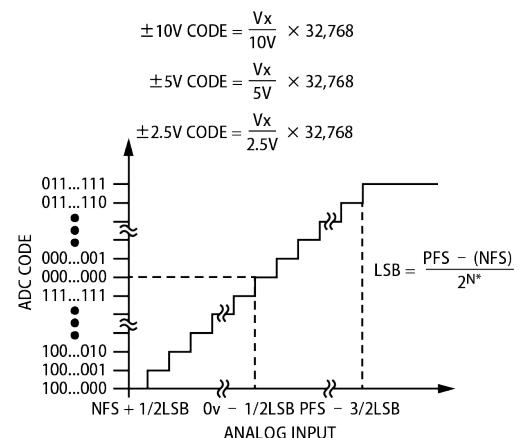


图48. 理想传递特性

表10. 输入电压范围

范围(V)	PFS (V)	中间电平(V)	NFS (V)	LSB (μV)
±10	+10	0	-10	305
±5	+5	0	-5	152
±2.5	+2.5	0	-2.5	76

基准电压源

AD7606B内置一个2.5 V片内带隙基准电压源。REFIN/REFOUT引脚支持如下操作：

- 如果REF SELECT引脚连接到逻辑高电平，可使用内部2.5 V基准电压源。
- 如果REF SELECT引脚连接到逻辑低电平，可施加2.5 V外部基准电压。

表11. 基准电压配置

REF SELECT引脚	基准电压源选择
逻辑高电平	使能内部基准电压源
逻辑低电平	禁用内部基准电压源；必须将外部2.5 V基准电压施加到REFIN/REFOUT引脚

AD7606B

AD7606B内置一个基准电压缓冲器，其配置为将基准电压放大至约4.4 V，如图49所示。该4.4 V缓冲基准电压就是SAR ADC所用的基准电压，如图49所示。复位之后，AD7606B工作在REF SELECT引脚所选择的基准电压模式。REFCAPA和REFCAPB引脚必须在外部短路连在一起，并通过一个10 μF 陶瓷电容连接至REFGND引脚，以确保基准电压缓冲器工作在闭环中。REFIN/REFOUT引脚需要10 μF 陶瓷电容。

当AD7606B配置为外部基准电压模式时，REFIN/REFOUT引脚为高输入阻抗引脚。

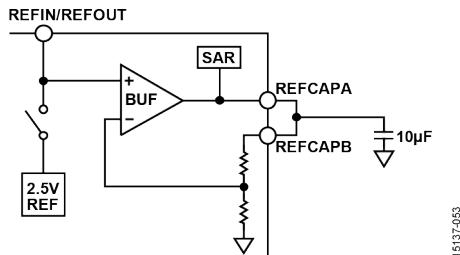


图49. 基准电压电路

使用多个AD7606B器件

对于使用多个AD7606B器件的应用，建议根据应用要求采取下列配置。

外部基准电压模式

一个外部基准电压源可以驱动所有AD7606B器件的REFIN/REFOUT引脚（见图50）。此配置中，AD7606B的每一个REFIN/REFOUT引脚都应该用至少100 nF的去耦电容去耦。REFIN/REFOUT引脚必须在外部短路连在一起，并通过一个100 nF的去耦电容连接至REFGND引脚。

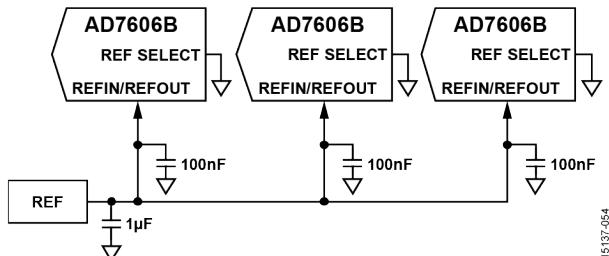


图50. 单个外部基准电压源驱动多个AD7606B REFIN/REFOUT引脚

内部基准电压模式

配置为内部基准电压工作模式的一个AD7606B器件，可以驱动配置为外部基准电压工作模式的其余AD7606B器件（见图51）。配置为内部基准电压模式的AD7606B应利用10 μF 陶瓷去耦电容对其REFIN/REFOUT引脚去耦。配置为外部基准电压模式的其他AD7606B器件须各利用至少100 nF的去耦电容对其REFIN/REFOUT引脚去耦。

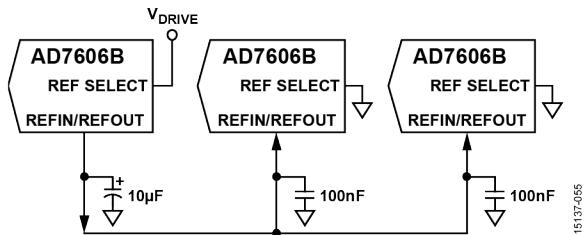


图51. 内部基准电压源驱动多个AD7606B REFIN/REFOUT引脚

工作模式

通过控制OSx引脚（引脚3、引脚4和引脚5），AD7606B可以工作在硬件或软件模式下，如表12所示。

在硬件模式下，AD7606B的配置取决于RANGE、OSx或STBY引脚的逻辑电平。

在软件模式下，即当所有三个OSx引脚都连接到逻辑高电平时，AD7606B由通过串行或并行接口访问的相应寄存器配置。还有其他特性可供使用，如表13所示。

在硬件和软件模式下，基准电压源和数据接口均通过REF SELECT和PAR/SER SEL引脚选择。

表12. 过采样引脚解码

OSx引脚	AD7606B
000	无过采样
001	2
010	4
011	8
100	16
101	32
110	64
111	进入软件模式

表13. 功能矩阵

参数	硬件模式	软件模式
模拟输入范围 ¹	$\pm 10\text{ V}$ 或 $\pm 5\text{ V}$ ²	$\pm 10\text{ V}$ 、 $\pm 5\text{ V}$ 或 $\pm 2.5\text{ V}$ ³
系统增益、相位和失调校准	不可用	可用 ³
OSR	从无OS到OSR = 64	从无OS到OSR = 256
模拟输入开路检测	不可用	可用 ³
串行数据输出线	2	可选：1、2或4
诊断	不可用	提供
省电模式	待机和关断	待机、关断和自动待机

¹ 模拟输入范围选择参见表9。

² 所有输入通道配置相同的输入范围。

³ 基于每个通道。

AD7606B

复位功能

AD7606B有两种复位模式：完全或部分。复位模式选择取决于复位高电平脉冲的长度。部分复位要求RESET引脚保持高电平55 ns到2 μ s。RESET引脚释放50 ns (t_{DEVICE_SETUP} , 部分复位) 后，器件即完全正常工作，可以启动转换。完全复位要求RESET引脚保持高电平至少3 μ s。RESET引脚释放253 μ s (t_{DEVICE_SETUP} , 完全复位) 后，器件即完成重新配置，可以启动转换。

部分复位会重新初始化下列模块：

- 数字滤波器。
- SPI和并行，复位到ADC模式。
- SAR ADC。
- CRC逻辑。

部分复位后，状态寄存器的RESET_DETECT位置位（地址0x01位7）。部分复位完成后，当前转换结果被丢弃。部分复位不会影响软件模式下设置的寄存器值，或硬件和软件模式下存储用户配置的锁存器。

完全复位会将器件恢复为默认上电状态，状态寄存器的RESET_DETECT位置位（地址0x01位7），当前转换结果被丢弃。当AD7606B退出完全复位时，除了以上所列外，还会配置如下特性：

- 硬件模式或软件模式。
- 接口类型（串行或并行）。

省电模式

在硬件模式下，AD7606B提供两种省电模式：待机模式和关断模式。表14 STBY引脚控制AD7606B是处于正常模式还是处于两种省电模式之一，如下所示。如果STBY引脚为低电平，则通过RANGE引脚的状态选择省电模式。

表14. 省电模式选择，硬件模式

功耗模式	STBY引脚	RANGE引脚
正常模式	1	X ¹
待机	0	1
关断	0	0

¹ X = 无关位。

在软件模式下，省电模式通过存储器映射中CONFIG寄存器OPERATION_MODE位（地址0x02位[1:0]）来选择。软件模式下有一个额外的省电模式可用，称为自动待机模式。

表15. 省电模式选择，软件模式，通过CONFIG寄存器

(地址0x02)

工作模式	地址0x02, 位1	地址0x02, 位0
正常	0	0
待机	0	1
自动待机	1	0
关断	1	1

当AD7606B处于关断模式时，所有电路都关断，电流消耗降至5 μ A（最大值）。上电时间约为10 ms。当AD7606B从关断模式上电时，经过所需的上电时间后，必须对AD7606B执行完全复位。

当AD7606B进入待机模式时，所有PGA和所有SAR ADC都进入低功耗模式，总电流消耗降至4.5 mA（最大值）。退出待机模式后无需复位。

当AD7606B处于自动待机模式时（仅在软件模式下可用），器件会在BUSY信号下降沿自动进入待机模式。AD7606B在CONVST信号上升沿自动退出待机模式。因此，CONVST信号低电平脉冲时间比 t_{WAKE_UP} （待机模式）= 1 μ s要长。

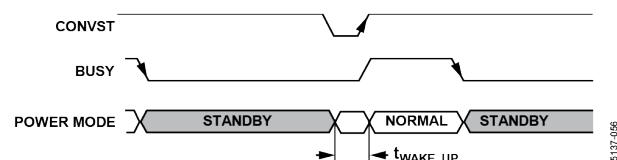


图52. 自动待机工作操作

数字滤波器

AD7606B包含一个可选数字均值滤波器，在需要更高SNR或动态范围的低吞吐速率应用中可以将其使能。

在硬件模式下，数字滤波器的过采样率由过采样引脚OSx控制，如表12所示。OSx引脚在BUSY信号的下降沿锁存。

在软件模式下，也就是如果所有OSx引脚都连接到逻辑高电平，则过采样率通过过采样寄存器（地址0x08）选择。软件模式额外提供两种过采样率（OS \times 128和OS \times 256）。

在过采样模式下，ADC在CONVST信号上升沿采集每个通道的第一个样本。转换第一个样本后，后续样本由内部生成的采样信号获取，如图53所示。或者，此采样信号可以按照“外部过采样时钟”部分所述在外部施加。

例如，若配置了8倍过采样，则采集8个样本，取平均值，然后在输出端提供结果。CONVST信号上升沿触发第一次采样，其余七个样本由内部生成的采样信号获取。因此，开启多个样本平均功能可改善SNR性能，代价是最大吞吐速率会

降低。当过采样功能开启时，BUSY信号高电平时间(t_{CONV})会延长，如表3所示。表16显示了 ± 10 V、 ± 5 V和 ± 2.5 V范围内SNR与带宽和吞吐速率的关系。

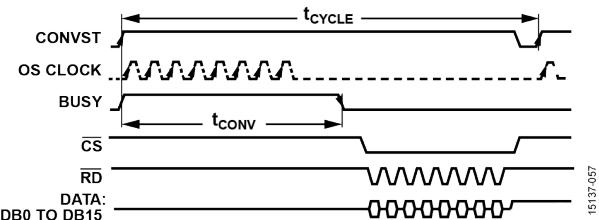


图53. 8倍过采样示例，转换后读取，并行接口，
OS时钟内部生成的采样信号

图53显示当开启过采样时，转换时间(t_{CONV})会延长。必须降低吞吐速率($1/t_{CYCLE}$)以适应更长的转换时间，并允许执行读操作。当开启过采样时，为实现最快吞吐速率，读操作可以在BUSY信号高电平期间执行，如“转换期间读取”部分所述。

表16. 过采样性能

过采样率	输入频率(Hz)	± 10 V范围		± 5 V范围		± 2.5 V范围		最大吞吐速率(kSPS)
		SNR (dB)	3 dB 带宽(kHz)	SNR (dB)	3 dB 带宽(kHz)	SNR (dB)	3 dB 带宽(kHz)	
无过采样	1000	89.5	23.0	88.5	13.9	86	11.6	800
2	1000	91	22.7	89.9	13.8	87.2	11.5	400
4	1000	92.2	22.0	90.8	13.6	88	11.4	200
8	1000	93	20.0	91.5	13.0	88.4	11.1	100
16	1000	93.5	15.4	92	11.4	89	10.0	50
32	130	95.4	9.7	93.7	8.4	90.4	7.7	25
64	130	96.3	5.3	95	5.0	91.8	4.9	12.5
128 ¹	50	97.1	2.7	95.9	2.7	93.3	2.7	6.25
256 ¹	50	97.6	1.4	96.8	1.4	94.7	1.4	3.125

¹ 仅在软件模式下可用。

填充过采样

如图53所示，内部产生的时钟触发样本进行平均，然后ADC保持空闲，直到下一个CONVST信号上升沿。在软件模式下，通过过采样寄存器（地址0x08）可以改变内部时钟（OS时钟）频率，使空闲时间最小化，即让采样时刻均等分布，如图54所示。

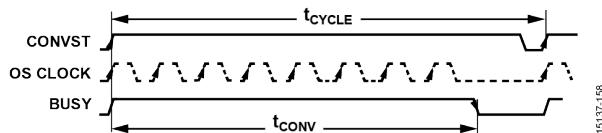


图54. 8倍过采样示例，使能过采样填充

表17. OS_PAD位解码

OS_PAD (地址0x08, 位[7:5])	OS时钟频率(kHz)
0000	800
0001	753
0010	711
0011	673.5
0100	640
0101	609.5
0110	582
0111	556.5
1000	533
1001	512
1010	492.5
1011	474
1100	457
1101	441.5
1110	426.5
1111	413

外部过采样时钟

在软件模式下，当使能过采样模式时，可以选择通过CONVST引脚施加外部时钟。提供低抖动外部时钟可提高大过采样率下的SNR性能。通过施加外部时钟，以有规律的时间间隔对输入进行采样，这对抗混叠性能是最佳的。

要使能外部过采样时钟，必须设置CONFIG寄存器的位5（地址0x02位5）。这样，吞吐速率为

$$\text{Throughput} = \frac{1}{t_{\text{CNVST}} \times \text{OSR}}$$

也就是说，采样信号通过CONVST引脚从外部提供，每隔OSR个时钟，输出便被平均并提供，如图55所示。此特性可通过并行接口或串行接口使用。

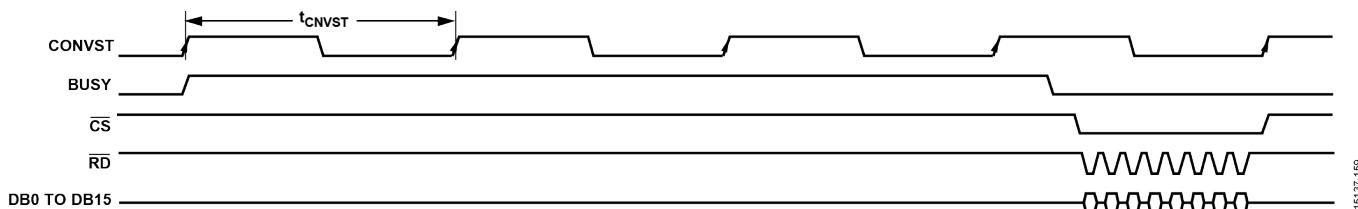


图55. 外部过采样时钟施加于CONVST引脚(OSR = 4)，并行接口

系统校准特性

在软件模式下，通过写入存储器映射中的相应寄存器，可以使用以下系统校准特性：

- 相位校准。
- 增益校准。
- 失调校准。
- 模拟输入开路检测。

系统相位校准

使用外部滤波器时，如图57所示，分立器件或所用传感器的任何不匹配都可能导致通道之间的相位不匹配。在软件模式下，通过延迟个别通道的采样时刻，可以在每个通道的基础上补偿该相位失配。

通过写入相应的CHx_PHASE寄存器（地址0x19至地址0x20），任何特定通道的采样时刻都可以相对于CONVST信号上升沿延迟，分辨率为1.25μs，最高可达318.75μs。

例如，若向CH4_PHASE寄存器（地址0x1C）写入10d，则通道4在CONVST信号上升沿之后的12.5μs (t_{PHASE_REG})采样，如图56所示。

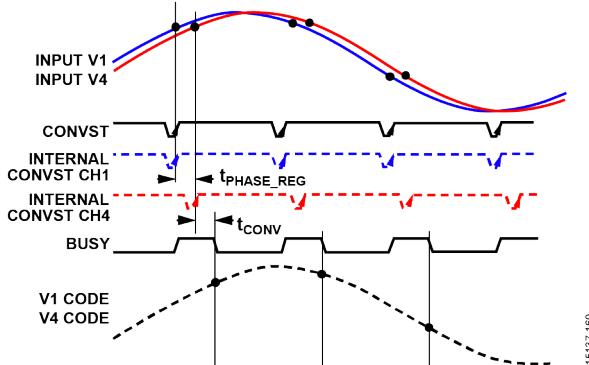


图56. 系统相位校准功能

BUSY信号高电平时间等于 $t_{CONV} + t_{PHASE_REG}$ ，如图56所示。在前面说明的例子和图56中，如果仅写入CH4_PHASE_REGISTER，则 t_{CONV} 增加12.5μs。因此，当以较高吞吐速率运行时，必须考虑这种情况。

系统增益校准

使用外部 R_{FILTER} 会产生系统增益误差，如图57所示。在软件模式下，将所用的串联电阻值写入相应寄存器（地址0x09至地址0x10），可以基于每个通道补偿增益误差。这些寄存器可以补偿多达65 kΩ的串联电阻，分辨率为1024 Ω。

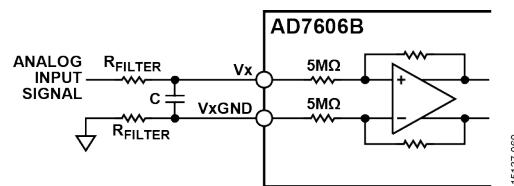


图57. 系统增益误差

例如，如果将27 kΩ电阻串联到通道5的模拟输入端，则该电阻会在系统中产生-170 LSB正满量程误差（±10 V范围），如图58所示。在软件模式下，将27d写入CH5_GAIN寄存器（地址0x0D）可消除此误差。

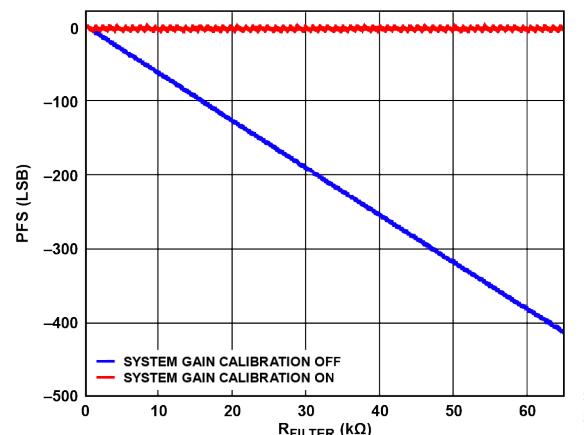


图58. 使用和不使用校准的系统增益校准

系统失调校准

传感器上的电位失调，或者由放置在特定通道上的 R_{FILTER} 对之间的不匹配引起的任何失调（如“模拟前端”部分中所述），可以在软件模式下基于每个通道进行补偿。CHx_OFFSET寄存器（地址0x11至地址0x18）支持从ADC代码中自动添加或减去最多128 LSB，分辨率为1 LSB，如表18所示。

例如，若连接到通道3的信号有9 mV失调，并且模拟输入范围设置为±10 V范围（其中LSB大小 = 305 μV），为补偿此失调，应将-30 LSB写入相应的寄存器。将128d - 30d = 0x80 - 0x1E = 0x62写入CH3_OFFSET寄存器（地址0x13）可消除此失调。

表18. CHx_OFFSET寄存器位解码

CHx_OFFSET寄存器	失调校准(LSB)
0x00	-128
0x45	-59
0x80（默认）	0
0x83	+3
0xFF	+127

AD7606B

模拟输入开路检测

AD7606B具有模拟输入开路检测特性，可在软件模式下使用。要使用此特性，须如图59所示放置 R_{PD} 。如果模拟输入断开，例如图59中的开关断开，源阻抗就会从 R_s 变为 R_{PD} ，只要 $R_s < R_{PD}$ 。建议使用 $R_{PD} = 50 \text{ k}\Omega$ ，以便AD7606B可以通过内部切换PGA共模电压来检测源阻抗的变化。模拟输入开路检测工作在手动模式或自动模式下。

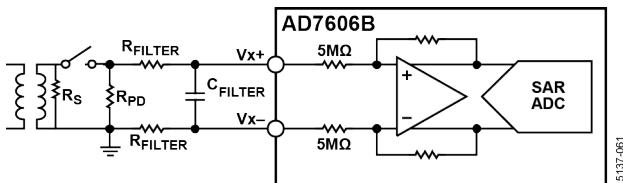


图59. 带 R_{PD} 的模拟前端

手动模式

在手动模式下（通过将0x01写入OPEN_DETECT_QUEUE（地址0x2C）来使能），每个PGA共模电压由OPEN_DETECT_ENABLE寄存器（地址0x23）的相应CHx_OPEN_DETECT_EN位控制。将此位设置为高电平会上移PGA共模电压。如果模拟输入上有开路，ADC输出将与 R_{PD} 电阻成比例变化，如图60所示。如果没有开路，PGA共模电压的任何变化都不会影响ADC输出。

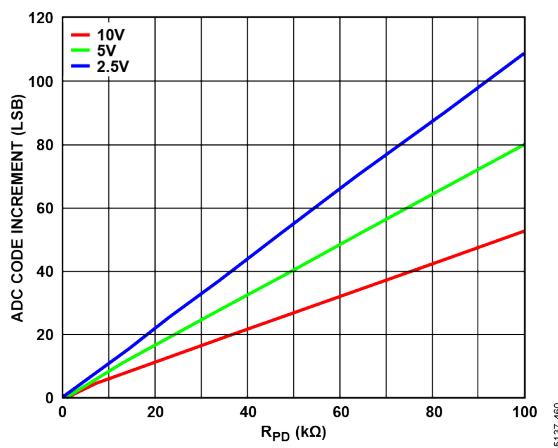


图60. 开路代码误差增量，取决于 R_{PD}

自动模式

将任何大于0x01的值写入OPEN_DETECT_QUEUE寄存器（地址0x2C）可使能自动模式，如表19所示。如果AD7606B检测到ADC报告了若干（具体数量在OPEN_DETECT_

QUEUE寄存器中指定）连续无变化的转换结果，那么内部就会自动执行模拟输入开路检测算法。模拟输入开路检测算法自动改变PGA共模电压，检查ADC输出，并返回初始共模电压，如图61所示。如果任何通道中的ADC代码随着PGA共模电压改变而变化，则意味着没有输入信号连接到该模拟输入，OPEN_DETECT_ENABLE寄存器（地址0x24）中的相应标志会置位。通过OPEN_DETECT_ENABLE寄存器（地址0x23）可以单独使能或禁用每个通道。

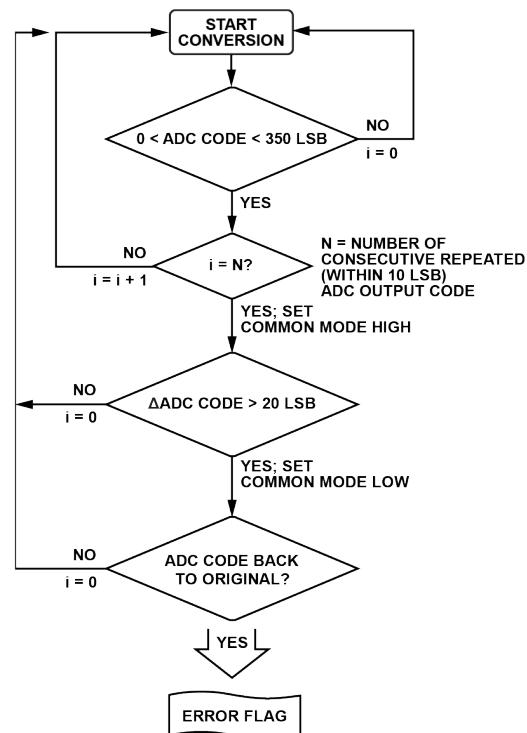


图61. 自动模拟输入开路检测流程图

如果不使用过采样，则要写入AD7606B的用于自动检测模拟输入开路的建议最小转换次数为：

$$\begin{aligned} OPEN_DETECT_QUEUE = \\ 10 \times f_{SAMPLE} (R_{PD} + 2 \times R_{FILTER}) \times C_{FILTER} \end{aligned}$$

但是，若使能过采样模式，则建议使用的最小转换次数为：

$$\begin{aligned} OPEN_DETECT_QUEUE = \\ 1 + (f_{SAMPLE} \times 2 (R_{PD} + 2 \times R_{FILTER}) \times C_{FILTER} \times OSR) \end{aligned}$$

表19. 模拟输入开路检测模式选择和寄存器功能

OPEN_DETECT_QUEUE (地址0x2C)	开路检测模式	OPEN_DETECT_ENABLE (地址0x23)
0x00 (默认)	禁用	不适用
0x01	手动模式	基于每个通道设置共模电压为高或低电平
0x02到0xFF	自动; OPEN_DETECT_QUEUE为连续转换次数, 达到此次数后就会置位CHx_OPENED标志	基于每个通道使能或禁用自动模拟输入开路检测

数字接口

AD7606B提供两种接口选项：并行接口和高速串行接口。所需接口模式可通过PAR/SER SEL引脚来选择。

表20. 接口模式选择

PAR/SER SEL	接口模式
0	并行接口模式
1	串行接口模式

下面几节讨论这些接口模式的工作原理。

硬件模式

在硬件模式下，只有ADC读取模式可用。要从AD7606B读取ADC数据，可以通过并行数据总线并使用标准CS和RD信号，或通过串行接口并使用标准CS、SCLK和两个D_{OUTX}信号。

有关ADC读取模式工作原理的更多信息，参见“读取转换结果（并行ADC模式）”部分和“读取转换结果（串行ADC模式）”部分。

表21. 每种工作模式的数据接口引脚功能（并行接口）

引脚名称	引脚编号	硬件模式	软件模式	
			ADC模式	寄存器模式
DB0至DB6	16至22		DB0至DB6	寄存器数据
DB7/D _{OUTA}	24		DB7	寄存器数据(MSB)
DB8/D _{OUTB}	25		DB8	ADD0
DB9/D _{OUTC}	27		DB9	ADD1
DB10/D _{OUTD}	28		DB10	ADD2
DB11/SDI	29		DB11	ADD3
DB12至DB14	30至32		DB12至DB14	ADD4 to ADD6
DB15	33		DB15	R/W

表22. 每种工作模式的数据接口引脚功能（串行接口）

引脚名称	引脚编号	硬件模式	软件模式	
			ADC模式	寄存器模式
DB0至DB6	16至22	N/A ¹		N/A
DB7/D _{OUTA}	24	D _{OUTA}	D _{OUTA}	D _{OUTA}
DB8/D _{OUTB}	25	D _{OUTB}	D _{OUTB} ²	未用
DB9/D _{OUTC}	27	N/A	D _{OUTC} ³	未用
DB10/D _{OUTD}	28		D _{OUTD} ³	未用
DB11/SDI	29		未用	SDI
DB12至DB14	30至32			N/A
DB15	33			

¹ N/A表示不适用。将所有N/A引脚连接到AGND。

² 仅当通过CONFIG寄存器选择2SDO或4SDO模式时使用，否则保持未连接状态。

³ 仅当通过CONFIG寄存器选择4SDO模式时使用，否则保持未连接状态。

软件模式

在软件模式下（仅当所有三个过采样引脚都连接为高电平时才有效），ADC读取模式和寄存器模式均可使用。ADC数据可以从AD7606B读取，寄存器也可以读取和写入AD7606B，通过并行数据总线并使用标准CS、RD和WR信号，或通过串行接口并使用标准CS、SCLK、SDI和D_{OUTA}线。

有关寄存器模式工作原理的更多信息，参见“并行寄存器模式（写入寄存器数据）”部分和“并行寄存器模式（读取寄存器数据）”部分。

引脚功能因所选接口（并行或串行）和工作模式（硬件或软件）而异，如表21和表22所示。

并行接口

要通过并行接口读取ADC数据或读取/写入寄存器内容，须将PAR/SER SEL引脚连接低电平。

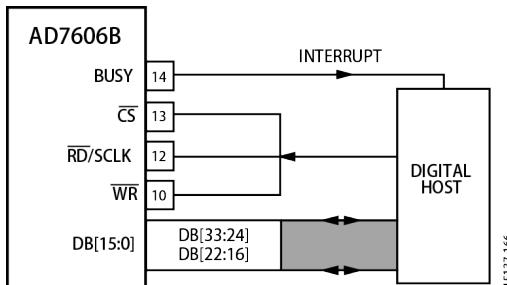


图62. AD7606B接口图——一个AD7606B使用并行总线，
CS和RD短接在一起

\overline{CS} 输入信号的上升沿使总线进入三态， \overline{CS} 输入信号的下降沿使总线脱离高阻态。 \overline{CS} 是使能数据线的控制信号，利用该功能可以让多个AD7606B共享同一并行数据总线。

读取转换结果（并行ADC模式）

\overline{RD} 引脚的下降沿用来从输出转换结果寄存器读取数据。将一系列 \overline{RD} 脉冲施加到 \overline{RD} 引脚，以将转换结果从各通道输出到并行总线[DB15:DB0]，按升序从V1到V8，如图63所示。

\overline{CS} 信号可以永久性地连接到低电平， \overline{RD} 信号可以访问转换结果，如图3所示。BUSY信号变为低电平后即可开始读取新数据操作（参见图2）。或者在BUSY引脚为高电平的时候，可以读取先前转换过程产生的数据。

当系统中只有一个AD7606B且它不共享并行总线时，可以使用数字主机的一个控制信号来读取数据。 \overline{CS} 和 \overline{RD} 信号可以连在一起，如图4所示。在这种情况下， \overline{CS} 和 \overline{RD} 信号的下降沿使数据总线脱离三态并输出数据。

FRSTDATA输出信号指示何时回读第一通道V1，如图4所示。当 \overline{CS} 输入为高电平时，FRSTDATA输出引脚处于三态。 \overline{CS} 下降沿使FRSTDATA引脚脱离三态。对应于V1结果的 \overline{RD} 信号下降沿将FRSTDATA引脚设置为高电平，表示V1的结果可通过输出数据总线获得。在 \overline{RD} 的下一个下降沿之后，FRSTDATA引脚返回逻辑低电平状态。

表24. 状态标头，并行接口

位详情	位7(MSB)	位6	位5	位4	位3	位2	位1	位0(LSB)
位名称	RESET_DETECT	DIGITAL_ERROR	OPEN_DETECTED	AIN_OV_DIAG_ERR	AIN_UV_DIAG_ERR	CH.ID 2	CH.ID 1	CH.ID 0
位描述 ¹	检测到复位	地址0x22上的错误	该通道的模拟输入开路	在该通道上检测到过压	在该通道上检测到欠压	通道ID（见表23）		

¹ 更多信息参见“诊断”部分。

转换期间读取

当BUSY引脚为高电平且转换正在进行时，也可以从AD7606B读取数据。该操作几乎不会影响转换器的性能，而且可以实现更快的吞吐速率。在BUSY信号的下降沿时，输出数据寄存器会被新转换数据更新，除外之外的任何时候都可以从AD7606B读取数据。在BUSY信号为高电平时执行的数据读取操作必须在BUSY信号下降沿之前完成。

使能CRC的并行ADC模式

在软件模式下，当通过INT_CRC_ERR_EN位（地址0x21位2）使能时，并行接口支持读取ADC数据并附加CRC。CRC为16位，在读取所有8个通道转换结果后输出，如图65所示。CRC计算包括DBx引脚上的所有数据：数据、状态（如附加）和零。有关CRC的更多信息，参见“诊断”部分。

使能状态寄存器的并行ADC模式

在软件模式下，设置CONFIG寄存器的位6（地址0x02位6）可使能8位状态标头（见表24），这样每个通道将有两帧数据：

- 第一帧通过DBx正常输出ADC数据。
- 第二帧通过DB15到DB8输出通道的状态标头，DB15为MSB，DB8为LSB，而DB7到DB0引脚输出零。

该序列如图64所示。表24解释了状态标头内容和每位。

表23. 状态标头中的CH.ID位解码

CH.ID2	CH.ID1	CH.ID0	通道编号
0	0	0	通道1(V1)
0	0	1	通道2(V2)
0	1	0	通道3(V3)
0	1	1	通道4(V4)
1	0	0	通道5(V5)
1	0	1	通道6(V6)
1	1	0	通道7(V7)
1	1	1	通道8(V8)

AD7606B

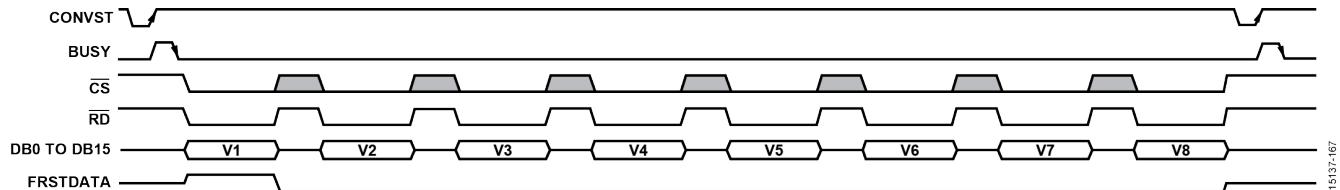


图63. 并行接口, ADC读取模式

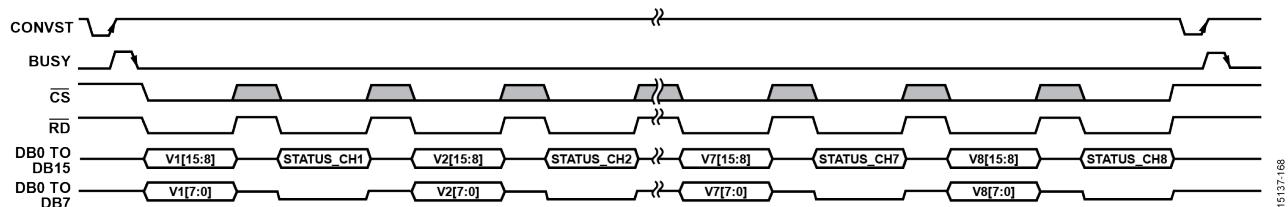


图64. 并行接口, ADC读取模式, 使能状态标头

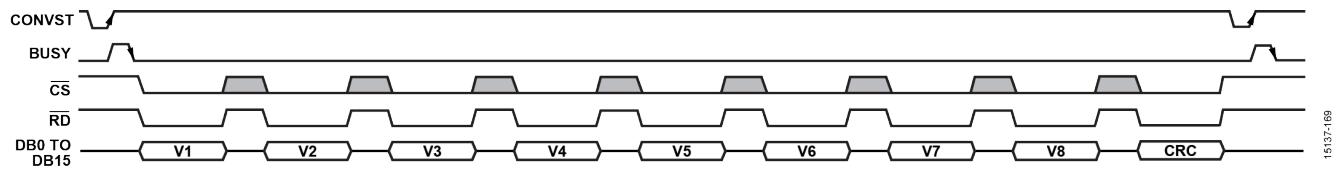


图65. 并行接口, ADC读取模式, 使能CRC

并行寄存器模式（读取寄存器数据）

在软件模式下，表31中的所有寄存器均可通过并行接口读取。当CS信号和RD信号均为逻辑低电平以读取寄存器内容时，或者当CS信号和WR信号均为逻辑低电平以写入寄存器地址和/或寄存器内容时，[DB15:DB0]保持高阻态。

寄存器读取通过两帧执行：首先将读取命令发送到AD7606B，其次是AD7606B输出寄存器内容。寄存器读命令的格式如图66所示。在第一帧，

- 必须将位DB15设置为1才能选择读取命令。读取命令将AD7606B置于寄存器模式。
- 位DB[14:8]必须包含寄存器地址。
- 随后的8位DB[7:0]会被忽略。

寄存器地址在WR信号的上升沿锁存在AD7606B上。然后在下一帧拉低RD线，便可从锁存的寄存器中读取寄存器内容，如下所示：

- AD7606B将DB15位拉至0。
- 位DB[14:8]提供要被读取的寄存器地址。
- 随后的8位DB[7:0]提供寄存器内容。

要恢复到ADC读取模式，须写入地址0x00，如“并行寄存器模式（写入寄存器数据）”部分所述。器件处于寄存器模式时，无法读取ADC数据。

并行寄存器模式（写入寄存器数据）

在软件模式下，表31中的所有R/W寄存器都可以通过并行接口写入。要写入一系列寄存器，须通过读取存储器映射上的任何寄存器来退出ADC读取模式（默认模式）。寄存器写命令通过单帧执行，使用并行总线(DB[15:0])、CS信号和WR信号。写命令的格式如图66所示。图66所示的写命令格式的结构如下：

- 要选择写命令，必须将位DB15设为0。
- 位DB[14:8]包含寄存器地址。
- 随后的8位DB[7:0]包含要写入所选寄存器的数据。

数据在WR引脚的上升沿锁存到器件上。要恢复到ADC读取模式，须写入地址0x00。器件处于寄存器模式时，无法读取ADC数据。

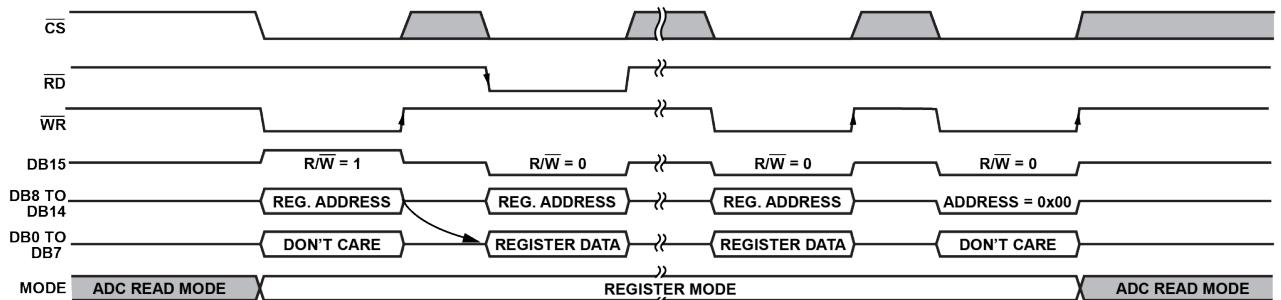
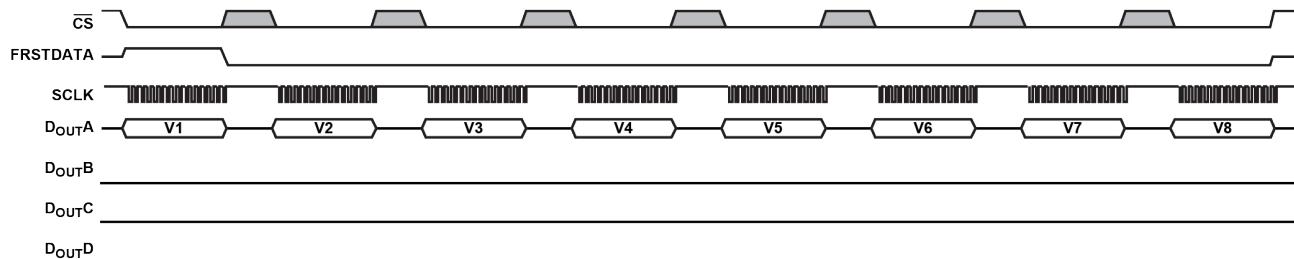


图66. 并行接口寄存器读操作, 随后是写操作



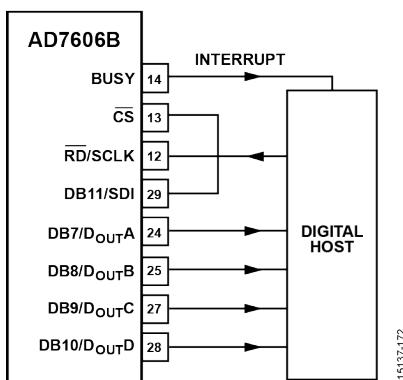
15137-170

15137-171

图67. 串行接口ADC读取, 一条D_{OUT}x线

串行接口

要通过串行接口读取ADC数据或读取/写入寄存器内容，须将PAR/SER SEL引脚连接高电平。

图68. AD7606B接口图——一个AD7606B使用串行接口和四条D_{OUT}x线

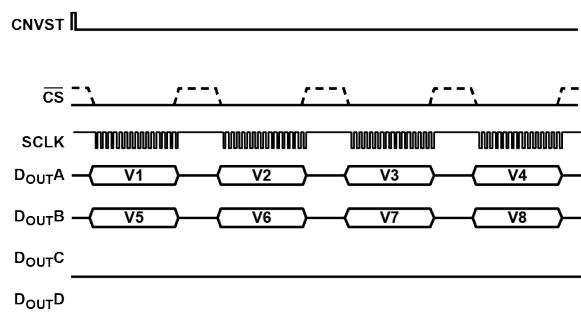
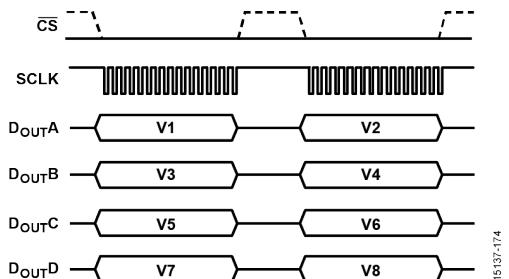
读取转换结果 (串行ADC模式)

AD7606B具有四个串行数据输出引脚: D_{OUT}A、D_{OUT}B、D_{OUT}C 和 D_{OUT}D。在软件模式下, 数据可以从AD7606B回读, 使用一条 (参见图68)、两条 (参见图69) 或四条D_{OUT}x线 (参见图70), 具体取决于CONFIG寄存器中设置的配置。

表25. D_{OUT}x格式选择, 使用CONFIG寄存器 (地址0x02)

D _{OUT} x格式	地址0x02, 位4	地址0x02, 位3
1 D _{OUT} x	0	0
2 D _{OUT} x	0	1
4 D _{OUT} x	1	0
1 D _{OUT} x	1	1

在硬件模式下, 只能选择2条D_{OUT}x线。但是, 通过在两个CONVST脉冲之间提供8个16位SPI帧, 便可从D_{OUT}A读取所有通道。

图69. 串行接口ADC读取, 两条D_{OUT}x线图70. 串行接口ADC读取, 四条D_{OUT}x线

CS下降沿使数据输出线D_{OUT}A到D_{OUT}D脱离三态, 并输出转换结果的MSB。

AD7606B

在3线模式下（图6。 \overline{CS} 连接低电平），不是 \overline{CS} 输出MSB，而是BUSY信号的下降沿输出MSB。SCLK信号的上升沿将随后的所有数据位通过串行数据输出 $D_{OUT}A$ 至 $D_{OUT}D$ 输出，如下所示 \overline{CS} 输入可以在整个串行读取操作期间保持低电平，或者向其发送脉冲，为每个通道读取帧提供16个SCLK周期（参见图69）。但是，如果在通道转换结果传输期间向 \overline{CS} 发生脉冲，则中断的通道会在下一帧重新传输，从MSB重新开始。

也可以仅使用 $D_{OUT}A$ 引脚输出数据，如图67所示。为使AD7606B通过一条 $D_{OUT}x$ 线访问所有八个转换结果，总共需要128个SCLK周期。在硬件模式下，这128个SCLK周期必须通过 \overline{CS} 信号以16个SCLK周期为一组形成帧。只用一条 $D_{OUT}x$ 线的缺点是：如果在转换之后进行读取，则吞吐速率会下降。在串行模式下，未使用的 $D_{OUT}x$ 线保持不连接状态。

图70显示了采用AD7606B上的四条 $D_{OUT}x$ 线读取8个同步转换结果，这可在软件模式下使用。在这种情况下，32 SCLK传输访问AD7606B中的数据， \overline{CS} 要么保持低电平以构建整个32 SCLK周期帧，要么在两个16位帧之间发送脉冲。此模式仅在软件模式下可用，通过CONFIG寄存器（地址0x02）进行配置。

图6显示了串行模式下从AD7606B读取一个通道的数据（由 \overline{CS} 信号使能帧传输）的时序图。SCLK输入信号为串行读取操作提供时钟源。 \overline{CS} 信号变为低电平，以访问AD7606B的数据。

FRSTDATA输出信号指示何时回读第一通道V1。当 \overline{CS} 输入为高电平时，FRSTDATA输出引脚处于三态。在串行模式下， \overline{CS} 信号的下降沿使FRSTDATA引脚脱离三态，并且若BUSY线已经解除置位，则将FRSTDATA引脚设置为高电平，

表示V1的结果可通过 $D_{OUT}A$ 输出数据线获得。在第16个SCLK下降沿之后，FRSTDATA输出返回逻辑低电平状态。如果 \overline{CS} 引脚永久性地连接到低电平（3线模式），则当V1的结果可通过 $D_{OUT}A$ 获得时，BUSY线的下降沿将FRSTDATA引脚设置为高电平。

如果SDI接低电平或高电平，则不会向AD7606B输入任何内容。因此，器件继续输出转换结果。在3线模式下使用AD7606B时，SDI应保持高电平。在ADC读取模式下，可以执行单一写操作，如图71所示。要写入一系列寄存器，须切换到寄存器模式，如“串行寄存器模式（写入寄存器数据）”部分所述。

转换期间读取

当BUSY信号为高电平且转换正在进行时，也可以从AD7606B读取数据。该操作几乎不会影响转换器的性能，而且可以实现更快的吞吐速率。在BUSY信号的下降沿时，输出数据寄存器会被新转换数据更新，除外之外的任何时候都可以从AD7606B读取数据。在BUSY信号为高电平时执行的数据读取操作必须在BUSY信号下降沿之前完成。

串行ADC模式，使能CRC

在软件模式下，CRC可以通过写入寄存器映射来使能。在这种情况下，在最后一个通道完成输出后，CRC被附加在每条 $D_{OUT}x$ 线上，如图78所示。有关如何计算CRC的更多信息，参见“接口CRC校验和”部分。

串行ADC模式，使能状态

在软件模式下，当使用串行接口时可以开启8位状态标头，将其附在每个16位数据转换结果之后，使每个通道的帧大小扩展为24位，如图71所示。

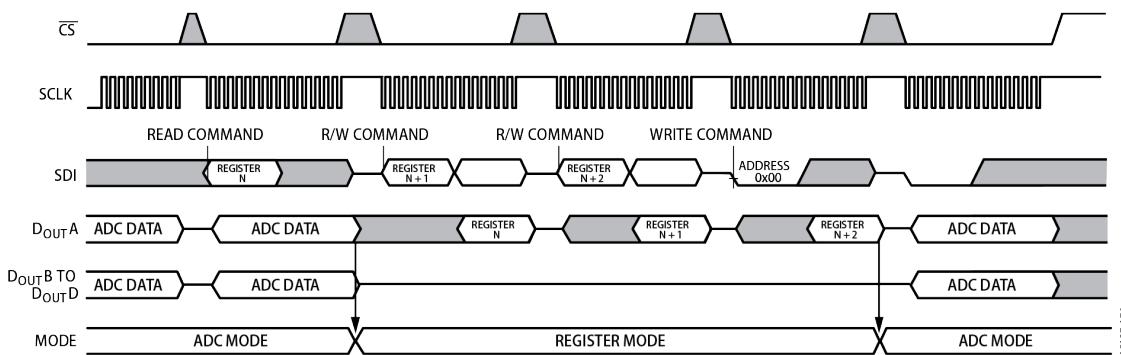
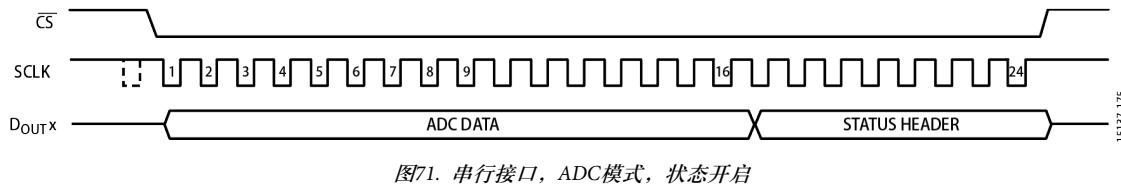


表26. 状态标头，串行接口

位详情	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)
位名称	RESET_DETECT	DIGITAL_ERROR	OPEN_DETECTED	AIN_OV_DIAG_ERR	AIN_UV_DIAG_ERR	CH.ID 2	CH.ID 1	CH.ID 0
位描述 ¹	检测到复位	地址0x22上的错误标志	通道上至少一个模拟输入开路	在通道上检测到过压	在通道上检测到欠压	通道ID (见表23)		

¹ 更多信息参见“诊断”部分。

串行寄存器模式（读取寄存器数据）

表31中的所有寄存器都可以通过串行接口读取。读命令的格式如图73所示。它由两个16位帧组成。在第一帧，

- SDI中的第一位必须设置为0以使能写入地址。
- 第二位必须设置为1以选择读命令。
- SDI中的位[3:8]包含要在下一帧通过D_{OUT}A输出的寄存器地址。
- SDI中的后续8位（位[9:16]）会被忽略。

如果AD7606B处于ADC模式，则SDO会持续通过位[9:16]输出ADC数据，然后AD7606B切换到寄存器模式。

如果AD7606B处于寄存器模式，则无论前一帧是读命令还是写命令，SDO都会从先前寻址的寄存器中回读内容。要退出寄存器模式，需要写入地址0x00，如图72所示。

串行寄存器模式（写入寄存器数据）

在软件模式下，表31中的所有读/写寄存器都可以通过串行接口写入。要写入一系列寄存器，须通过读取存储器映射上的任何寄存器来退出ADC读取模式（默认模式）。通过单次16位SPI读取操作，可执行寄存器写命令。写命令的格式如图74所示。

图74所示的写命令格式的结构如下：

- 要使能写命令，必须将SDI中的第一位设置为0。
- 第二位(R/W)位必须清0。
- 位[ADD5:ADD0]包含要写入的寄存器地址。
- 随后的8位（位[DIN7:DIN0]）包含要写入选定寄存器的数据。数据在SCLK的下降沿从SDI输入，在SCLK的上升沿从D_{OUT}A输出。

当连续写入器件时，D_{OUT}A上出现的数据来自前一帧写入的寄存器地址，如图74所示。D_{OUT}B、D_{OUT}C和D_{OUT}D引脚在传输过程中保持低电平。

寄存器模式下没有ADC数据输出，因为D_{OUT}x线被用于输出寄存器内容。写完所有需要的寄存器后，写入地址0x00会使AD7606B返回ADC读取模式，此时ADC数据再次在D_{OUT}x线上输出，如图72所示。

在软件模式下，当CRC开启时，每帧还会多输入和输出8位，故需要24位帧。

AD7606B

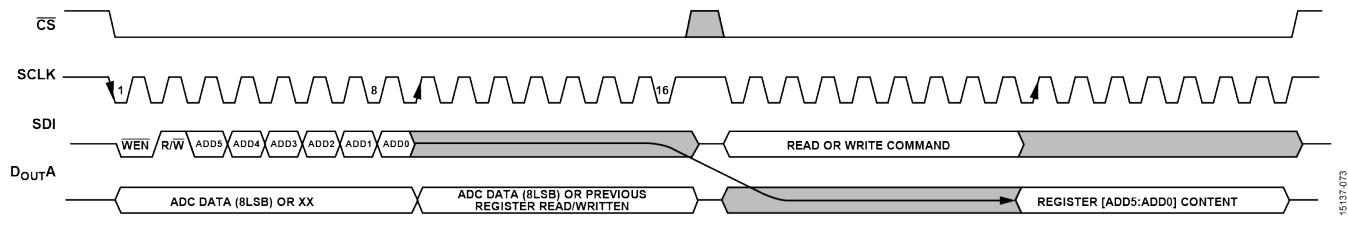
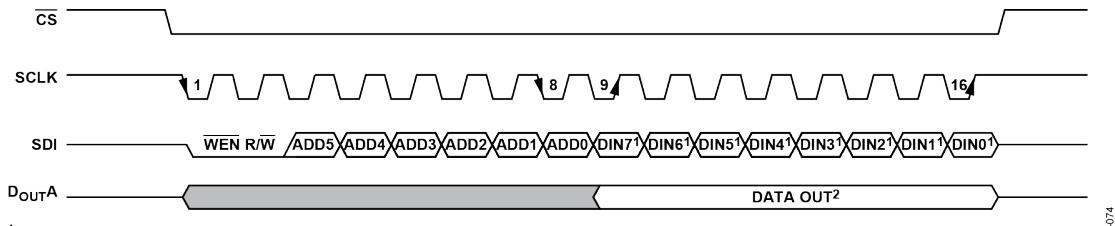


图73. 串行接口读命令; 第一帧指向地址; 第二帧提供寄存器内容



¹DATA IN DINx IS WRITTEN INTO REGISTER ADDRESS [ADD5:ADD0]

²DATA OUT IS THE REGISTER CONTENT OF PREVIOUS REGISTER WRITTEN

15137-073
15137-074
15137-179
15137-180

图74. 串行接口, 单一写命令; SDI在同一帧中输入地址[ADD5:ADD0]和寄存器内容[DINx], DOUTA提供前一帧请求的寄存器内容

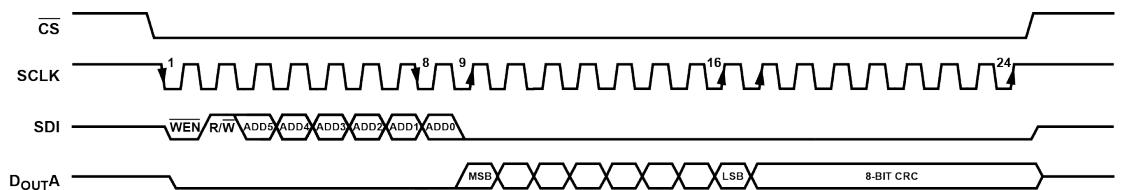


图75. 通过SPI接口读取寄存器, CRC使能

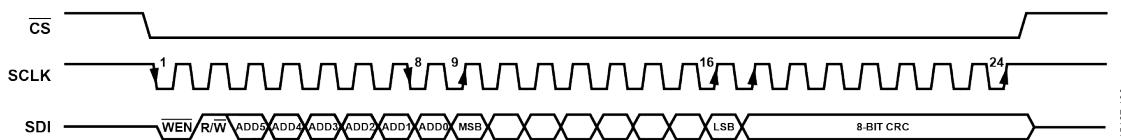


图76. 通过SPI接口写入寄存器, CRC使能

使用CRC的串行寄存器模式

在软件模式下, 通过置位INT_CRC_ERR_EN位 (地址0x21位2), 寄存器便可在使能CRC的情况下写入和读取AD7606B。

读取寄存器时, AD7606B在D_{OUTA}引脚上提供8个附加位, 即CRC, 产生自同一帧上先前移出的数据。然后, 控制器可以通过应用以下多项式来检查接收的数据是否正确:

$$x^8 + x^2 + x + 1$$

使能CRC后, SPI帧的长度扩展到24位, 如图75所示。

写入寄存器时, 控制器必须将数据(寄存器地址加寄存器内容)输入AD7606B, 然后是使用前述多项式从前面的16位数据计算得出的8位CRC字。AD7606B读取寄存器地址和寄存器内容, 计算相应的8位CRC字, 如果计算出的CRC字与通过SDI在第17位和第24位之间接收到的CRC字不匹配则置位INT_CRC_ERR位(地址0x22位2), 如图76所示。

诊断

诊断特性可在软件模式下使用，验证AD7606B的操作是否正确。诊断监控列表包括复位检测、过压检测、欠压检测、模拟输入开路检测和数字错误检测。

如果检测到错误，则会在状态标头上置位相应的标志（如已使能），如“数字接口”部分所述。该标志指向错误所在的寄存器，如以下部分所述。

此外，诊断多路复用器可以运用任意通道来验证一系列内部节点，如“诊断多路复用器”部分所述。

复位检测

如果将部分复位或完全复位脉冲施加于AD7606B，状态寄存器的RESET_DETECT位（地址0x01位7）就会置位。上电时需要完全复位。此复位会置位RESET_DETECT位，表示器件的上电复位(POR)已正确初始化。

POR监视REGCAP电压，如果电压降至某个阈值以下，就会进行完全复位。

RESET_DETECT位可用于检测意外器件复位或RESET引脚上的大毛刺，或检测电源的压降。

RESET_DETECT位只有通过读取状态寄存器才能清0。

过压和欠压事件

AD7606B的每个模拟输入引脚上都有片内过压和欠压电路。使用AIN_OV_UV_DIAG_ENABLE寄存器（地址0x25）可以使能或禁用这些比较器。

使能该寄存器后，当任何模拟输入引脚上的电压超过表27所示的过压阈值时，AIN_OV_DIAG_ERROR寄存器（地址0x26）就会显示哪个或哪些通道发生过压事件。当AIN_OV_DIAG_ERROR寄存器中的某位置位时，即使过压事件消失，它也会保持高电平状态。要清除错误位，必须将错误位覆写为1，或者禁用错误检查功能。

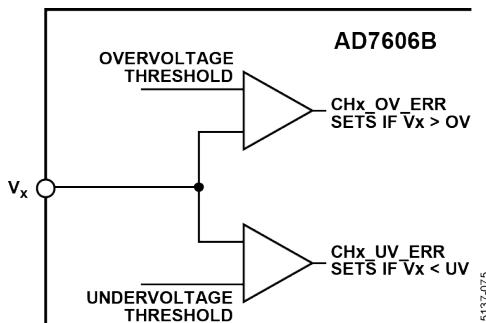


图77. 各模拟输入上的过压和欠压电路

当任何模拟输入引脚上的电压低于表27所示的欠压阈值时，AIN_UV_DIAG_ERROR寄存器（地址0x27）就会显示哪个或哪些通道发生欠压事件。当AIN_UV_DIAG_ERROR寄存器中的某位置位时，欠压事件消失后，它也会保持高电平状态。要清除错误位，必须将错误位覆写为1，或者禁用错误检查功能。

表27. 过压和欠压阈值

模拟输入范围(V)	过压阈值(V)	欠压阈值(V)
±2.5	+6.5	-3
±5	+8	-5.5
±10	+12	-11

数字错误

状态寄存器和状态标头均包含DIGITAL_ERROR位。当以下任一监控器触发时，此位置位：

- 存储器映射CRC、只读存储器(ROM) CRC和数字接口CRC。
- SPI无效读取或写入。
- BUSY阻塞高电平。

要找出哪个监控器触发了DIGITAL_ERROR位，DIGITAL_DIAG_ERR地址（地址0x22）有各监控器专用的位，如以下各部分所述。

ROM CRC

ROM存储AD7606B的出厂调整设置。上电后，ROM内容在器件初始化期间加载到寄存器。加载之后，对加载的数据计算CRC，并验证结果是否与ROM中存储的CRC匹配。如果发现错误，则ROM_CRC_ERR（地址0x22位0）置位。当上电后ROM_CRC_ERR置位时，建议执行完全复位以重新加载所有出厂设置。

此ROM CRC监视特性默认使能，但可以通过清除ROM_CRC_ERR_EN位（地址0x21位0）来禁用。

存储器映射CRC

存储器映射CRC默认禁用。通过写入所需寄存器将AD7606B配置为软件模式后，存储器映射CRC可通过MM_CRC_ERR_EN位（地址0x21位1）使能。使能后，将对整个存储器映射执行CRC计算并存储结果。每隔4μs，存储器映射的CRC就会重新计算，并与存储的CRC值进行比较。如果计算的和存储的CRC值不匹配，则说明存储器映射损坏，MM_CRC_ERR位置位。每次写入存储器映射时，都会重新计算CRC并存储新值。

AD7606B

如果MM_CRC_ERR位置位，建议写入存储器映射以重新计算CRC。如果错误仍然存在，建议进行完全复位以恢复存储器映射的默认内容。

接口CRC校验和

AD7606B具有CRC校验和模式，利用这种模式可检测数据传输中的错误，从而提高接口的鲁棒性。CRC特性在两种ADC模式（串行和并行）和寄存器模式（仅限串行）下可用。

AD7606B使用以下8位CRC多项式计算CRC校验和值：

$$x^{16} + x^{14} + x^{13} + x^{12} + x^{10} + x^8 + x^6 + x^4 + x^3 + x + 1$$

为了在硬件中复制多项式除法，数据左移16位以产生一个以16个逻辑0结尾的数字。对齐多项式，使得MSB与数据最左侧的逻辑1相邻。对该数据应用一个异或(XOR)函数以产生一个新的、更短的数字。再次对齐多项式，使得MSB与新结果最左侧的逻辑1相邻，重复该过程。最后，原始数据将减少至小于多项式的值，它就是16位校验和。

表28给出了16位数据的CRC计算示例。使用上述多项式，对应于数据0x064E的CRC是0x2137。

当通过INT_CRC_ERR_EN位（地址0x21位2）使能时，串行接口支持CRC。CRC是一个16位字，在读取所有通道后附加到所用每个D_{OUTX}的末尾。使用四条D_{OUTX}线的示例如图78所示。

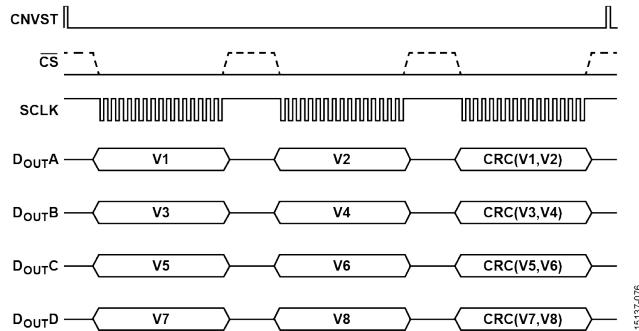


图78. 串行接口ADC读取，CRC开启，四条D_{OUTX}线

如果使用两条D_{OUTX}线(D_{OUTA}和D_{OUTB})，则每个16位CRC字使用来自四个通道的数据(即64位)计算，如图79所示。如果仅使用一条D_{OUTX}线，则所有8个通道都通过D_{OUTA}输出，然后是使用来自8个通道的数据(即128位)计算的16位CRC字。

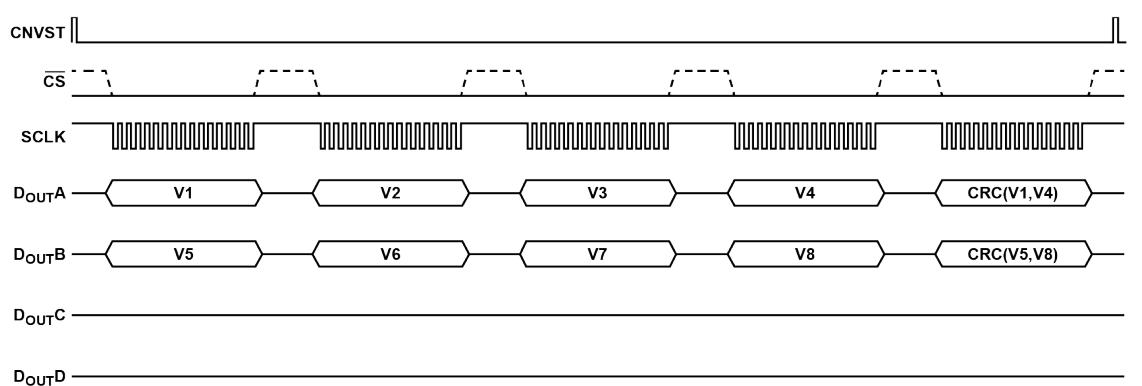


图79. 串行接口ADC读取，CRC开启，两条D_{OUTX}线

当AD7606B处于寄存器模式时，即读取或写入寄存器时，使用的CRC多项式为 $x^8 + x^2 + x + 1$ 。当读取寄存器并使能CRC时，每个SPI帧长度为24位，CRC 8位字在第17到第24个SCLK周期输出。类似地，当写入寄存器时，可以在SDI线上附加CRC字，如图80所示；如果给定的CRC与内部计

算值不匹配，AD7606B就会检查并触发错误INT_CRC_ERR（地址0x22位2）。

并行接口仅在ADC模式下支持CRC，在通道8之后通过DB15至DB0输出，如图65所示。16位CRC字利用来自8个通道的数据（即128位）计算。

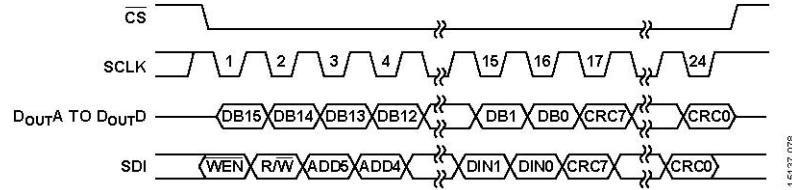


图80. CRC开启时的寄存器写入

表28. 16位数据的CRC计算示例¹

数据 ²	0	0	0	0	0	1	1	0	0	1	0	0	1	1	1	0	x	x	x	x	x	x	x	x	x	x	x	x
过程数据	0	0	0	0	0	1	1	0	0	1	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
多项式						1	0	1	1	1	0	1	0	1	0	1	1	0	1	1	0	1	1	0				
						0	1	1	1	0	0	1	1	0	1	1	0	1	1	0	1	1	0					
						1	0	1	1	1	0	1	0	1	0	1	1	0	1	1	0	1	1	1	0			
						0	1	0	1	1	1	0	0	0	1	1	1	0	1	1	0	1	0	0	0	0	0	0
						0	1	0	1	1	1	0	1	0	1	0	1	1	0	1	1	0	1	1	0	0	0	0
						0	0	0	0	0	0	0	1	0	0	1	0	1	0	1	1	0	1	1	0	0	0	0
						0	0	1	1	1	0	1	0	1	0	1	0	1	0	1	1	0	1	1	0	1	1	1
CRC																												

¹ 此表表示数据的除法。空白单元格用于格式化。² X = 无关位。

接口检查

通过设置INTERFACE_CHECK_EN位（地址0x21位7）可以检查数字接口的完整性。选择接口检查会将转换结果寄存器强制变为已知值，如表29所示。

验证控制器是否接收到表29所示的数据，确保AD7606B与控制器之间的接口正常运行。如果因为传输的数据是已知的而使能接口CRC，则此模式可验证控制器是否正确执行CRC计算。

表29. 接口检查转换结果

通道编号	强制转换结果（十六进制）
V1	0xACCA
V2	0x5CC5
V3	0xA33A
V4	0x5335
V5	0xCAAC
V6	0xC55C
V7	0x3AA3
V8	0x3553

SPI无效读/写

试图回读无效寄存器地址时，SPI_READ_ERR位（地址0x22位4）会置1。通过设置SPI_READ_ERR_EN位（地址0x21位4）可以使能无效回读地址检测。如果SPI读取错误被触发，通过覆写该位或禁用检查功能可将其清除。

试图写入无效寄存器地址或只读寄存器时，SPI_WRITE_ERR位（地址0x22位3）会置1。通过设置SPI_WRITE_ERR_EN位（地址0x21位3）可以使能无效写入地址检测。如果SPI写入错误被触发，通过覆写该位或禁用检查功能可将其清除。

BUSY阻塞高电平

通过设置BUSY_STUCK_HIGH_ERR_EN位（地址0x21位5）可以使能BUSY阻塞高电平监控。使能该位后，内部使用一个独立时钟来监视转换时间（表3中的t_{CONV}）。如果t_{CONV}超过4μs，AD7606B就会自动进行部分复位并置位BUSY_STUCK_HIGH_ERR位（地址0x22位5）。要清除此错误标志，必须用1覆写BUSY_STUCK_HIGH_ERR位。

当过采样模式使能时，每次内部转换的转换时间都会被监视。

诊断多路复用器

所有8个输入通道的PGA前面都有一个诊断多路复用器，可以监控表30所述的内部节点，以确保AD7606B正确运行。作为例子，表30显示了通道1上诊断多路复用寄存器的位解码。选择一个内部节点后，就会从PGA中取消选择输入引脚的输入电压，如图81所示。

在软件模式下，通过相应的寄存器（地址0x28至地址0x2B）访问每个诊断多路复用器配置。要使用一个通道上的多路复用器，必须在该通道上选择±10 V范围。

表30. 通道1的诊断复用寄存器位解码

地址0x18			
位2	位1	位0	通道1上的信号
0	0	0	V1
0	0	1	温度传感器
0	1	0	V _{REF}
0	1	1	4×ALDO
1	0	0	4×DLDO
1	0	1	V _{DRIVE}
1	1	0	AGND
1	1	1	AV _{CC}

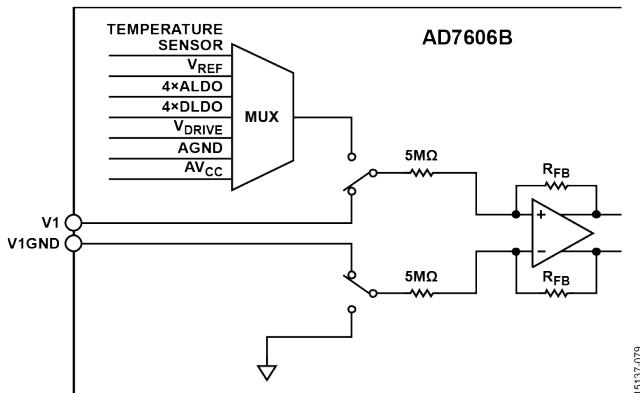


图81. 诊断多路复用器（显示了通道1作为示例）

温度传感器

温度传感器可通过诊断多路复用器选择，并通过ADC转换，如图81所示。测量温度传感器电压，其与芯片温度成比例，如下式所示：

$$\text{Temperature } (\text{°C}) = \frac{\text{ADC}_{\text{OUT}} (\text{V}) - 0.69068 (\text{V})}{0.019328 (\text{V}/\text{°C})} + 25 (\text{°C})$$

精度为±2°C。

基准电压

基准电压可以通过诊断多路复用器选择，并通过ADC转换，如图82所示。根据REF SELECT引脚，选择内部或外部基准电压作为诊断多路复用器的输入。理想情况下，ADC输出电压以一定的比率随基准电压电平变化。因此，如果ADC输出超出预期的2.5 V，则基准电压缓冲器或PGA发生故障。

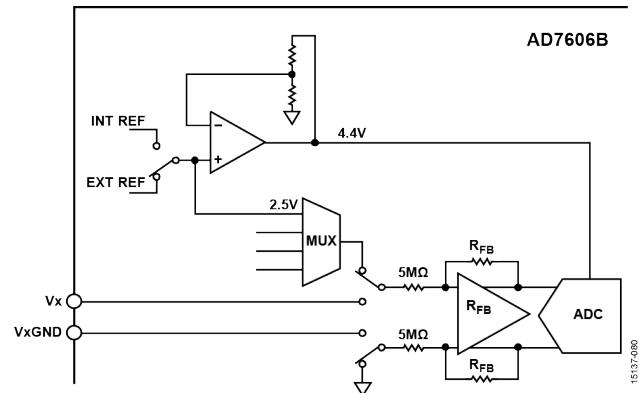


图82. 通过诊断多路复用器的基准电压信号路径

内部LDO

模拟和数字LDO (REGCAP引脚) 可通过诊断多路复用器选择，并通过ADC进行转换，如图81所示。ADC输出分别是REGCAPA和REGCAPD引脚电压的四倍。该测量验证每个LDO处于正确的工作电压，使得内部电路正确偏置。

电源电压

AV_{CC}、V_{DRIVE}和AGND可通过诊断多路复用器选择，并通过ADC转换，如图81所示。此设置可确保对器件应用正确的电压和接地，从而保证正常运行。

典型连接图

器件上有四个AV_{CC}电源引脚。建议这四个电源引脚各使用一个100 nF去耦电容，并在电源侧使用一个10 μF电容去耦。AD7606B既可在内部基准电压下工作，也可在外部施加的基准电压下工作。当电路板上只有一个AD7606B器件时，应利用一个100 nF电容对REFIN/REFOUT引脚去耦。当应用中使用多个AD7606B器件时，请参阅“基准电压”部分。REFCAPA和REFCAPB引脚短路连在一起，并通过一个10 μF陶瓷电容来去耦。

V_{DRIVE}电源连接到与处理器相同的电源。V_{DRIVE}电压控制输出逻辑信号的电压值。有关布局、去耦和接地的更多信息，请参阅“布局指南”部分。

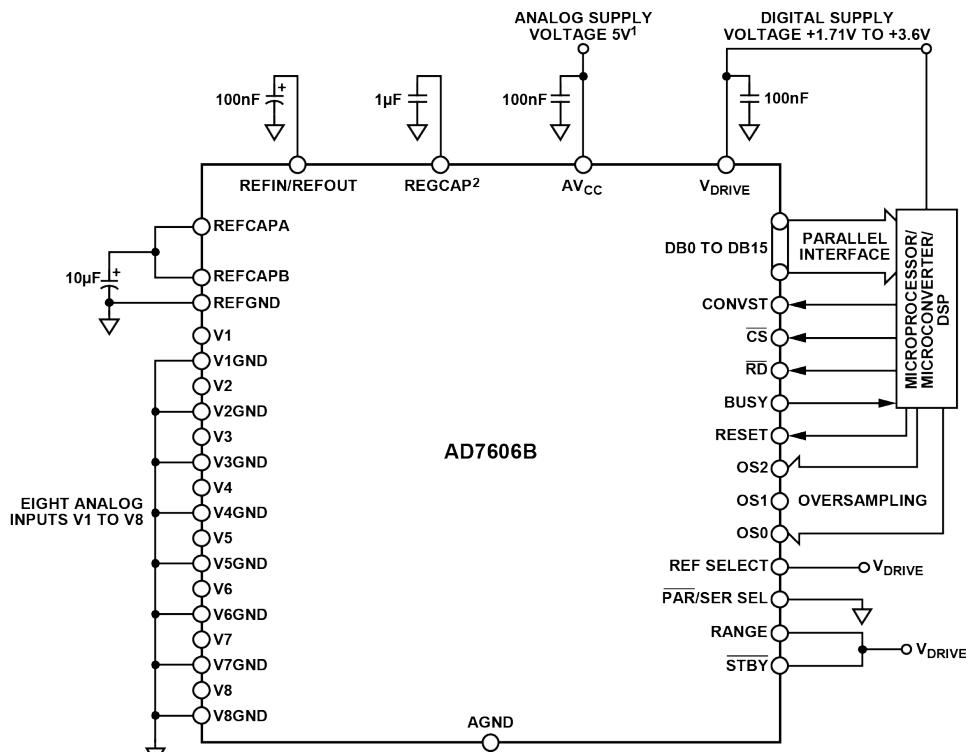
将电源施加到AD7606B后，应对AD7606B进行复位，以确保将其配置为正确工作模式。

在图83中，AD7606B配置为硬件模式，并使用内部基准电压工作，因为REF SELECT引脚设置为逻辑高电平。在这

个例子中，器件还使用并行接口，因为PAR/SER引脚与AGND相连。所有8个通道的模拟输入范围均为±10 V，只要RANGE引脚连接到高电平，并且过采样率由控制器通过OS引脚控制。

在图84中，AD7606B配置为软件模式，因为所有三个OS2、OS1和OS0引脚均处于逻辑高电平。过采样率及各通道范围通过访问存储器映射来配置。在这个例子中，PAR/SER引脚处于逻辑高电平。因此，读取ADC数据和读写存储器映射均使用串行接口。REF SELECT引脚连接到AGND。因此，内部基准电压被禁用，外部基准电压从外部连接到REFIN/REFOUT引脚，并通过100 nF电容去耦。

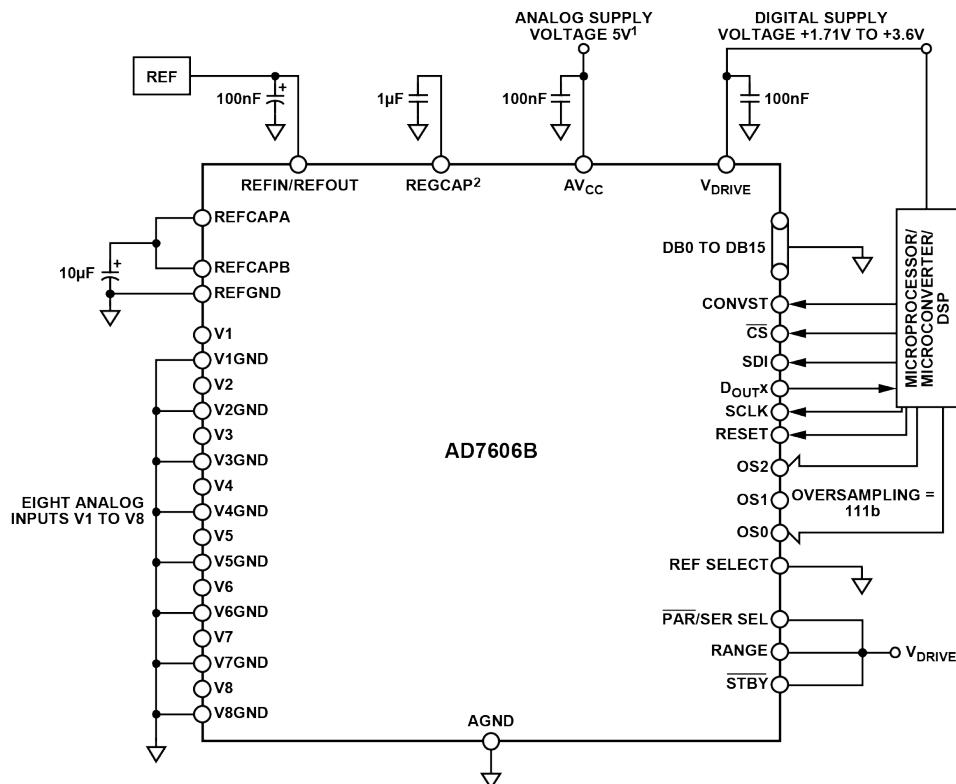
图83和图84是典型连接图的示例。基准电压、数据接口和工作模式的其他组合也是可能的，这取决于施加到每个配置引脚的逻辑电平。



¹DECOUPLING SHOWN ON THE AV_{CC} PIN APPLIES TO EACH AV_{CC} PIN (PIN 1, PIN 37, PIN 38, PIN 48). DECOUPLING CAPACITOR CAN BE SHARED BETWEEN AV_{CC} PIN 37 AND PIN 38.

²DECOUPLING SHOWN ON THE REGCAP PIN APPLIES TO EACH REGCAP PIN (PIN 36, PIN 39).

图83. AD7606B典型连接图，硬件模式



¹DECOUPLING SHOWN ON THE AV_{CC} PIN APPLIES TO EACH AV_{CC} PIN (PIN 1, PIN 37, PIN 38, PIN 48). DECOUPLING CAPACITOR CAN BE SHARED BETWEEN AV_{CC} PIN 37 AND PIN 38.

²DECOUPLING SHOWN ON THE REGCAP PIN APPLIES TO EACH REGCAP PIN (PIN 36, PIN 39).

15137-02

图84. 典型连接图, 软件模式

应用信息

布局布线指南

当设计安装AD7606B的PCB时，建议遵循以下布局指南：

- 模拟和数字部分分开，并局限在电路板的不同区域。
- 至少使用一个接地平面层。
- 如果AD7606B所在系统内有多个器件要求模数接地，仍应坚持单点接地，把接地点放置在尽可能靠近AD7606B的一个星型接地点。
- 与地层建立稳定的连接。避免多个接地引脚共用一个到地层过孔或走线的连接情况。每个接地引脚应使用单个过孔或多个过孔连接到电源层。
- 应避免在器件下方直接布设数字线路，否则会将噪声耦合至芯片。应允许模拟接地层布设在AD7606B下方，以避免噪声耦合。
- CONVST或时钟等快速切换信号要使用数字地加以屏蔽，以免将噪声辐射到电路板的其他部分，而且快速切换信号绝不能靠近模拟信号路径。
- 避免数字信号与模拟信号走线交叠。
- 电路板上邻近层的走线应彼此垂直，以减小电路板的馈通效应。
- AD7606B上AV_{CC}和V_{DRIVE}引脚的电源线应采用尽可能宽的走线，以提供低阻抗路径，并减小电源线路上的毛刺噪声影响。可能的话，应使用电源层，并在AD7606B电源引脚与电路板的电源走线之间建立稳定连接。各电源引脚应使用单个过孔或多个过孔。
- 去耦电容应靠近(理想情况是紧靠)电源引脚及其对应的接地引脚放置。REFIN/REFOUT引脚、REFCAPA引脚和REFCAPB引脚的去耦电容尽可能靠近各自的AD7606B引脚放置。可能的话，这些引脚应放在电路板上与AD7606B器件相同的一侧。

图85显示AD7606B电路板顶层的建议去耦配置。图86显示了底层去耦配置，它用于四个AV_{CC}引脚和V_{DRIVE}引脚去耦。AV_{CC}引脚的100 nF陶瓷电容靠近器件的相应引脚，一个100 nF电容可以在引脚37和引脚38之间共享。

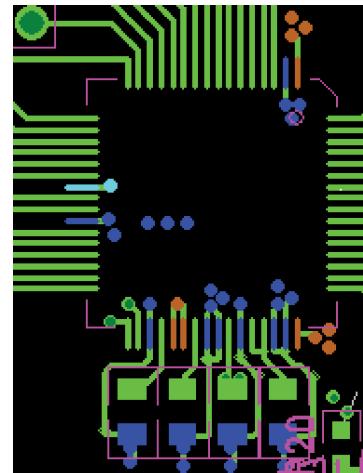


图85. REFIN/REFOUT、REFCAPA、REFCAPB和
REGCAP引脚的顶层去耦

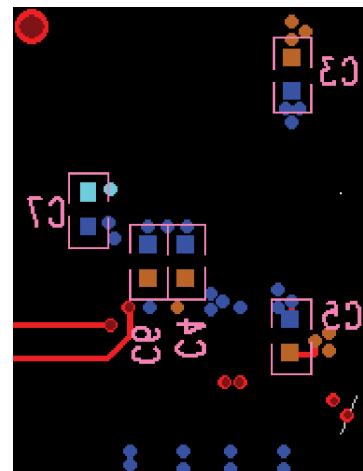


图86. 底层去耦

在内置多个AD7606B器件的系统中，为确保AD7606B器件之间的性能稳定匹配，这些器件必须采用对称布局。

图87显示了采用两个AD7606B器件的布局。AV_{CC}电源层沿两个器件的右侧布设，V_{DRIVE}电源走线沿两个器件的左侧布设。基准电压芯片位于两个器件之间，基准电压走线向北布设到U1的引脚42，向南布设到U2的引脚42。使用实心接地层。

这些对称布局原则同样适用于含有两个以上AD7606B器件的系统。AD7606B器件可以沿南北方向放置，基准电压位于器件的中间，基准电压走线则沿南北方向布设，类似于图87。

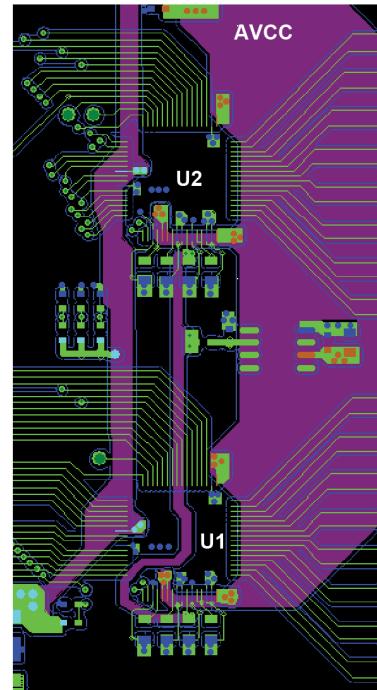


图87. 多个AD7606B器件的布局—顶层和电源层

寄存器汇总

表31. 寄存器汇总

地址	名称	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x01	STATUS	RESET_DETECT	DIGITAL_ERROR			RESERVED				0x00	R
0x02	CONFIG	RESERVED	STATUS_HEADER	EXT_OS_CLOCK	EXT_OS_CLOCK	DOUT_FORMAT	RESERVED	OPERATION_MODE	RESERVED	0x08	R/W
0x03	RANGE_CH1_CH2			CH2_RANGE			CH1_RANGE			0x33	R/W
0x04	RANGE_CH3_CH4			CH4_RANGE			CH3_RANGE			0x33	R/W
0x05	RANGE_CH5_CH6			CH6_RANGE			CH5_RANGE			0x33	R/W
0x06	RANGE_CH7_CH8			CH8_RANGE			CH7_RANGE			0x33	R/W
0x08	OVERSAMPLING			OS_PAD			OS_RATIO			0x00	R/W
0x09	CH1_GAIN	RESERVED			CH1_GAIN					0x00	R/W
0x0A	CH2_GAIN	RESERVED			CH2_GAIN					0x00	R/W
0x0B	CH3_GAIN	RESERVED			CH3_GAIN					0x00	R/W
0x0C	CH4_GAIN	RESERVED			CH4_GAIN					0x00	R/W
0x0D	CH5_GAIN	RESERVED			CH5_GAIN					0x00	R/W
0x0E	CH6_GAIN	RESERVED			CH6_GAIN					0x00	R/W
0x0F	CH7_GAIN	RESERVED			CH7_GAIN					0x00	R/W
0x10	CH8_GAIN	RESERVED			CH8_GAIN					0x00	R/W
0x11	CH1_OFFSET				CH1_OFFSET					0x80	R/W
0x12	CH2_OFFSET				CH2_OFFSET					0x80	R/W
0x13	CH3_OFFSET				CH3_OFFSET					0x80	R/W
0x14	CH4_OFFSET				CH4_OFFSET					0x80	R/W
0x15	CH5_OFFSET				CH5_OFFSET					0x80	R/W
0x16	CH6_OFFSET				CH6_OFFSET					0x80	R/W
0x17	CH7_OFFSET				CH7_OFFSET					0x80	R/W
0x18	CH8_OFFSET				CH8_OFFSET					0x80	R/W
0x19	CH1_PHASE				CH1_PHASE_OFFSET					0x00	R/W
0x1A	CH2_PHASE				CH2_PHASE_OFFSET					0x00	R/W
0x1B	CH3_PHASE				CH3_PHASE_OFFSET					0x00	R/W
0x1C	CH4_PHASE				CH4_PHASE_OFFSET					0x00	R/W
0x1D	CH5_PHASE				CH5_PHASE_OFFSET					0x00	R/W
0x1E	CH6_PHASE				CH6_PHASE_OFFSET					0x00	R/W
0x1F	CH7_PHASE				CH7_PHASE_OFFSET					0x00	R/W
0x20	CH8_PHASE				CH8_PHASE_OFFSET					0x00	R/W
0x21	DIGITAL_DIAG_ENABLE	INTERFACE_CHECK_EN	CLK_FS_OS_COUNTER_EN	BUSY_STUCK_HIGH_ERR_EN	SPI_READ_ERR_EN	SPI_WRITE_ERR_EN	INT_CRC_ERR_EN	MM_CRC_ERR_EN	ROM_CRC_ERR_EN	0x01	R/W
0x22	DIGITAL_DIAG_ERR	RESERVED	RESERVED	BUSY_STUCK_HIGH_ERR	SPI_READ_ERR	SPI_WRITE_ERR	INT_CRC_ERR	MM_CRC_ERR	ROM_CRC_ERR	0x00	R/W
0x23	OPEN_DETECT_ENABLE	CH8_OPEN_DETECT_EN	CH7_OPEN_DETECT_EN	CH6_OPEN_DETECT_EN	CH5_OPEN_DETECT_EN	CH4_OPEN_DETECT_EN	CH3_OPEN_DETECT_EN	CH2_OPEN_DETECT_EN	CH1_OPEN_DETECT_EN	0x00	R/W
0x24	OPEN_DETECTED	CH8_OPEN	CH7_OPEN	CH6_OPEN	CH5_OPEN	CH4_OPEN	CH3_OPEN	CH2_OPEN	CH1_OPEN	0x00	R/W
0x25	AIN_OV_UV_DIAG_ENABLE	CH8_OV_UV_EN	CH7_OV_UV_EN	CH6_OV_UV_EN	CH5_OV_UV_EN	CH4_OV_UV_EN	CH3_OV_UV_EN	CH2_OV_UV_EN	CH1_OV_UV_EN	0x00	R/W
0x26	AIN_OV_DIAG_ERROR	CH8_OV_ERR	CH7_OV_ERR	CH6_OV_ERR	CH5_OV_ERR	CH4_OV_ERR	CH3_OV_ERR	CH2_OV_ERR	CH1_OV_ERR	0x00	R/W
0x27	AIN_UV_DIAG_ERROR	CH8_UV_ERR	CH7_UV_ERR	CH6_UV_ERR	CH5_UV_ERR	CH4_UV_ERR	CH3_UV_ERR	CH2_UV_ERR	CH1_UV_ERR	0x00	R/W
0x28	DIAGNOSTIC_MUX_CH1_2	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	0x00	R/W
0x29	DIAGNOSTIC_MUX_CH3_4	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	0x00	R/W

地址	名称	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x2A	DIAGNOSTIC_ MUX_CH5_6		RESERVED		CH6_DIAG_MUX_CTRL		CH5_DIAG_MUX_CTRL		0x00	R/W	
0x2B	DIAGNOSTIC_ MUX_CH7_8		RESERVED		CH8_DIAG_MUX_CTRL		CH7_DIAG_MUX_CTRL		0x00	R/W	
0x2C	OPEN_DETECT_ QUEUE				OPEN_DETECT_QUEUE				0x00	R/W	
0x2D	FS_CLK_ COUNTER				CLK_FS_COUNTER				0x00	R	
0x2E	OS_CLK_ COUNTER				CLK_OS_COUNTER				0x00	R	
0x2F	ID			DEVICE_ID		SILICON_REVISION			0x14	R	

寄存器详解

地址: 0x01; 上电复位: 0x00; 名称: STATUS

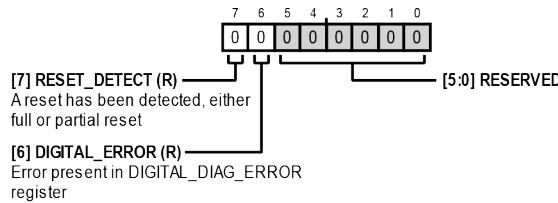


表32. STATUS位功能描述

位	位名称	描述	复位	访问类型
7	RESET_DETECT	检测到复位，完全或部分复位。	0x0	R
6	DIGITAL_ERROR	DIGITAL_DIAG_ERROR寄存器中存在错误。	0x0	R
[5:0]	RESERVED	保留。	0x0	R

地址: 0x02; 复位: 0x08; 名称: CONFIG

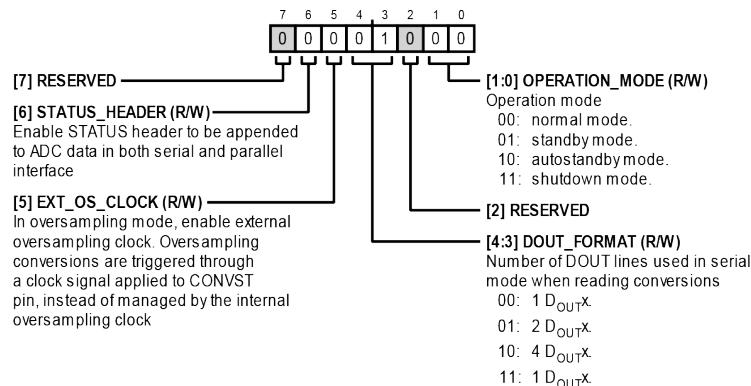


表33. CONFIG位功能描述

位	位名称	描述	复位	访问类型
7	RESERVED	保留。	0x0	R
6	STATUS_HEADER	使能STATUS标头以在串行和并行接口中附加到ADC数据上。	0x0	R/W
5	EXT_OS_CLOCK	在过采样模式下，使能外部过采样时钟。过采样转换通过施加到CONVST引脚的时钟信号触发，而不是由内部过采样时钟管理。	0x0	R/W
[4:3]	DOUT_FORMAT	串行模式下读取转换结果时使用的D_out^X线数。 00: 1 D_out^X。 01: 2 D_out^X。 10: 4 D_out^X。 11: 1 D_out^X。	0x1	R/W
2	RESERVED	保留。	0x0	R
[1:0]	OPERATION_MODE	工作模式。 00: 正常模式。 01: 待机模式。 10: 自动待机模式。 11: 关断模式。	0x0	R/W

地址: 0x03; 复位: 0x33; 名称: RANGE_CH1_CH2

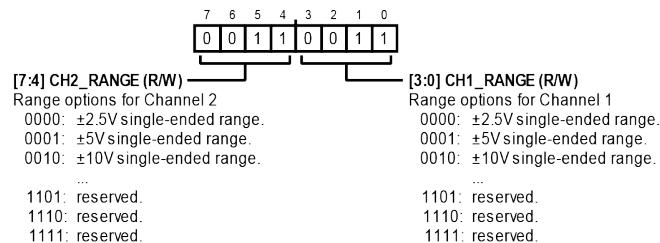


表34. RANGE_CH1_CH2位功能描述

位	位名称	描述	复位	访问类型
[7:4]	CH2_RANGE	通道2范围选项。 0000: $\pm 2.5\text{V}$ 单端范围。 0001: $\pm 5\text{V}$ 单端范围。 0010: $\pm 10\text{V}$ 单端范围。 0011: $\pm 10\text{V}$ 单端范围。 0100: $\pm 10\text{V}$ 单端范围。 0101: $\pm 10\text{V}$ 单端范围。 0110: $\pm 10\text{V}$ 单端范围。 0111: $\pm 10\text{V}$ 单端范围。 1000: $\pm 10\text{V}$ 单端范围。 1001: $\pm 10\text{V}$ 单端范围。 1010: $\pm 10\text{V}$ 单端范围。 1011: $\pm 10\text{V}$ 单端范围。 1100: 保留。 1101: 保留。 1110: 保留。 1111: 保留。	0x3	R/W
[3:0]	CH1_RANGE	通道1范围选项。 0000: $\pm 2.5\text{V}$ 单端范围。 0001: $\pm 5\text{V}$ 单端范围。 0010: $\pm 10\text{V}$ 单端范围。 0011: $\pm 10\text{V}$ 单端范围。 0100: $\pm 10\text{V}$ 单端范围。 0101: $\pm 10\text{V}$ 单端范围。 0110: $\pm 10\text{V}$ 单端范围。 0111: $\pm 10\text{V}$ 单端范围。 1000: $\pm 10\text{V}$ 单端范围。 1001: $\pm 10\text{V}$ 单端范围。 1010: $\pm 10\text{V}$ 单端范围。 1011: $\pm 10\text{V}$ 单端范围。 1100: 保留。 1101: 保留。 1110: 保留。 1111: 保留。	0x3	R/W

AD7606B

地址: 0x04; 复位: 0x33; 名称: RANGE_CH3_CH4

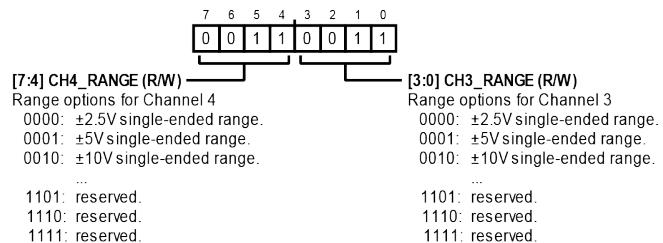


表35. RANGE_CH3_CH4位功能描述

位	位名称	描述	复位	访问类型
[7:4]	CH4_RANGE	通道4范围选项。 0000: $\pm 2.5\text{V}$ 单端范围。 0001: $\pm 5\text{V}$ 单端范围。 0010: $\pm 10\text{V}$ 单端范围。 0011: $\pm 10\text{V}$ 单端范围。 0100: $\pm 10\text{V}$ 单端范围。 0101: $\pm 10\text{V}$ 单端范围。 0110: $\pm 10\text{V}$ 单端范围。 0111: $\pm 10\text{V}$ 单端范围。 1000: $\pm 10\text{V}$ 单端范围。 1001: $\pm 10\text{V}$ 单端范围。 1010: $\pm 10\text{V}$ 单端范围。 1011: $\pm 10\text{V}$ 单端范围。 1100: 保留。 1101: 保留。 1110: 保留。 1111: 保留。	0x3	R/W
[3:0]	CH3_RANGE	通道3范围选项。 0000: $\pm 2.5\text{V}$ 单端范围。 0001: $\pm 5\text{V}$ 单端范围。 0010: $\pm 10\text{V}$ 单端范围。 0011: $\pm 10\text{V}$ 单端范围。 0100: $\pm 10\text{V}$ 单端范围。 0101: $\pm 10\text{V}$ 单端范围。 0110: $\pm 10\text{V}$ 单端范围。 0111: $\pm 10\text{V}$ 单端范围。 1000: $\pm 10\text{V}$ 单端范围。 1001: $\pm 10\text{V}$ 单端范围。 1010: $\pm 10\text{V}$ 单端范围。 1011: $\pm 10\text{V}$ 单端范围。 1100: 保留。 1101: 保留。 1110: 保留。 1111: 保留。	0x3	R/W

地址: 0x05; 复位: 0x33; 名称: RANGE_CH5_CH6

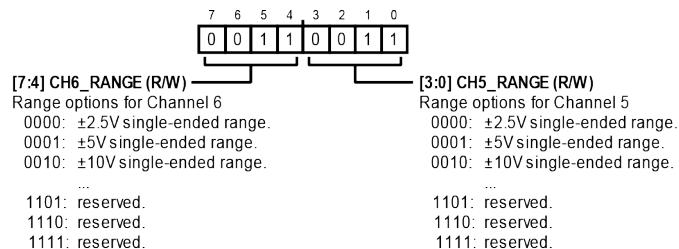


表36. RANGE_CH5_CH6位功能描述

位	位名称	描述	复位	访问类型
[7:4]	CH6_RANGE	通道6范围选项。 0000: ±2.5V单端范围。 0001: ±5V单端范围。 0010: ±10V单端范围。 0011: ±10V单端范围。 0100: ±10V单端范围。 0101: ±10V单端范围。 0110: ±10V单端范围。 0111: ±10V单端范围。 1000: ±10V单端范围。 1001: ±10V单端范围。 1010: ±10V单端范围。 1011: ±10V单端范围。 1100: 保留。 1101: 保留。 1110: 保留。 1111: 保留。	0x3	R/W
[3:0]	CH5_RANGE	通道5范围选项。 0000: ±2.5V单端范围。 0001: ±5V单端范围。 0010: ±10V单端范围。 0011: ±10V单端范围。 0100: ±10V单端范围。 0101: ±10V单端范围。 0110: ±10V单端范围。 0111: ±10V单端范围。 1000: ±10V单端范围。 1001: ±10V单端范围。 1010: ±10V单端范围。 1011: ±10V单端范围。 1100: 保留。 1101: 保留。 1110: 保留。 1111: 保留。	0x3	R/W

AD7606B

地址: 0x06; 复位: 0x33; 名称: RANGE_CH7_CH8

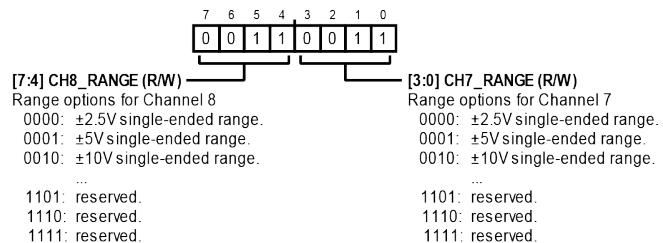


表37. RANGE_CH7_CH8位功能描述

位	位名称	描述	复位	访问类型
[7:4]	CH8_RANGE	通道8范围选项。 0000: ±2.5 V单端范围。 0001: ±5 V单端范围。 0010: ±10 V单端范围。 0011: ±10 V单端范围。 0100: ±10 V单端范围。 0101: ±10 V单端范围。 0110: ±10 V单端范围。 0111: ±10 V单端范围。 1000: ±10 V单端范围。 1001: ±10 V单端范围。 1010: ±10 V单端范围。 1011: ±10 V单端范围。 1100: 保留。 1101: 保留。 1110: 保留。 1111: 保留。	0x3	R/W
[3:0]	CH7_RANGE	通道7范围选项。 0000: ±2.5 V单端范围。 0001: ±5 V单端范围。 0010: ±10 V单端范围。 0011: ±10 V单端范围。 0100: ±10 V单端范围。 0101: ±10 V单端范围。 0110: ±10 V单端范围。 0111: ±10 V单端范围。 1000: ±10 V单端范围。 1001: ±10 V单端范围。 1010: ±10 V单端范围。 1011: ±10 V单端范围。 1100: 保留。 1101: 保留。 1110: 保留。 1111: 保留。	0x3	R/W

地址: 0x08; 复位: 0x00; 名称: OVERSAMPLING

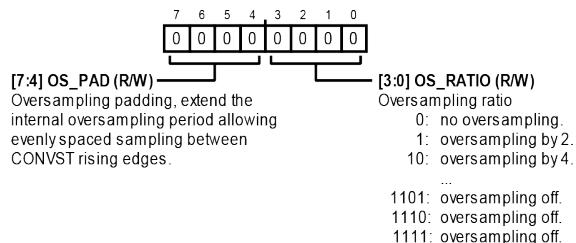


表38. OVERSAMPLING位功能描述

位	位名称	描述	复位	访问类型
[7:4]	OS_PAD	过采样填充，延长内部过采样周期，允许在CONVST上升沿之间以均匀间隔进行采样。	0x0	R/W
[3:0]	OS_RATIO	过采样率。 0: 无过采样。 1: 2倍过采样。 10: 4倍过采样。 11: 8倍过采样。 100: 16倍过采样。 101: 32倍过采样。 110: 64倍过采样。 111: 128倍过采样。 1000: 256倍过采样。 1001: 过采样关闭。 1010: 过采样关闭。 1011: 过采样关闭。 1100: 过采样关闭。 1101: 过采样关闭。 1110: 过采样关闭。 1111: 过采样关闭。	0x0	R/W

地址: 0x09; 复位: 0x00; 名称: CH1_GAIN

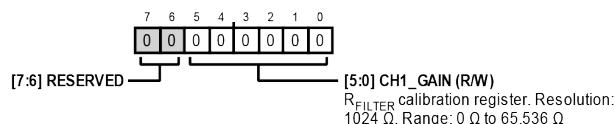


表39. CH1_GAIN位功能描述

位	位名称	描述	复位	访问类型
[7:6]	RESERVED	保留。	0x0	R
[5:0]	CH1_GAIN	R _{FILTER} 校准寄存器。分辨率: 1024 Ω。范围: 0 Ω至65,536 Ω。	0x0	R/W

地址: 0x0A; 复位: 0x00; 名称: CH2_GAIN

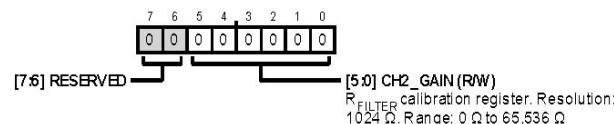


表40. CH2_GAIN位功能描述

位	位名称	描述	复位	访问类型
[7:6]	RESERVED	保留。	0x0	R
[5:0]	CH2_GAIN	R _{FILTER} 校准寄存器。分辨率: 1024 Ω。范围: 0 Ω至65,536 Ω。	0x0	R/W

AD7606B

地址: 0x0B; 复位: 0x00; 名称: CH3_GAIN

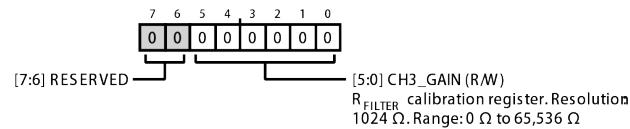


表41. CH3_GAIN位功能描述

位	位名称	描述	复位	访问类型
[7:6]	RESERVED	保留。	0x0	R
[5:0]	CH3_GAIN	R _{FILTER} 校准寄存器。分辨率: 1024 Ω。范围: 0 Ω至65,536 Ω。	0x0	R/W

地址: 0x0C; 复位: 0x00; 名称: CH4_GAIN

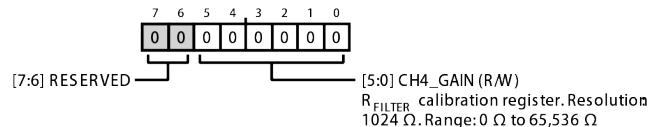


表42. CH4_GAIN位功能描述

位	位名称	描述	复位	访问类型
[7:6]	RESERVED	保留。	0x0	R
[5:0]	CH4_GAIN	R _{FILTER} 校准寄存器。分辨率: 1024 Ω。范围: 0 Ω至65,536 Ω。	0x0	R/W

地址: 0x0D; 复位: 0x00; 名称: CH5_GAIN

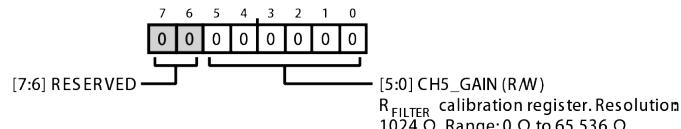


表43. CH5_GAIN位功能描述

位	位名称	描述	复位	访问类型
[7:6]	RESERVED	保留。	0x0	R
[5:0]	CH5_GAIN	R _{FILTER} 校准寄存器。分辨率: 1024 Ω。范围: 0 Ω至65,536 Ω。	0x0	R/W

地址: 0x0E; 复位: 0x00; 名称: CH6_GAIN

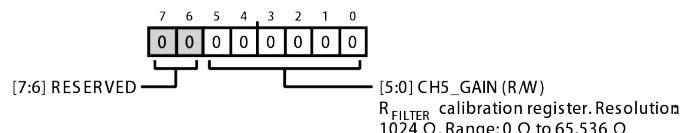


表44. CH6_GAIN位功能描述

位	位名称	描述	复位	访问类型
[7:6]	RESERVED	保留。	0x0	R
[5:0]	CH6_GAIN	R _{FILTER} 校准寄存器。分辨率: 1024 Ω。范围: 0 Ω至65,536 Ω。	0x0	R/W

地址: 0x0F; 复位: 0x00; 名称: CH7_GAIN

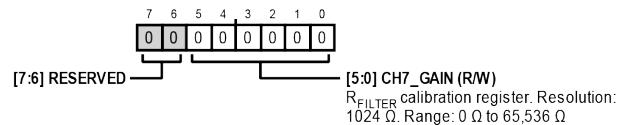


表45. CH7_GAIN位功能描述

位	位名称	描述	复位	访问类型
[7:6]	RESERVED	保留。	0x0	R
[5:0]	CH7_GAIN	R _{FILTER} 校准寄存器。分辨率: 1024 Ω。范围: 0 Ω至65,536 Ω。	0x0	R/W

地址: 0x10; 复位: 0x00; 名称: CH8_GAIN

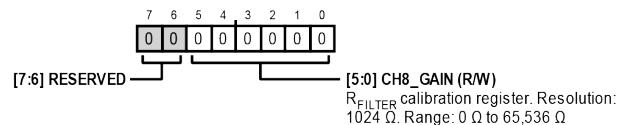


表46. CH8_GAIN位功能描述

位	位名称	描述	复位	访问类型
[7:6]	RESERVED	保留。	0x0	R
[5:0]	CH8_GAIN	R _{FILTER} 校准寄存器。分辨率: 1024 Ω。范围: 0 Ω至65,536 Ω。	0x0	R/W

地址: 0x11; 复位: 0x80; 名称: CH1_OFFSET

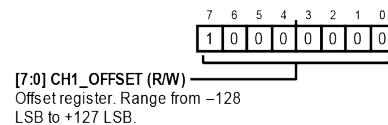


表47. CH1_OFFSET位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CH1_OFFSET	失调寄存器。范围从-128 LSB到+ 127 LSB。0x00 = -128 LSB失调; 0x80 = 无失调; 0xFF = +127 LSB失调。	0x80	R/W

地址: 0x12; 复位: 0x80; 名称: CH2_OFFSET

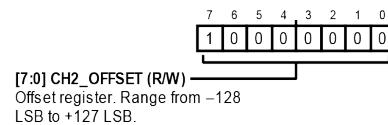


表48. CH2_OFFSET位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CH2_OFFSET	失调寄存器。范围从-128 LSB到+ 127 LSB。0x00 = -128 LSB失调; 0x80 = 无失调; 0xFF = +127 LSB失调。	0x80	R/W

AD7606B

地址: 0x13; 复位: 0x80; 名称: CH3_OFFSET

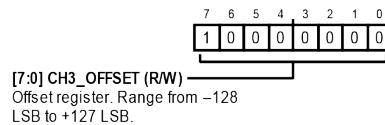


表49. CH3_OFFSET位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CH3_OFFSET	失调寄存器。范围从-128 LSB到+ 127 LSB。0x00 = -128 LSB失调；0x80 = 无失调；0xFF = +127 LSB失调。	0x80	R/W

地址: 0x14; 复位: 0x80; 名称: CH4_OFFSET

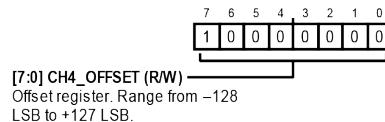


表50. CH4_OFFSET位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CH4_OFFSET	失调寄存器。范围从-128 LSB到+ 127 LSB。0x00 = -128 LSB失调；0x80 = 无失调；0xFF = +127 LSB失调。	0x80	R/W

地址: 0x15; 复位: 0x80; 名称: CH5_OFFSET

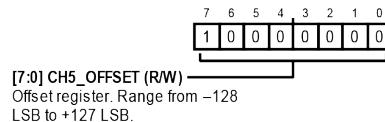


表51. CH5_OFFSET位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CH5_OFFSET	失调寄存器。范围从-128 LSB到+ 127 LSB。0x00 = -128 LSB失调；0x80 = 无失调；0xFF = +127 LSB失调。	0x80	R/W

地址: 0x16; 复位: 0x80; 名称: CH6_OFFSET

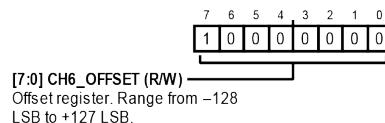


表52. CH6_OFFSET位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CH6_OFFSET	失调寄存器。范围从-128 LSB到+ 127 LSB。0x00 = -128 LSB失调；0x80 = 无失调；0xFF = +127 LSB失调。	0x80	R/W

地址: 0x17; 复位: 0x80; 名称: CH7_OFFSET

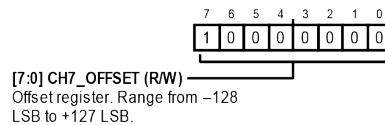


表53. CH7_OFFSET位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CH7_OFFSET	失调寄存器。范围从-128 LSB到+ 127 LSB。0x00 = -128 LSB失调; 0x80 = 无失调; 0xFF = +127 LSB失调。	0x80	R/W

地址: 0x18; 复位: 0x80; 名称: CH8_OFFSET

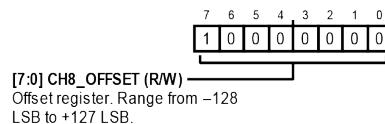


表54. CH8_OFFSET位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CH8_OFFSET	失调寄存器。范围从-128 LSB到+ 127 LSB。0x00 = -128 LSB失调; 0x80 = 无失调; 0xFF = +127 LSB失调。	0x80	R/W

地址: 0x19; 复位: 0x00; 名称: CH1_PHASE

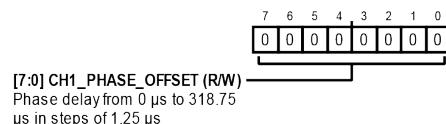


表55. CH1_PHASE位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CH1_PHASE_OFFSET	相位延迟从0到318.75μs, 步长为1.25μs。	0x0	R/W

地址: 0x1A; 复位: 0x00; 名称: CH2_PHASE

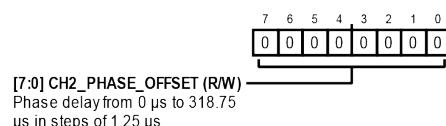


表56. CH2_PHASE位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CH2_PHASE_OFFSET	相位延迟从0到318.75μs, 步长为1.25μs。	0x0	R/W

地址: 0x1B; 复位: 0x00; 名称: CH3_PHASE

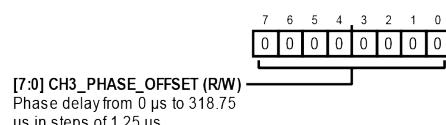


表57. CH3_PHASE位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CH3_PHASE_OFFSET	相位延迟从0到318.75μs, 步长为1.25μs。	0x0	R/W

AD7606B

地址: 0x1C; 复位: 0x00; 名称: CH4_PHASE

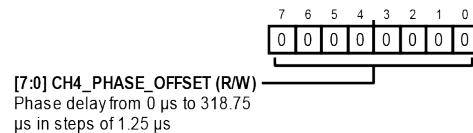


表58. CH4_PHASE位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CH4_PHASE_OFFSET	相位延迟从0到318.75µs, 步长为1.25µs。	0x0	R/W

地址: 0x1D; 复位: 0x00; 名称: CH5_PHASE

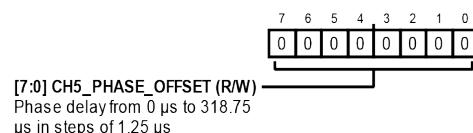


表59. CH5_PHASE位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CH5_PHASE_OFFSET	相位延迟从0到318.75µs, 步长为1.25µs。	0x0	R/W

地址: 0x1E; 复位: 0x00; 名称: CH6_PHASE

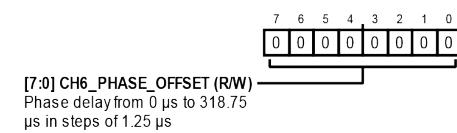


表60. CH6_PHASE位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CH6_PHASE_OFFSET	相位延迟从0到318.75µs, 步长为1.25µs。	0x0	R/W

地址: 0x1F; 复位: 0x00; 名称: CH7_PHASE

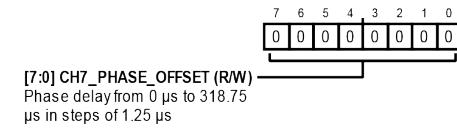


表61. CH7_PHASE位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CH7_PHASE_OFFSET	相位延迟从0到318.75µs, 步长为1.25µs。	0x0	R/W

地址: 0x20; 复位: 0x00; 名称: CH8_PHASE

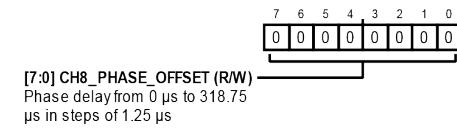


表62. CH8_PHASE位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CH8_PHASE_OFFSET	相位延迟从0到318.75µs, 步长为1.25µs。	0x0	R/W

地址: 0x21; 复位: 0x01; 名称: DIGITAL_DIAG_ENABLE

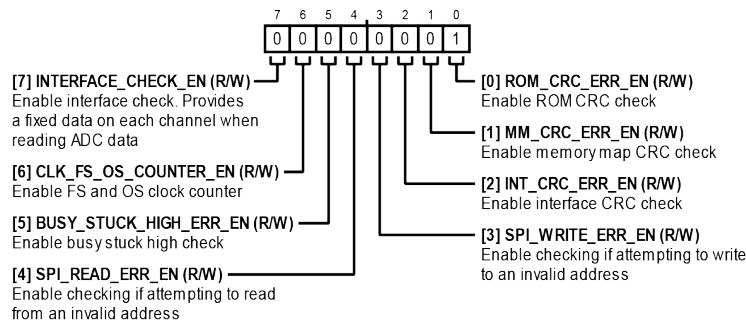


表63. DIGITAL_DIAG_ENABLE位功能描述

位	位名称	描述	复位	访问类型
7	INTERFACE_CHECK_EN	使能接口检查。读取ADC数据时，在每个通道上提供固定数据。	0x0	R/W
6	CLK_FS_OS_COUNTER_EN	使能FS和OS时钟计数器。	0x0	R/W
5	BUSY_STUCK_HIGH_ERR_EN	使能繁忙阻塞高电平检查。	0x0	R/W
4	SPI_READ_ERR_EN	使能检查是否试图从无效地址读取。	0x0	R/W
3	SPI_WRITE_ERR_EN	使能检查是否试图写入无效地址。	0x0	R/W
2	INT_CRC_ERR_EN	使能接口CRC校验。	0x0	R/W
1	MM_CRC_ERR_EN	使能存储器映射CRC校验。	0x0	R/W
0	ROM_CRC_ERR_EN	使能ROM CRC校验。	0x1	R/W

地址: 0x22; 复位: 0x00; 名称: DIGITAL_DIAG_ERR

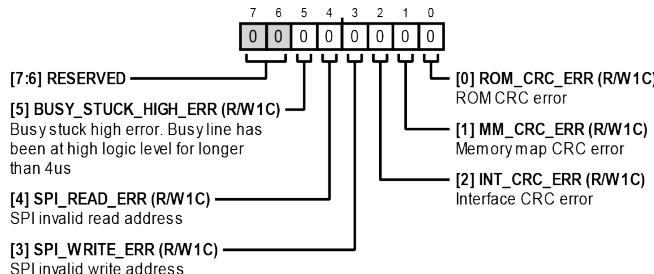


表64. DIGITAL_DIAG_ERR位功能描述

位	位名称	描述	复位	访问类型
[7:6]	RESERVED	保留。	0x0	R
5	BUSY_STUCK_HIGH_ERR	繁忙阻塞高电平错误。繁忙线路处于逻辑高电平的时间超过4μs。	0x0	R/W1C
4	SPI_READ_ERR	SPI无效读取地址。	0x0	R/W1C
3	SPI_WRITE_ERR	SPI无效写入地址。	0x0	R/W1C
2	INT_CRC_ERR	接口CRC错误。	0x0	R/W1C
1	MM_CRC_ERR	存储器映射CRC错误。	0x0	R/W1C
0	ROM_CRC_ERR	ROM CRC错误。	0x0	R/W1C

AD7606B

地址: 0x23; 复位: 0x00; 名称: OPEN_DETECT_ENABLE

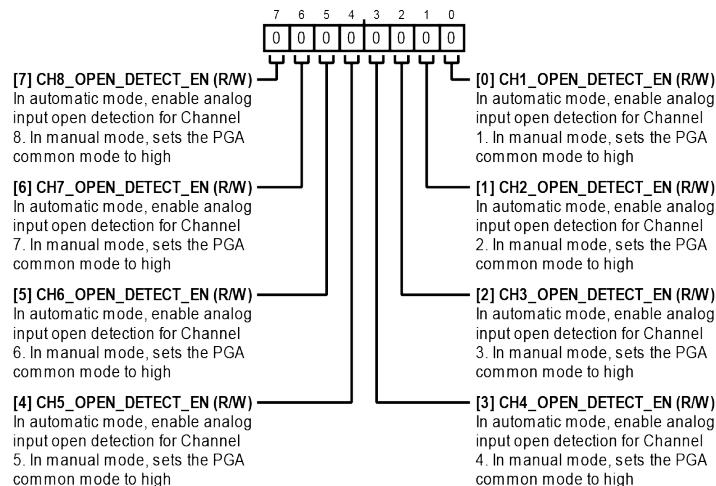


表65. OPEN_DETECT_ENABLE位功能描述

位	位名称	描述	复位	访问类型
7	CH8_OPEN_DETECT_EN	在自动模式下, 使能通道8的模拟输入开路检测。在手动模式下, 将PGA共模设置为高电平。	0x0	R/W
6	CH7_OPEN_DETECT_EN	在自动模式下, 使能通道7的模拟输入开路检测。在手动模式下, 将PGA共模设置为高电平。	0x0	R/W
5	CH6_OPEN_DETECT_EN	在自动模式下, 使能通道6的模拟输入开路检测。在手动模式下, 将PGA共模设置为高电平。	0x0	R/W
4	CH5_OPEN_DETECT_EN	在自动模式下, 使能通道5的模拟输入开路检测。在手动模式下, 将PGA共模设置为高电平。	0x0	R/W
3	CH4_OPEN_DETECT_EN	在自动模式下, 使能通道4的模拟输入开路检测。在手动模式下, 将PGA共模设置为高电平。	0x0	R/W
2	CH3_OPEN_DETECT_EN	在自动模式下, 使能通道3的模拟输入开路检测。在手动模式下, 将PGA共模设置为高电平。	0x0	R/W
1	CH2_OPEN_DETECT_EN	在自动模式下, 使能通道2的模拟输入开路检测。在手动模式下, 将PGA共模设置为高电平。	0x0	R/W
0	CH1_OPEN_DETECT_EN	在自动模式下, 使能通道1的模拟输入开路检测。在手动模式下, 将PGA共模设置为高电平。	0x0	R/W

地址: 0x24; 复位: 0x00; 名称: OPEN_DETECTED

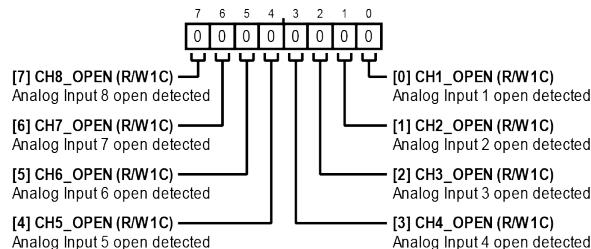


表66. OPEN_DETECTED位功能描述

位	位名称	描述	复位	访问类型
7	CH8_OPEN	检测到模拟输入8开路。	0x0	R/W1C
6	CH7_OPEN	检测到模拟输入7开路。	0x0	R/W1C
5	CH6_OPEN	检测到模拟输入6开路。	0x0	R/W1C
4	CH5_OPEN	检测到模拟输入5开路。	0x0	R/W1C
3	CH4_OPEN	检测到模拟输入4开路。	0x0	R/W1C

位	位名称	描述	复位	访问类型
2	CH3_OPEN	检测到模拟输入3开路。	0x0	R/W1C
1	CH2_OPEN	检测到模拟输入2开路。	0x0	R/W1C
0	CH1_OPEN	检测到模拟输入1开路。	0x0	R/W1C

地址: 0x25; 复位: 0x00; 名称: AIN_OV_UV_DIAG_ENABLE

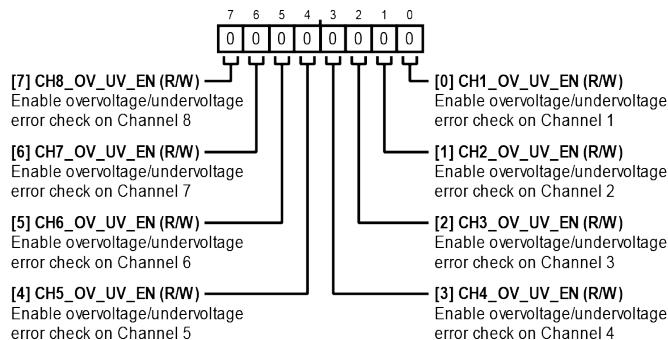


表67. AIN_OV_UV_DIAG_ENABLE位功能描述

位	位名称	描述	复位	访问类型
7	CH8_OV_UV_EN	使能通道8的过压/欠压错误检查。	0x0	R/W
6	CH7_OV_UV_EN	使能通道7的过压/欠压错误检查。	0x0	R/W
5	CH6_OV_UV_EN	使能通道6的过压/欠压错误检查。	0x0	R/W
4	CH5_OV_UV_EN	使能通道5的过压/欠压错误检查。	0x0	R/W
3	CH4_OV_UV_EN	使能通道4的过压/欠压错误检查。	0x0	R/W
2	CH3_OV_UV_EN	使能通道3的过压/欠压错误检查。	0x0	R/W
1	CH2_OV_UV_EN	使能通道2的过压/欠压错误检查。	0x0	R/W
0	CH1_OV_UV_EN	使能通道1的过压/欠压错误检查。	0x0	R/W

地址: 0x26; 复位: 0x00; 名称: AIN_OV_DIAG_ERROR

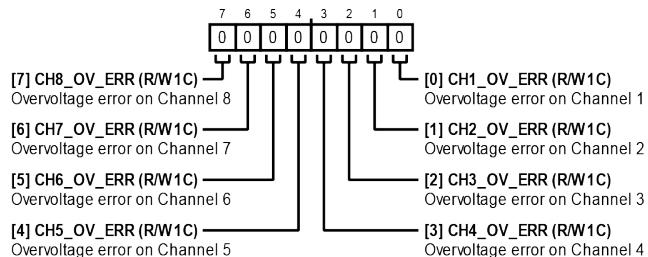


表68. AIN_OV_DIAG_ERROR位功能描述

位	位名称	描述	复位	访问类型
7	CH8_OV_ERR	通道8上过压错误。	0x0	R/W1C
6	CH7_OV_ERR	通道7上过压错误。	0x0	R/W1C
5	CH6_OV_ERR	通道6上过压错误。	0x0	R/W1C
4	CH5_OV_ERR	通道5上过压错误。	0x0	R/W1C
3	CH4_OV_ERR	通道4上过压错误。	0x0	R/W1C
2	CH3_OV_ERR	通道3上过压错误。	0x0	R/W1C
1	CH2_OV_ERR	通道2上过压错误。	0x0	R/W1C
0	CH1_OV_ERR	通道1上过压错误。	0x0	R/W1C

AD7606B

地址: 0x27; 复位: 0x00; 名称: AIN_UV_DIAG_ERROR

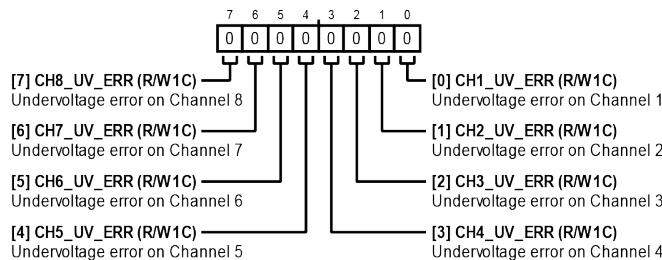


表69. AIN_UV_DIAG_ERROR位功能描述

位	位名称	描述	复位	访问类型
7	CH8_UV_ERR	通道8上欠压错误。	0x0	R/W1C
6	CH7_UV_ERR	通道7上欠压错误。	0x0	R/W1C
5	CH6_UV_ERR	通道6上欠压错误。	0x0	R/W1C
4	CH5_UV_ERR	通道5上欠压错误。	0x0	R/W1C
3	CH4_UV_ERR	通道4上欠压错误。	0x0	R/W1C
2	CH3_UV_ERR	通道3上欠压错误。	0x0	R/W1C
1	CH2_UV_ERR	通道2上欠压错误。	0x0	R/W1C
0	CH1_UV_ERR	通道1上欠压错误。	0x0	R/W1C

地址: 0x28; 复位: 0x00; 名称: DIAGNOSTIC_MUX_CH1_2

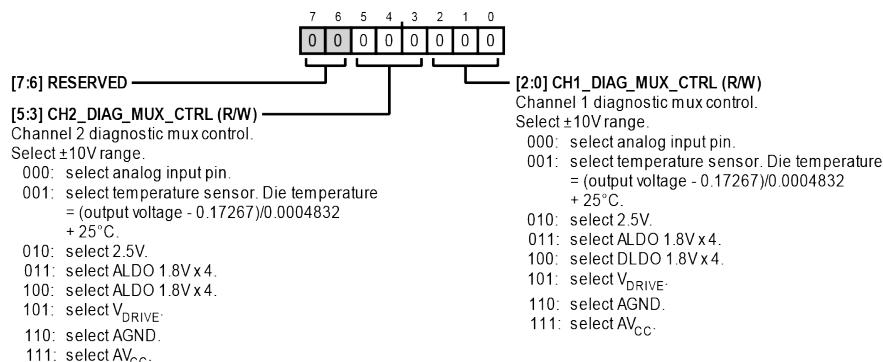


表70. DIAGNOSTIC_MUX_CH1_2位功能描述

位	位名称	描述	复位	访问类型
[7:6]	RESERVED	保留。	0x0	R
[5:3]	CH2_DIAG_MUX_CTRL	通道2诊断多路复用器控制。选择±10 V范围。 000: 选择模拟输入引脚。 001: 选择温度传感器。芯片温度 = (输出电压 - 0.17267)/0.0004832 + 25°C。 010: 选择2.5 V。 011: 选择ALDO 1.8 V×4。 100: 选择ALDO 1.8 V×4。 101: 选择V_DRIVE。 110: 选择AGND。 111: 选择AV_CC。	0x0	R/W
[2:0]	CH1_DIAG_MUX_CTRL	通道1诊断多路复用器控制。选择±10 V范围。 000: 选择模拟输入引脚。 001: 选择温度传感器。芯片温度 = (输出电压 - 0.17267)/0.0004832 + 25°C。 010: 选择2.5 V。 011: 选择ALDO 1.8 V×4。 100: 选择DLDO 1.8V×4。	0x0	R/W

位	位名称	描述	复位	访问类型
		101: 选择V _{DRIVE} 。 110: 选择AGND。 111: 选择AV _{CC} 。		

地址: 0x29; 复位: 0x00; 名称: DIAGNOSTIC_MUX_CH3_4

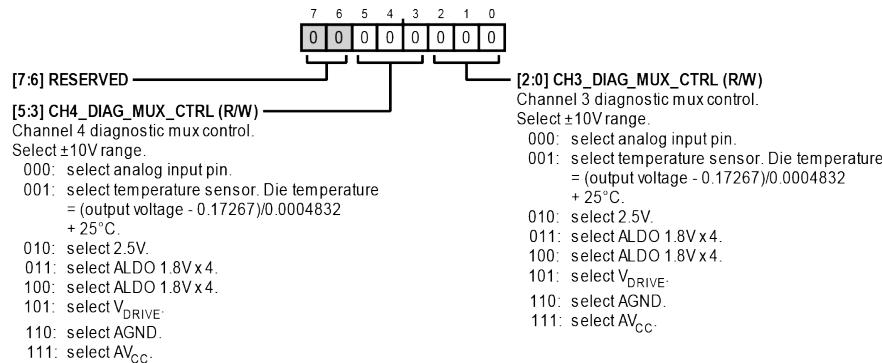


表71. DIAGNOSTIC_MUX_CH3_4位功能描述

位	位名称	描述	复位	访问类型
[7:6]	RESERVED	保留。	0x0	R
[5:3]	CH4_DIAG_MUX_CTRL	通道4诊断多路复用器控制。选择±10 V范围。 000: 选择模拟输入引脚。 001: 选择温度传感器。芯片温度 = (输出电压 - 0.17267)/0.0004832 + 25°C。 010: 选择2.5 V。 011: 选择ALDO 1.8 V×4。 100: 选择ALDO 1.8 V×4。 101: 选择V _{DRIVE} 。 110: 选择AGND。 111: 选择AV _{CC} 。	0x0	R/W
[2:0]	CH3_DIAG_MUX_CTRL	通道3诊断多路复用器控制。选择±10 V范围。 000: 选择模拟输入引脚。 001: 选择温度传感器。芯片温度 = (输出电压 - 0.17267)/0.0004832 + 25°C。 010: 选择2.5 V。 011: 选择ALDO 1.8 V×4。 100: 选择ALDO 1.8 V×4。 101: 选择V _{DRIVE} 。 110: 选择AGND。 111: 选择AV _{CC} 。	0x0	R/W

AD7606B

地址: 0x2A; 复位: 0x00; 名称: DIAGNOSTIC_MUX_CH5_6

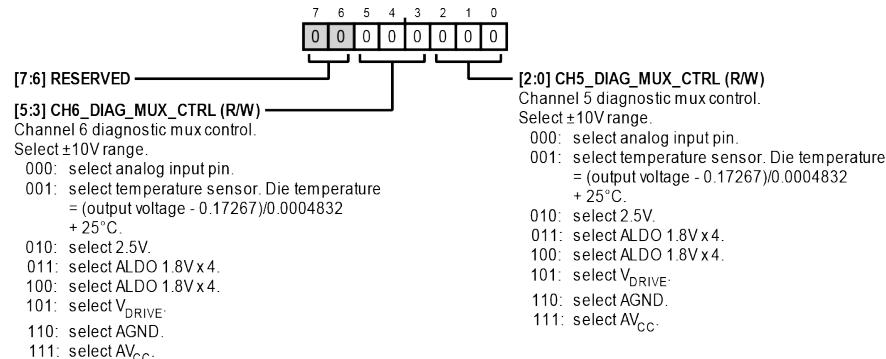


表72. DIAGNOSTIC_MUX_CH5_6位功能描述

位	位名称	描述	复位	访问类型
[7:6]	RESERVED	保留。	0x0	R
[5:3]	CH6_DIAG_MUX_CTRL	通道6诊断多路复用器控制。选择 $\pm 10V$ 范围。 000: 选择模拟输入引脚。 001: 选择温度传感器。芯片温度 = (输出电压 – 0.17267)/0.0004832 + 25°C。 010: 选择2.5V。 011: 选择ALDO 1.8V $\times 4$ 。 100: 选择ALDO 1.8V $\times 4$ 。 101: 选择 V_{DRIVE} 。 110: 选择AGND。 111: 选择 AV_{CC} 。	0x0	R/W
[2:0]	CH5_DIAG_MUX_CTRL	通道5诊断多路复用器控制。选择 $\pm 10V$ 范围。 000: 选择模拟输入引脚。 001: 选择温度传感器。芯片温度 = (输出电压 – 0.17267)/0.0004832 + 25°C。 010: 选择2.5V。 011: 选择ALDO 1.8V $\times 4$ 。 100: 选择ALDO 1.8V $\times 4$ 。 101: 选择 V_{DRIVE} 。 110: 选择AGND。 111: 选择 AV_{CC} 。	0x0	R/W

地址: 0x2B; 复位: 0x00; 名称: DIAGNOSTIC_MUX_CH7_8

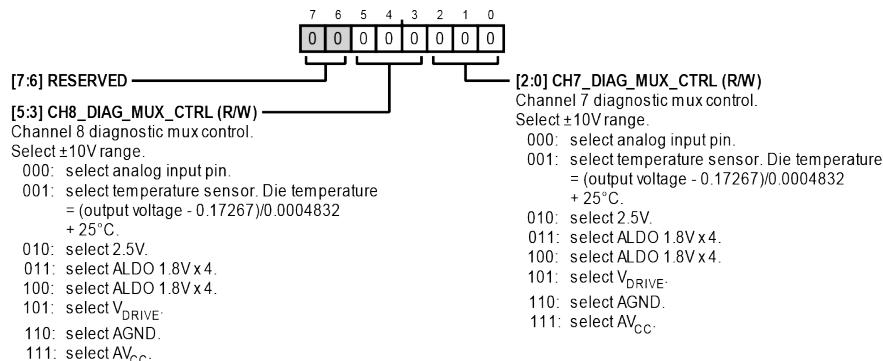


表73. DIAGNOSTIC_MUX_CH7_8位功能描述

位	位名称	描述	复位	访问类型
[7:6]	RESERVED	保留。	0x0	R
[5:3]	CH8_DIAG_MUX_CTRL	通道8诊断多路复用器控制。选择 $\pm 10V$ 范围。 000: 选择模拟输入引脚。 001: 选择温度传感器。芯片温度 $= (\text{输出电压} - 0.17267)/0.0004832 + 25^{\circ}\text{C}$. 010: 选择2.5 V。 011: 选择ALDO 1.8 V $\times 4$ 。 100: 选择ALDO 1.8 V $\times 4$. 101: 选择 V_{DRIVE} 。 110: 选择AGND。 111: 选择 AV_{CC} 。	0x0	R/W
[2:0]	CH7_DIAG_MUX_CTRL	通道7诊断多路复用器控制。选择 $\pm 10V$ 范围。 000: 选择模拟输入引脚。 001: 选择温度传感器。芯片温度 $= (\text{输出电压} - 0.17267)/0.0004832 + 25^{\circ}\text{C}$. 010: 选择2.5 V。 011: 选择ALDO 1.8 V $\times 4$ 。 100: 选择ALDO 1.8 V $\times 4$. 101: 选择 V_{DRIVE} 。 110: 选择AGND。 111: 选择 AV_{CC} 。	0x0	R/W

地址: 0x2C; 复位: 0x00; 名称: OPEN_DETECT_QUEUE

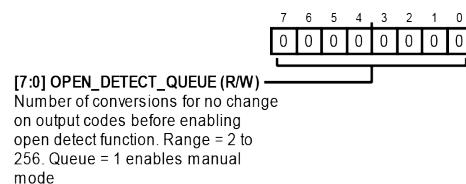


表74. OPEN_DETECT_QUEUE位功能描述

位	位名称	描述	复位	访问类型
[7:0]	OPEN_DETECT_QUEUE	输出代码无变化的转换次数，达到此次数后使能开路检测功能。 范围 = 2到256。队列 = 1使能手动模式。	0x0	R/W

AD7606B

地址: 0x2D; 复位: 0x00; 名称: FS_CLK_COUNTER

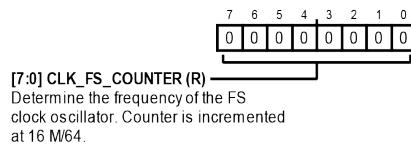


表75. FS_CLK_COUNTER位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CLK_FS_COUNTER	确定FS时钟振荡器的频率。计数器以16 M/64递增。	0x0	R

地址: 0x2E; 复位: 0x00; 名称: OS_CLK_COUNTER

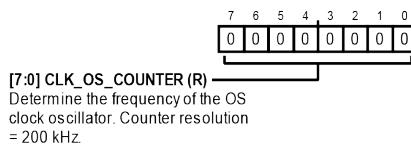


表76. OS_CLK_COUNTER位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CLK_OS_COUNTER	确定OS时钟振荡器的频率。计数器分辨率 = 200 kHz。	0x0	R

地址: 0x2F; 复位: 0x14; 名称: ID

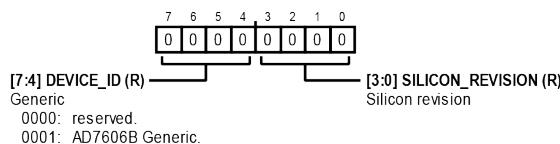
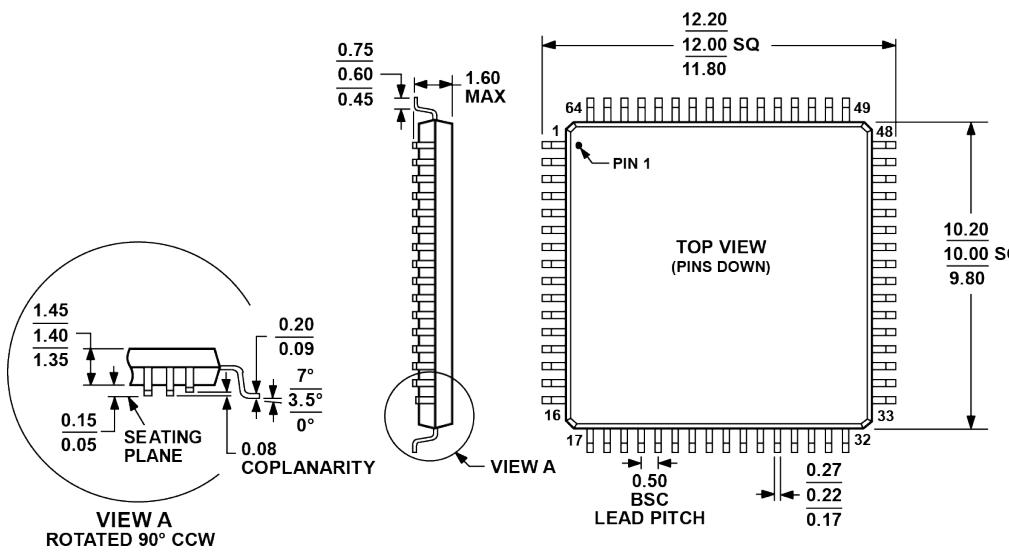


表77. ID的位功能描述

位	位名称	描述	复位	访问类型
[7:4]	DEVICE_ID	通用。 0000: 保留。 0001: AD7606B通用	0x1	R
[3:0]	SILICON_REVISION	芯片版本。	0x4	R

外形尺寸



COMPLIANT TO JEDEC STANDARDS MS-026-BCD

051706-A

图88. 64引脚薄型四方扁平封装[LQFP]

(ST-64-2)

图示尺寸单位：毫米

订购指南

型号 ¹	温度范围(T_j)	封装描述	封装选项
AD7606BBSTZ	-40°C至+125°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
AD7606BBSTZ-RL	-40°C至+125°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
EVAL-AD7606BFMCZ		AD7606B评估板	
EVAL-SDP-CH1Z		评估控制板	

¹ Z = 符合RoHS标准的器件。

