



國立清華大學

資訊工程學系

系統整合專題實作

---

專題題目：

## 電源網路繞線自動化設計

專題學生：102062131 王祥至

102062132 林育輝

102062139 羅嘉諄

102062230 張晁偉

102062336 楊峻瑋

指導教授： 王廷基 教授

日期： 105 年 10 月 7 日

## 一、題目敘述

### 1. 前言：

電源網路繞線是 Electronic design automation (EDA)最重要的議題之一，應在減少繞線資源的使用及降低電壓的耗損之間找到平衡點。而此問題中，在一個 chip 上，有許多 power sources 及 blocks，每個 block 上的 power pins 需與對應的 power source 正確連接，才得以有輸入電壓讓功能正常運作。進行繞線時，應盡可能使用最少繞線資源，並且符合以下限制條件

### 2. 限制：

- (一)有多層 metal layer 供繞線使用，並且線路只能走水平、垂直、換層，同層間線路不能互相重疊。
- (二)每層 metal layer 的 cost 皆不一樣，越上層 cost 越小。
- (三)符合 spacing 的限制(線與線、線與 block 之間的間距)。
- (四)可在給定的線寬範圍內，對線寬進行調整。

### 3. 輸入：

- (一) block.lef：  
記錄 block 的大小以及位置還有 power pin 在 block 上的相對位置以及大小。
- (二) caseX.v：  
記錄 power sources 連接到 blocks 上各個 power pin 的資訊(以 verilog 格式描述)。
- (三) caseX\_input.def：  
給定 chip size, power sources 及 blocks 的座標資訊。
- (四) initial\_files：  
各金屬層的 cost 以及各 power source 的初始電壓，以及 block 上 power pin 的電流。
- (五) tech.lef：  
給定各金屬層的單位面積電阻值、線寬範圍、via 的類型和電阻。

### 4. 輸出：

- (一) SPICE Netlist：以點與線的格式描述線路與 via 的電阻
- (二) DEF：描述輸出線路的路徑。
- (三) Metal usage report：整體線路使用資源的情形(各金屬層使用面積乘上 cost 之總和)。
- (四) IR-Drop Report：將 SPICE Netlist 作為 ngspice tool 的 input，可計算出各 power pins 上的電壓，在與對應 power source 比較後計算出電壓降。

## 二、繞線方法開發及實作

### 1. 繞線方法設計：

(一) 概念：方法上我們以 maze routing 為主要想法，首先定義出最小單位，依此將繞線圖以最小單位切割成格子圖，並給予每格不同的權重，使得起點至終點傾向走權重加總最小的路徑，並且不可重疊。實作過程中，若發現有格子被不同的線重覆經過，便會將經過此格子的路徑拔掉，並把此格子的權重加重，使這些路徑重繞時會盡量避免經過此格子，以達到路徑不重疊的目的。

(二) 流程：

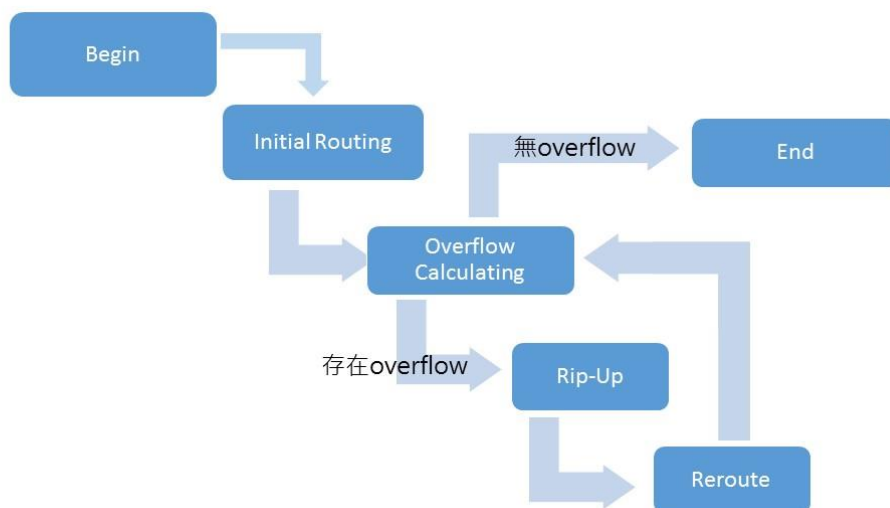
(1). Initial routing: 將各個 power source 與其目標 pin 以 maze routing 的方式，找出其合理的最短路徑，並先不考慮各個方格被重複使用的情況。

(2). Overflow Calculating: 計算每個方格可被使用次數與已被使用次數的差，若此差大於 0，則稱此格子為 overflow。若全部皆無 overflow，則繞線即為完成。

(3). Rip-up: 將所有 overflow 的格子計算完後，在其中挑出 overflow number 最大的格子進行 Rip-up。進行拔掉重繞的動作，也就是將經過其格子的所有線路在繞線圖上全數拔除。並依序將這些線路丟入 Reroute Queue 中進行 Reroute。並將此格子的權重提高，使其進行下階段的繞線時，能避免被重複使用。

(4). Reroute: 在 Reroute Queue 中，將各個線路依序重繞。繞完後回到第二步驟。

(三) 流程圖：

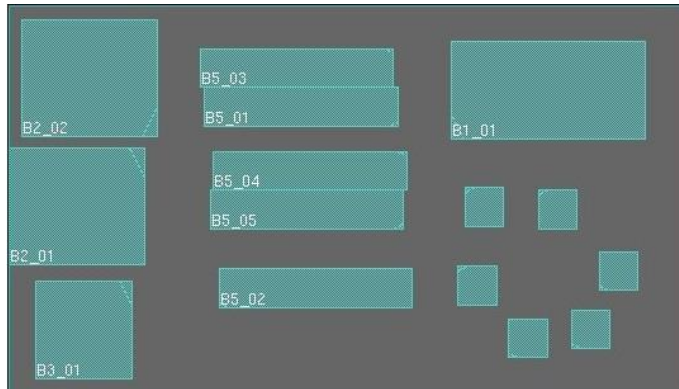


## 2. 輸出與結果：

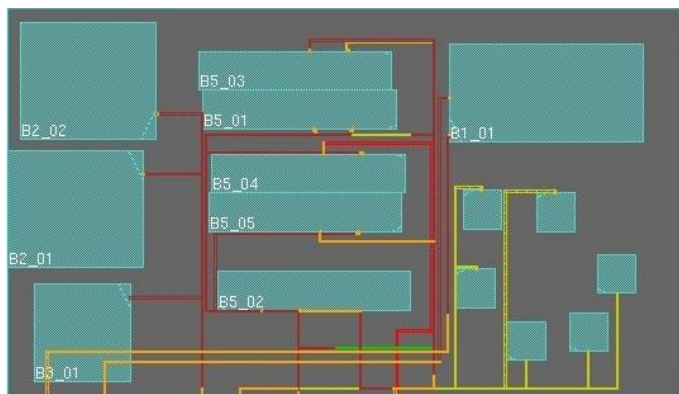
### (一) 測資敘述：

- Blocks：5 種規格，共 15 個。每種 block 所佔據的金屬層不盡相同，且每種 block 上皆有一個或多個 power pins（共計 21 個）。
- Power sources：6 個。每個 source 皆須接上 1~5 個分布在不同 blocks 上的 power pins。
- 可使用金屬層數為 6 層。

### (二) 繞線前後比對(使用 Cadence Encounter 繪製)：



▲ 繞線前



▲ 繞線後

|            |  |
|------------|--|
| METAL2(M2) |  |
| VIA23(V23) |  |
| METAL3(M3) |  |
| VIA34(V34) |  |
| METAL4(M4) |  |
| VIA45(V45) |  |
| METAL5(M5) |  |
| VIA56(V56) |  |
| METAL6(M6) |  |

▲ 為繞線與 via 所在金屬層顏色對照表

(三) 輸出：

(1) DEF (用來定義 physical layout，以其中的 power source - VDD3 為例)

```
SPECIALNETS 6 ;
- VDD3
+ FIXED METAL6 8000 + SHAPE STRIPE ( 1005000 0 ) ( * 39000 )
NEW METAL5 8000 + SHAPE STRIPE ( 1005000 31000 ) ( * 1459000 )
NEW METAL5 8000 + SHAPE STRIPE ( 1009000 1455000 ) ( 771000 * )
NEW METAL6 8000 + SHAPE STRIPE ( 779000 1455000 ) ( 764000 * )
NEW METAL6 8000 + SHAPE STRIPE ( 1005000 0 ) ( * 39000 )
NEW METAL5 8000 + SHAPE STRIPE ( 1005000 31000 ) ( * 1149000 )
NEW METAL5 8000 + SHAPE STRIPE ( 1009000 1145000 ) ( 701000 * )
NEW METAL6 8000 + SHAPE STRIPE ( 709000 1145000 ) ( 697000 * )
NEW METAL6 8000 + SHAPE STRIPE ( 1005000 0 ) ( * 39000 )
NEW METAL5 8000 + SHAPE STRIPE ( 1005000 31000 ) ( * 509000 )
NEW METAL5 8000 + SHAPE STRIPE ( 1009000 505000 ) ( 633000 * )
NEW METAL6 0 ( 1005000 35000 ) via5_B
NEW METAL6 0 ( 775000 1455000 ) via5_B
NEW METAL6 0 ( 1005000 35000 ) via5_B
NEW METAL6 0 ( 705000 1145000 ) via5_B
NEW METAL6 0 ( 1005000 35000 ) via5_B          :
;
END SPECIALNETS
```

(2) SPICE netlist (以點與線的格式描述線路與 via 的電阻，以其中的 power source - VDD3 為例)

```
# R=RESISTANCE RPERSQ* L/W
RVDD3_1 M5_1000000_39000 M5_1000000_1459000 7.1
RVDD3_2 M5_1000000_1459000 M5_771000_1459000 1.145
RVDD3_3 M6_1000000_0 M6_1000000_39000 0.0975
RVDD3_4 M6_771000_1459000 M6_764000_1459000 0.0175
RVDD3_5 M6_1000000_39000 M5_1000000_39000 5
RVDD3_6 M5_771000_1459000 M6_771000_1459000 5
RVDD3_7 M5_1000000_39000 M5_1000000_1149000 5.55
RVDD3_8 M5_1000000_1149000 M5_701000_1149000 1.495
RVDD3_9 M6_1000000_0 M6_1000000_39000 0.0975
RVDD3_10 M6_701000_1149000 M6_697000_1149000 0.01
RVDD3_11 M6_1000000_39000 M5_1000000_39000 5
RVDD3_12 M5_701000_1149000 M6_701000_1149000 5
RVDD3_13 M5_1000000_39000 M5_1000000_509000 2.35
```

```

RVDD3_14 M5_1000000_509000 M5_633000_509000 1.835
RVDD3_15 M6_1000000_0 M6_1000000_39000 0.0975
RVDD3_16 M6_1000000_39000 M5_1000000_39000 5
V_VDD3_1 M6_1000000_0 gnd 1
I_VDD3_1 M6_764000_1459000 gnd 0.004
I_VDD3_2 M6_697000_1149000 gnd 0.004
I_VDD3_3 M5_633000_509000 gnd 0.01
.tran 1ns 1ns
.end

```

### (3) Metal Usage Report

利用 DEF 的繞線結果得出每層金屬層導線使用的面積，並乘上金屬層的權重(在 input 中定義)得到整體 total metal usage。

#### ▼ metal usage report

```

M2 16384
M3 16864
M4 48984
M5 100048
M6 50912
Total 304596

```

#### ▼ The weights on metal layers defined in input file

```

M1 2.49
M2 2.07
M3 1.73
M4 1.44
M5 1.20
M6 1

```

### (4) Spice Simulation (模擬各 power pin 的電壓，用以計算電壓降，圖為部分結果)

| Node               | Voltage  |
|--------------------|----------|
| m6_200000_229000   | 0.997138 |
| m6_2279000_229000  | 0.97115  |
| m5_2279000_419000  | 0.943775 |
| m5_2279000_1339000 | 0.920775 |
| m6_200000_0        | 1        |
| m6_2279000_419000  | 0.968775 |
| m5_2289000_1339000 | 0.920525 |
| m5_2289000_1349000 | 0.920275 |
| m6_2289000_1349000 | 0.895275 |
| m6_2292000_1349000 | 0.895238 |
| m6_500000_179000   | 1.19911  |
| m6_2239000_179000  | 1.19041  |
| m5_2239000_179000  | 1.18041  |
| m5_2239000_1539000 | 1.16681  |
| m6_500000_0        | 1.2      |

### 三、 參賽成果

我們參加教育部所主辦的 ICCAD 2016 Contest 中的 Problem E，並獲選為 One of Top 4 Teams，而實際名次要等到 11 月底才會公布。依照歷年經驗，我們能得到佳作以上的成績。

### 四、 未來展望

就目前的成果來說，我們的結果已符合在實際繞線上所需的限制，並以驗證其正確性，但現階段的程式仍有改進的空間。而改進的方向如下：

#### 1. 降低電壓降：

經由前面得出的繞線結果，可以計算從 power source 到 power pin 之間的電阻，並寫入在輸出檔案中提到的 spice netlist 中。我們發現線路共用的情況很嚴重，若給予 power sources 輸入電壓及 power pins 固定電流(以方便評估電壓降情形)，會使得共用導線上通過的電流過大，進一步讓 block 上的 pins 的電壓過小(電壓降過大)，因此我們希望藉由增加分支，來分散連接到不同 power pin 的導線，避免一條導線上的電流過大，雖然會增加金屬的使用量，但可以達到降低電壓降的效果，如何在兩者之間取得平衡是我們將要面對的課題。

#### 2. 提高速度：

我們發現繞線所需的時間偏長，使得程式難以應付複雜度較高的情況，可能原因是 reroute 後線路出現 overflow 時，調整權重的方法不夠精準，無法確保在每次重繞之後皆能有效降低 overflow 的數量，最終導致多次執行 reroute 的步驟，讓程式執行時間太長。因此我們希望能找到一個更好的方法調整權重，使每次繞線產生的出的結果更為精確，來降低 reroute 的次數。

## 五、 分工情形（順序與貢獻比重無關）

輸入檔案讀取：林育輝、楊峻瑋、羅嘉諄、張晁偉

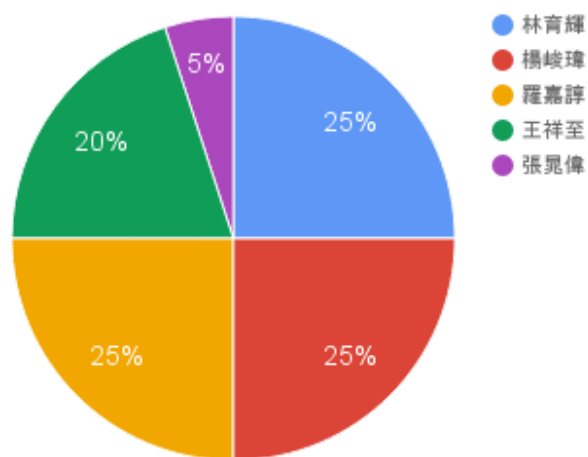
計算方法設計：林育輝、楊峻瑋、羅嘉諄、王祥至、張晁偉

計算方法實作：林育輝、楊峻瑋、羅嘉諄、王祥至

定義資料結構：林育輝、楊峻瑋、羅嘉諄

輸出：羅嘉諄、王祥至、張晁偉

分工比例



指導教授簽名： 王延峰