

分 数	
评卷人	

一、(14 分) 设有效信息位为 $D_1D_2D_3D_4 = 1011$ ，试采用基于偶校验的海明校验进行检错和纠错。

1) 给出海明码序列，指出哪些位对应数据位，哪些位对应校验位？

海明码序列为： $P_1P_2D_1P_3D_2D_3D_4$ ，其中第 1, 2, 4 位 (P_1, P_2, P_3) 为校验位，第 3, 5, 6, 7 位 (D_1, D_2, D_3, D_4) 为数据位。

2) 给出校验组分组规则，并给出各校验位逻辑表达式。

分组规则： P_1 负责校验第 1、3、5、7 位 (P_1, D_1, D_2, D_4) (H_3, H_5, H_7)
 P_2 负责校验第 2、3、6、7 位 (P_2, D_2, D_3, D_4) (H_3, H_6, H_7)
 P_3 负责校验第 4、5、6、7 位 (P_3, D_2, D_3, D_4) (H_5, H_6, H_7)

3) 给出发送方发送的海明校验码。

编码为： $P_1P_2D_1P_3D_2D_3D_4=0110011$

4) 如果接收方收到的有效信息变为 1010，说明如何定位错误并纠正错误。

接收方接到的编码变为：0110010，指错字的值为： $G_1=G_2=G_3=111$ 因此校验码第 7 位出错，纠错后得 0110010

5) 该编码纠错的前提是什么，能否区分一位错，两位错，如果假设没有三位错，如何识别一位错，两位错？

增加总校验位，检错字为 1，总检错码为 1 表示 1 位错，总检错码为零表示 2 位错。

分 数	
评卷人	

二、IEEE 754 标准包括半精度浮点数，它使用 16 位来存储，由 1 位符号位、5 位阶码（偏移量为 15）、以及 10 位尾数构成，其余格式规范与单精度和双精度浮点数相同。已知两个半精度浮点数的二进制表示， $X = 0111\ 1000\ 1100\ 1100$ ， $Y = 1111\ 0110\ 1010\ 1001$ ，回答以下三个问题。(14 分)

1) X 的阶码十进制值为_____，尾数真值的二进制表示为_____；
 Y 的阶码十进制值为_____，尾数真值的二进制表示为_____。

$X = 0111\ 1000\ 1100\ 1100$ ，阶码十进制值为 15，尾数二进制真值为 +1.00 1100 1100；

$Y = 1111 \underline{0110} 1010 \underline{1001}$, 阶码十进制值为 14, 尾数二进制真值为 -1.10 1010 1001。

- 2) 规格化的半精度浮点数的绝对值最小数为_____, 非规格化的半精度浮点数的绝对值最小数为_____。

规格化的半精度浮点数的绝对值最小数为 2^{-14} , 非规划化的为 2^{-24} 。

- 3) 计算 $X - Y$, 按照 IEEE 754 标准将运算结果表示为二进制形式, 并说明运算结果是否溢出。
需要给出关键计算过程, 采用两位保留附加位和 0 舍 1 入法。

计算 $X - Y$ 需要先对阶, 将 Y 右归一位, 阶码值为 15, 尾数真值为 -0.11 0101 0100 1

1.00 1100 1100 00

+ 0.11 0101 0100 10

= 10.00 0010 0000 10

运算结果右归一位, 阶码值加 1 = 1.000 0010 000 01

0 舍 1 入 = 1.000 0010 000

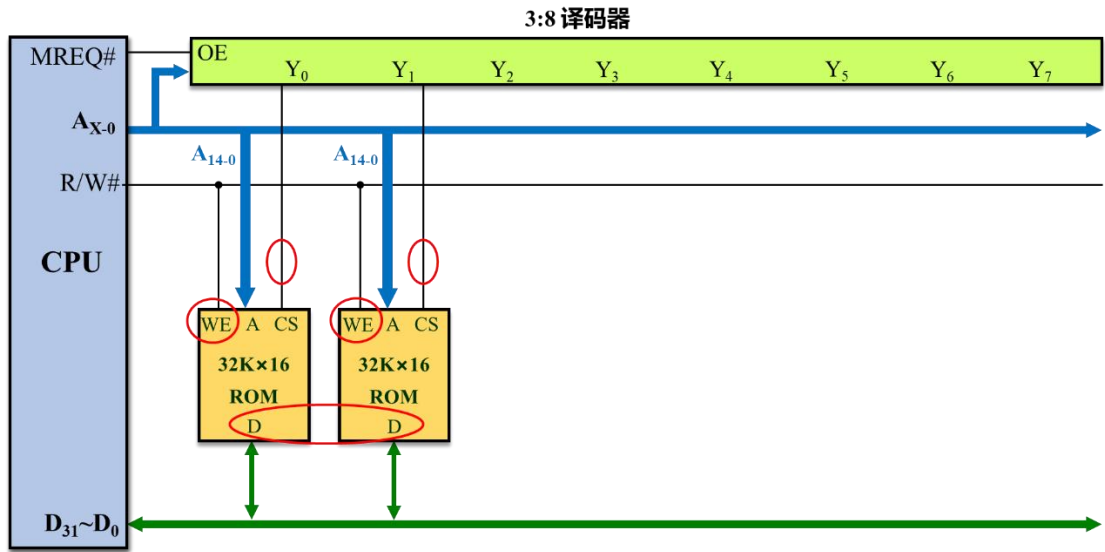
阶码十进制值为 $15+1 = 16$, 移码二进制表示为 1111 11, 运算上溢 (无穷大)。

分 数	
评卷人	

三、(12分) 某计算机字长为 32 位，主存容量为 $384\text{K} \times 32$ 位，按字编址，其地址空间分为三个部分： $00000\text{H} \sim 0\text{FFFFH}$ 是 ROM 区域， $10000\text{H} \sim 2\text{FFFFH}$ 是保留区域， $30000\text{H} \sim 5\text{FFFFH}$ 是 RAM 区域。要求使用 $32\text{K} \times 16$ 位的 ROM 芯片和 $128\text{K} \times 32$ 位的 RAM 芯片为该计算机设计一个主存储器。

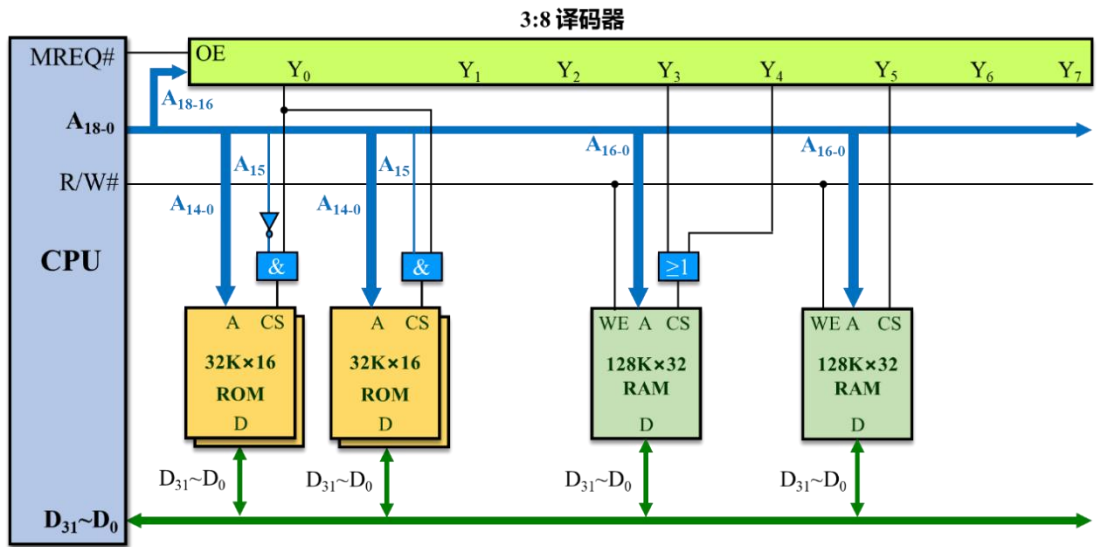
请回答以下问题。

- 1) 该主存的地址寄存器的位数最少是 19 位，需要 2 片 RAM 芯片。
- 2) 下图给出了 CPU 与存储芯片的连接电路示意图的一部分，其中包含若干错误，请一一指出并更正。



1. ROM CS 片选信号, 2. ROM R/W 信号, 3. ROM 需字长扩展。

- 3) 请将 CPU 与存储芯片的连接电路示意图补充完整，注意标注地址线连接编号。



分 数	
评卷人	

四、（16分）某机器字长为8位，主存按24位地址寻址，Cache每行数据块大小为64B，4路组相联（每组4行）。

1) 若映射地址中标记字段为9位，如果考虑有效位与脏位，求Cache的总容量；

计算出块内偏移地址为6位，则地址中Index字段的位数为 $24 - 6 - 9 = 9$ 位（2分）
 所以Cache的组数有512组（1分）
 每行Cache的容量为： $1 + 1 + 9 + 64 * 8 = 523 \text{bit}$ （2分）
 Cache的总容量为： $(1 + 1 + 9 + 64 * 8) * 512 * 4 = 1071104 \text{bit}$
 或 1046kb （1分）

2) 存储单元地址0xABCDE8H映射到Cache哪一组的哪一行（给出十进制答案）；

ABCDE8H 对应的二进制数为：1010 1011 1100 1101 1110 1000

根据本题组相联方式，对上述地址划分如下：

1010 1011 1 -- 100 1101 11 -- 10 1000

则主存地址ABCDE8H对应的数据块映射到Cache第100 1101 11B组的任意行（2分）

3) 有如下两个伪代码程序段A与B

```
int sumaryrows A(int A[64][64])
{
    int i,j,sum =0;
    for ( i =0 ; i< 64 ,i++)
        for ( j=0 ; j< 64 ,j++)
            sum += A[i][j];
    return sum ;
}
```

```
int sumaryrows B(int A[64][64])
{
    int i,j,sum =0;
    for ( j=0 ; j< 64 ,j++)
        for ( i=0 ; i< 64 ,i++)
            sum += A[i][j];
    return sum ;
}
```

假设int型为8位，分别求程序段A、B在本机的存储体系中对数组访问的Cache命中率，并从系统观的角度对计算结果进行简要分析；

由于本机Cache有512组，而数组中的数据只被分成了64个主存块，因此，不论是按行优先还是按列优先，主存的每块数据被调入Cache后，在程序运行期间都不会被替换出Cache，因此， $64 * 64 = 4096$ 次访问中，只有64次访问Cache不命中，

程序段A和B命中率均为： $(4096 - 64) / 4096 = 98.4\%$ （6分）

4) 说明存储体系中Cache存储层次的作用，并简要分析Cache存储层次能发挥这样作用的机理。

存储体系中Cache存储层次的作用：缓解快速CPU与慢速主存间速度的差异（2分）

实现上述目标的机理：利用局部性原理，包括时间局部性与空间局部性。（2分）

原因分析：由于按映射方式Cache实际提供的容量大于存放数组所实际需要的容量（2分）（只要答案中表达出这样的意思，都可给这2分）

分 数	
评卷人	

五、(12分) 现有一款24位的处理器，拥有24个24位的寄存器，可访问 2^{24} 字节的内存空间，无浮点指令，指令集与MIPS指令集类似，包括R型、I型、J型三类指令，定长指令格式，其中分支指令使用PC相对寻址，跳某计算机字长为16位，采用单字长指令格式和隐含寻址方式，其I型指令格式如图：



其中，R采用寄存器寻址，I采用立即数寻址、补码编码。

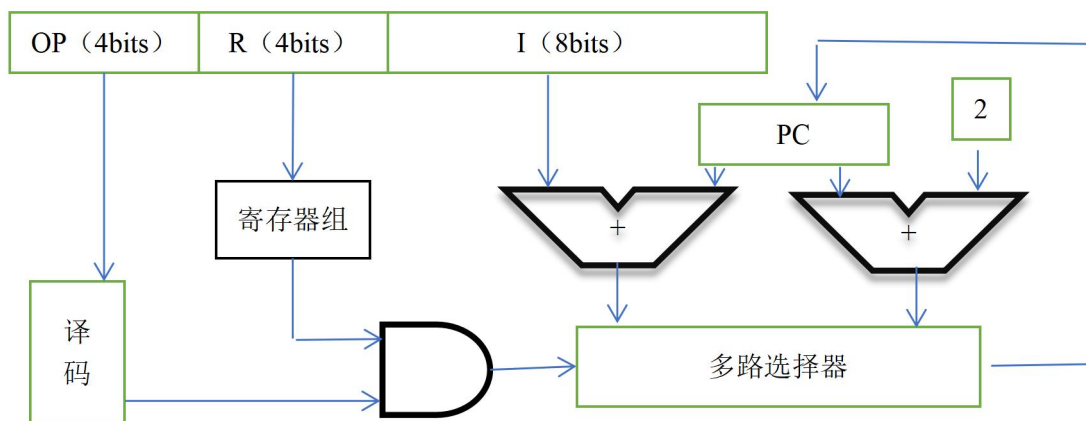
1. 该计算机最多有多少个通用寄存器？该指令格式最多支持多少I型指令？若LI指令将立即数I加载到寄存器R，最大可一次加载多大的立即数？ (3分)

有16个通用寄存器。最多支持16条I型指令。一次最大加载立即数127。

2. 若用I型指令加载大于8位的立即数 (1234H)，如何设计指令功能？需多少指令？ (3分)

需要两条I型指令。其中，LUI实现将立即数 (12H) 加载至寄存器高位；ORI实现将立即数 (34H) 与寄存器按位异或。

3. I型指令同时可用于条件跳转。其中，BZ指令实现当寄存器R的值为零时，以PC值为基址进行转移跳转。跳转的最大范围为多少？请画出该指令执行的数据通路示意图，并对主要部件的功能和PC计算方法进行说明。 (6分)



最大跳转范围为：PC-128 ~ PC+127

寄存器与译码信号按位与后对下一位PC值进行多路选择。若按位与的结果是1，下一位PC由PC+2得到，否则由PC+I得到。

分 数	
评卷人	

六、某计算机字长 32 位，支持下表中的五条 MIPS32 指令，CPU 内部采用单总线结构，具体数据通路如图所示。除多路选择器选择控制信号外，图中所有控制信号为 1 时表示有效、为 0 时表示无效，控制信号功能说明见表。

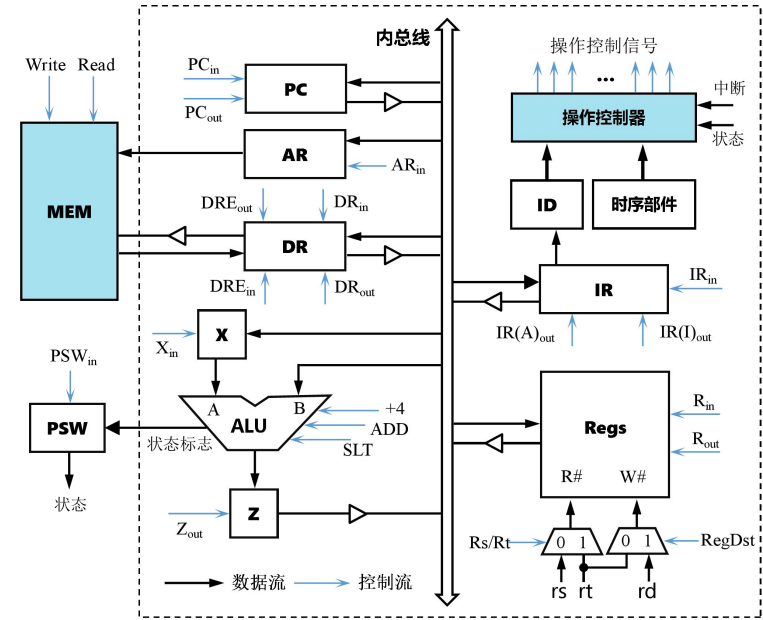


表 1、指令功能描述

#	指令	汇编代码	指令类型	RTL 功能说明
1	lw	lw rt,imm(rs)	I 型	$R[rd] \leftarrow M[R[rs] + \text{SignExt}(imm)]$
2	sw	sw rt,imm(rs)	I 型	$M[R[rs] + \text{SignExt}(imm)] \leftarrow R[rt]$
3	beq	beq rs,rt,imm	I 型	if($R[rs] == R[rt]$) $PC \leftarrow PC + 4 + \text{SignExt}(imm) \ll 2$
4	addi	addi rt,rs,imm	I 型	$R[rt] \leftarrow R[rs] + \text{SignExt}(imm)$
5	slt	slt rd,rs,rt	R 型	If ($rs < rt$) $R[rd] \leftarrow 1$ else $R[rd] \leftarrow 0$

表 2、控制信号功能描述

#	控制信号	功能说明
1	PCin	控制 PC 接收来自内总线的数据，需配合时钟控制
2	PCout	控制 PC 向内总线输出数据
3	ARin	控制 AR 接收来自内总线的数据，需配合时钟控制
4	DRin	控制 DR 接收来自内总线的数据，需配合时钟控制
5	DRout	控制 DR 向内总线输出数据
6	DREin	控制 DR 接收从主存读出的数据，需配合时钟控制
7	DREout	控制 DR 向主存输出数据，以便最后将该数据写入主存
8	Xin	控制暂存寄存器 X 接收来自内总线的数据，需配合时钟控制
9	+4	将 ALU A 端口的数据加 4 输出
10	ADD	控制 ALU 执行加法，实现 A 端口和 B 端口的两数相加
11	SLT	控制 ALU 执行 SLT 小于置位运算
12	PSWin	控制状态寄存器 PSW 接收 ALU 的运算状态，需配合时钟控制
13	Zout	控制 Z 向内总线输出数据

#	控制信号	功能说明
14	IRin	控制 IR 接收来自内总线的指令，需配合时钟控制
15	IR(A)out	控制 IR 中的分支目标地址输出到内总线，指令字中的立即数要转换成目标地址需要相应逻辑
16	IR(I)out	控制 IR 中的立即数输出到内部总线，指令字中的立即数符号扩展为 32 位才能输出
17	Write	存储器写命令，需配合时钟控制
18	Read	存储器读命令
19	Rin	控制寄存器堆接收来自内总线的的数据，写入 W#端口对应的寄存器中，需配合时钟控制
20	Rout	控制寄存器堆输出指定编号 R#寄存器的数据，该寄存器组为单端口输出
21	Rs/Rt	控制多路选择器选择送入 R#的寄存器编号，为 0 时送入指令字中 rs 字段，为 1 时送入 rt
22	RegDst	控制多路选择器选择送入 W#的寄存器编号，为 0 时送入指令字中的 rt 字段，为 1 时送入 rd

当 ALU 两操作数相等时，equal 状态信号输出为 1，否则为零，equal 信号与运算无关。

- 1) 在单总线结构中 Z 寄存器为什么没有使能控制信号，会带来什么问题？（2 分）

每个时钟到来都会自动锁存数据，所以正确的运算数据必须及时在下一个时钟传输到正确的为止，不然就会带来数据混乱。

- 2) 如果采用定长指令周期设计三级时序设计硬布线控制器，一个指令周期包含 3 个机器

周期，每个机器周期包含 4 个时钟节拍，如果采用现代时序设计硬布线控制器，

那么指令周期最短需要 7 个时钟节拍，最长需要 9 个时钟节拍。

（4 分）

- 3) 控制信号中哪些信号是互斥的，如果采用编码表示法，微指令控制字段为多少位？（5 分）

PCout、DRout、IR(A)out、IR(I)out、Rout、Zout 3 位 减少 3 位

ADD/SUB/+4 2 位 减少 1 位

READ/WRITE

共减少 4 位，需要 17 位

4) 采用微程序设计操作控制器，计数器法，取指微程序已经给出，请用 16 进制完成如下填空。
(7 分)

		<div><div><div>PC_{out}</div><div>DR_{out}</div><div>Z_{out}</div><div>R_{out}</div><div>IR(I)_{out}</div><div>IR(A)_{out}</div><div>DRE_{out}</div><div>PC_{in}</div><div>AR_{in}</div><div>DRE_{in}</div><div>DR_{in}</div><div>X_{in}</div><div>R_{in}</div><div>IR_{in}</div><div>PSW_{in}</div><div>Rs/Rt</div><div>RegDst</div><div>ADD</div><div>+4</div><div>SUB</div><div>Read</div><div>Write</div><div>P_{IR}</div><div>P_{equal}</div><div>P_{end}</div></div></div>																								
功能	微地址	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	P ₀	P ₁	P ₂
取指	0	1								1			1													
	1																			1						
	2			1					1		1											1				
	3		1												1									1		
lw				1									1													
					1					1									1							
			1								1															
												1										1				
			1											1												1

取指微程序最后一条微指令字 P 字段为 4/1

lw 指令第 1 条微指令字控制字段为 40400，P 字段为 0

lw 指令第 2 条微指令字控制字段为 20010，P 字段为 0

lw 指令第 5 条微指令字控制字段为 100200，P 字段为 1/4 (16 进制填写)

5) 实验中采用了单级中断，如果同一时刻有 A, B 两个中断产生，系统响应了 A 中断服务程序，当执行完 A 中断服务程序后，下一条指令执行什么，请给出原因？(3 分)

下一条指令进入主程序执行一条，再响应 B 中断，开中断是再 ERET 指令中同步开中断，需要进入下一条指令才能响应中断。

分 数	
评卷人	

七、有一台计算机 CPU 的主频为 2.5GHz，CPI 为 8。该计算机接有一台外部设备，以 64 位为传输单位。该外部设备实现数据传输有两种选择：中断方式和 DMA 方式。请完成下面各题。（12 分）

1) 请补充完成下述关于中断方式与 DMA 方式的比较。（4 分）

- (1) 中断通过程序传送数据，DMA 靠 硬件 来实现。
- (2) 中断时机为两指令之间，DMA 响应时机为两 存储 之间。
- (3) DMA 仅挪用了一个存储周期，不改变 CPU 现场。
- (4) DMA 请求的优先权比中断请求 高。

2) 假定该外设采用中断方式与主机进行数据传送。外设与的数据传输率为 8MB/s。对应的中断服务程序包含 21 条指令，中断服务的其他开销相当于 4 条指令的执行时间。请问 CPU 可用于 I/O 的时间的百分比是多少？（4 分）

每传输 64bit (8B)，需一次中断，

所需 CPU 开销 $T_{I/O} = (21+4) \times CPI \times T = 25 \times 8 / 2.5GHz = 8 \times 10^{-8}$ 秒

传输 64bit 需要的总时间 $T_{total} = 64 / 8MB/s = 1 \times 10^{-6}$ 秒

CPU 可用于 I/O 的时间的百分比 = $T_{I/O} / T_{total} = 8\%$

3) 如改用 DMA 方式,假设 CPU 只安排 0.8%的时间用于 I/O。DMA 传送块大小为 10KB, 且 DMA 预处理和后处理的总开销为 400 个时钟周期, 则可支持的最大数据传输率是多少? (假定 DMA 与 CPU 之间没有访存冲突) (4 分)

传输 10KB, 需一次 DMA, 所需 CPU 开销 $T_{IO} = 400 \times T = 400 / 2.5GHz = 1.6 \times 10^{-7}s$

所以可支持的最大数据传输率为: $10KB / (T_{IO} / 0.008) = 10 \times 10^3 / (2 \times 10^{-5}) = 500MB/S$