

플립플롭 (Flip-Flop)

01. 기본적인 플립플롭

02. S-R 플립플롭

03. D 플립플롭

04. J-K 플립플롭

05. T 플립플롭

06. 비동기 입력

07. 플립플롭의 동작특성

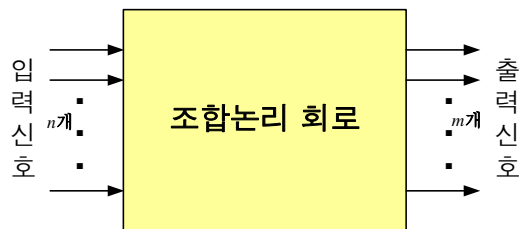
01 기본적인 플립플롭



- 플립플롭(flip-flop)과 래치(latch)는
 - ✓ 순차회로에 사용되는 1비트 기억소자
 - ✓ 0과 1로 표현되는 두 개의 안정 상태(bistable)를 가짐
 - ✓ 게이트로 구성되지만 조합회로와 달리 **피드백**이 있다.
 - ✓ 플립플롭은 클록(또는 제어신호)에 동기화
 - ✓ 래치는 클록없이 입력이 바로 적용

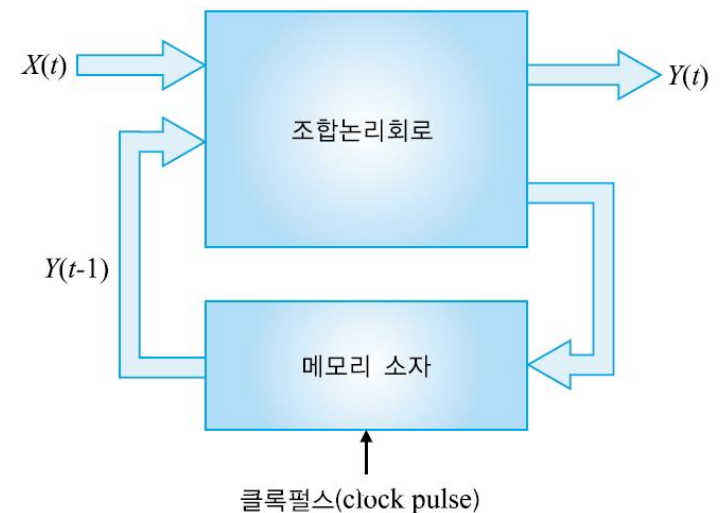
<조합논리회로>

가산기, 디코더, 인코더, 멀티플렉서



<순차논리회로>

플립플롭, 카운터, 레지스터



01 기본적인 플립플롭



NOR 게이트로 구성된 SR 래치

S	R	$Q(t+1)$
0	0	$Q(t)$ (불변)
0	1	0
1	0	1
1	1	(부정)

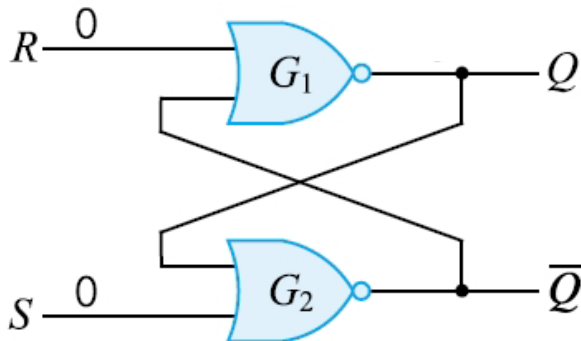
진리표



NOR 게이트 진리표

A	B	F
0	0	-
0	1	-
1	0	-
1	1	-

(1) $S = 0, R = 0$ 일 때

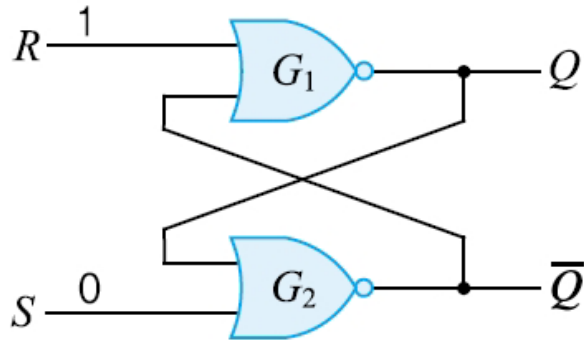


👉 출력은 현재상태 유지

01 기본적인 플립플롭

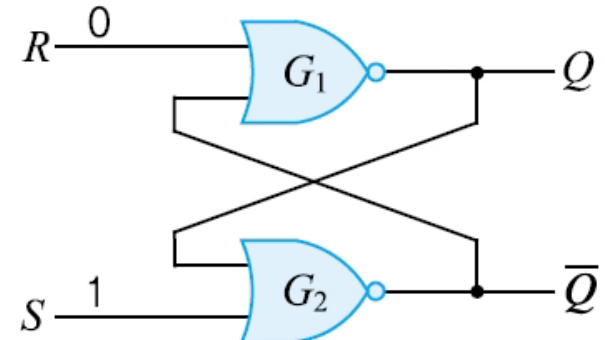


(2) $S = 0, R = 1$ 일 때



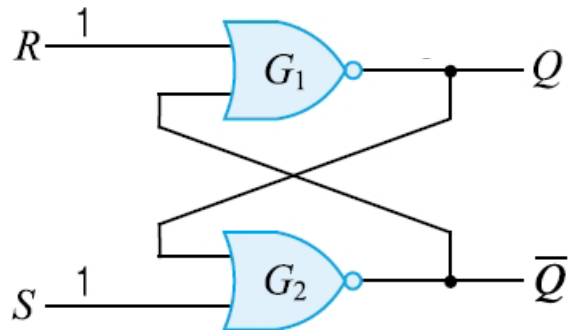
👉 출력 : $Q = 0$

(3) $S = 1, R = 0$ 일 때



👉 출력 : $Q = 1$

(4) $S = 1, R = 1$ 일 때



👉 출력 : 부정 ($Q = 0, \bar{Q} = 0$)

S	R	$Q(t+1)$
0	0	$Q(t)$ (불변)

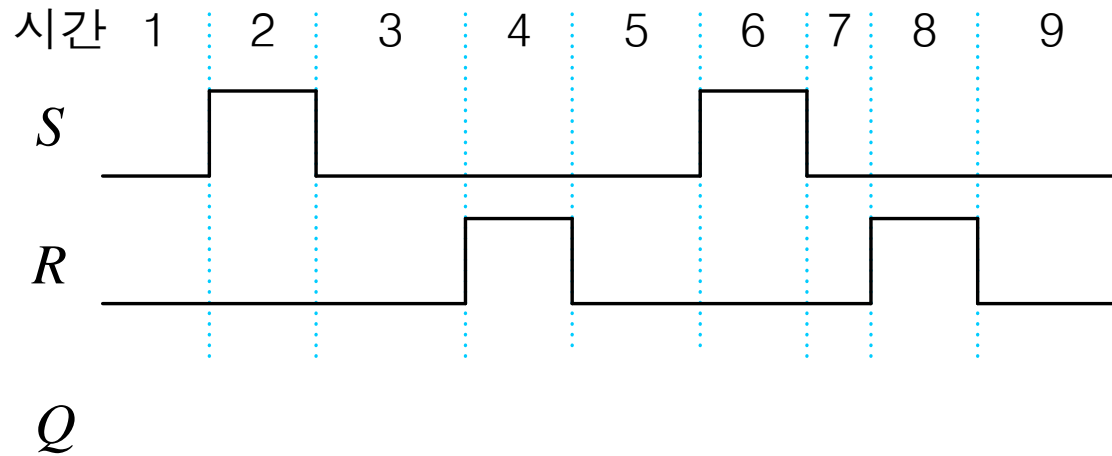
01 기본적인 플립플롭



예제 8-1

그림과 같은 파형을 NOR 게이트 SR 래치회로에 인가하였을 때, 출력 Q 의 파형을 그려 보아라. 단, Q 는 0으로 초기화되어 있으며, 게이트에서의 전파지연은 없는 것으로 가정한다.

풀이

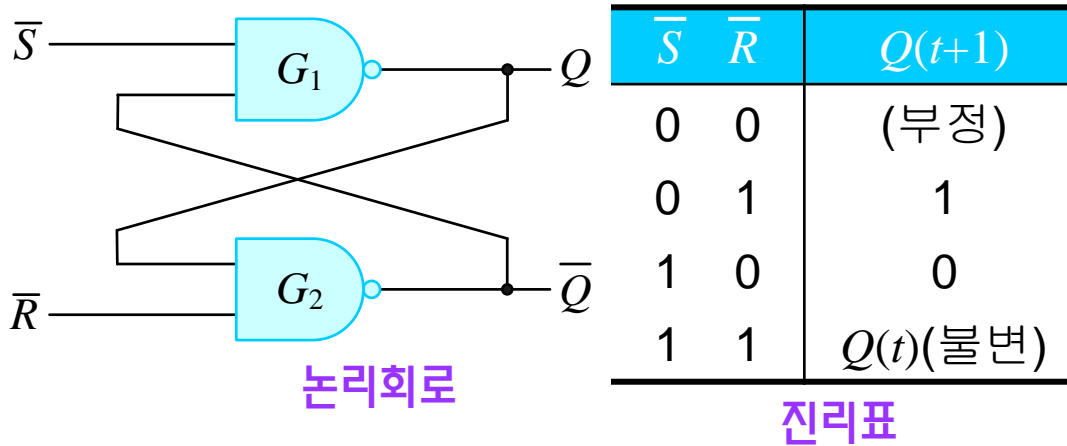


S	R	Q(t+1)
0	0	Q(t)(불변)
0	1	0
1	0	1
1	1	(부정)

01 기본적인 플립플롭



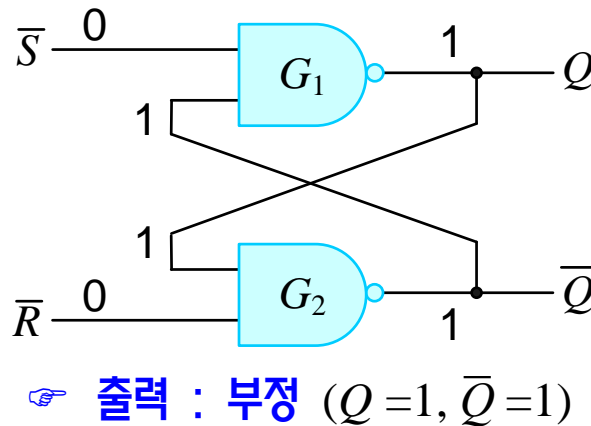
NAND 게이트로 구성된 SR 래치



NAND 게이트 진리표

A	B	F
0	0	—
0	1	—
1	0	—
1	1	—

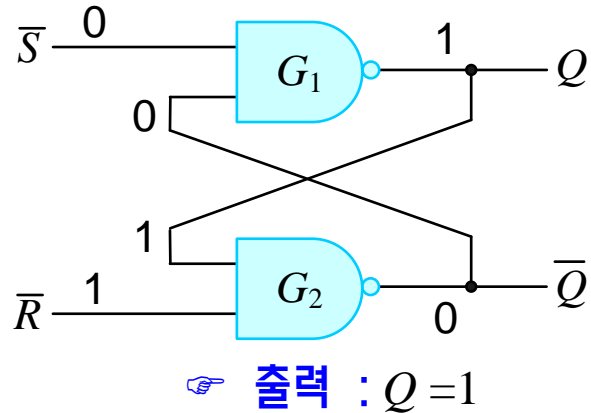
■ $\bar{S} = 0, \bar{R} = 0$ 일 때



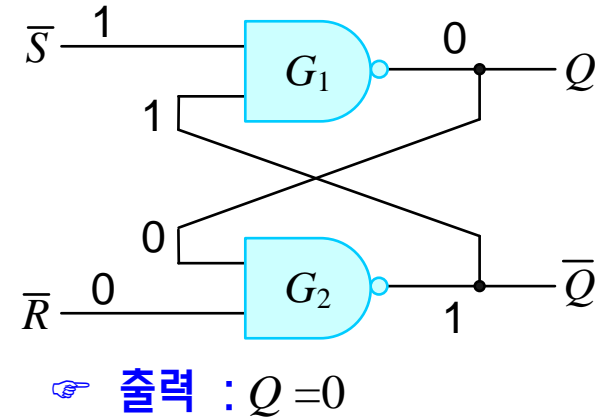
01 기본적인 플립플롭



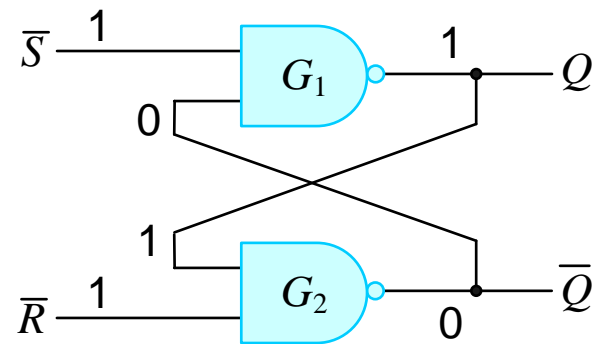
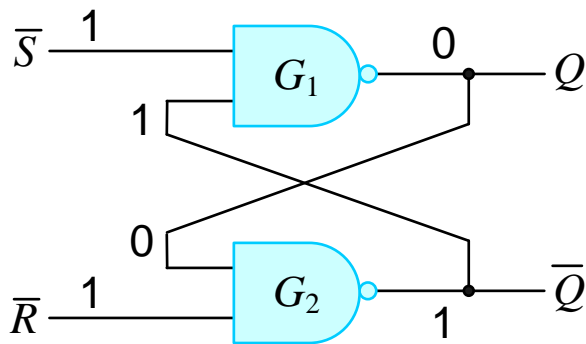
■ $\bar{S} = 0, \bar{R} = 1$ 일 때



■ $\bar{S} = 1, \bar{R} = 0$ 일 때



■ $\bar{S} = 1, \bar{R} = 1$ 일 때



출력은 현재상태 유지

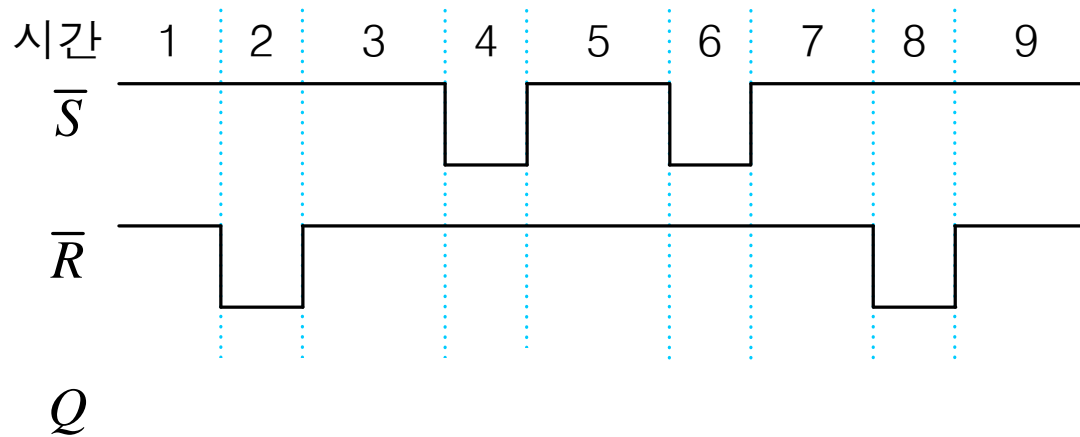
01 기본적인 플립플롭



예제 8-2

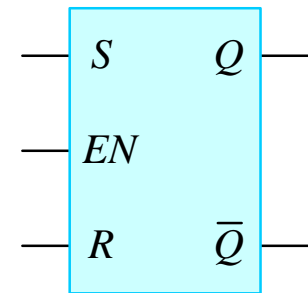
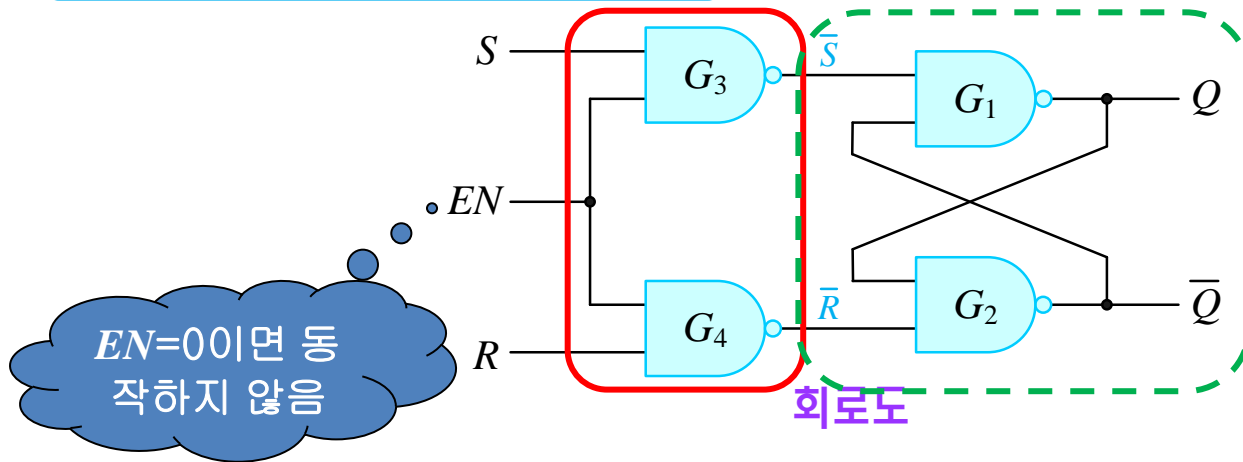
그림과 같은 파형을 NAND 게이트 SR 래치회로에 인가하였을 때, 출력 Q 의 파형을 그려 보아라. 단, Q 는 0으로 초기화되어 있으며, 게이트에서의 전파지연은 없는 것으로 가정한다.

풀이





게이티드 SR 플립플롭



논리기호

□ 동작상태

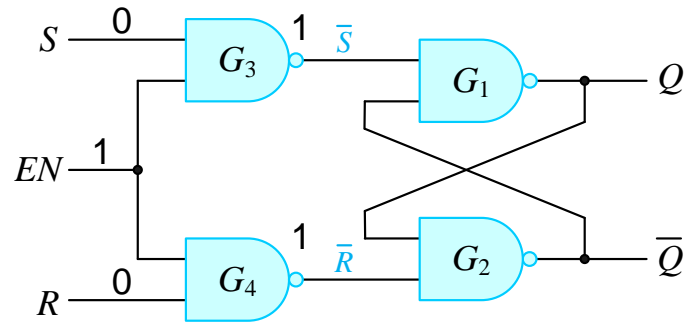
$EN=0$ 인 경우	
$EN=1$ 인 경우	

Gated SR 플립플롭을 Gated SR 래치라고도 한다.

02 SR 플립플롭



① $S = 0, R = 0$ 일 때



☞ $\bar{S} = 1, \bar{R} = 1$ 인 경우이므로 출력은 불변

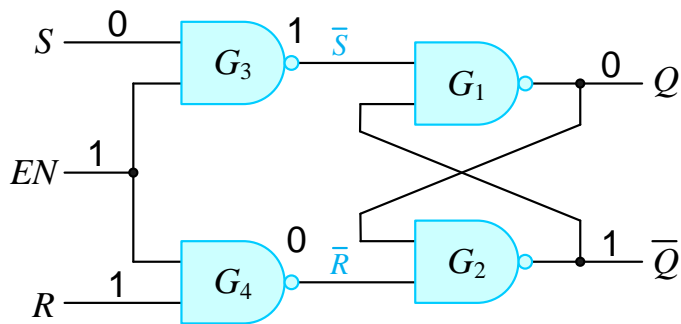


Tip

NAND 게이트 SR 래치회로 진리표

\bar{S}	\bar{R}	$Q(t+1)$
0	0	부정
0	1	1
1	0	0
1	1	$Q(t)$ (불변)

② $S = 0, R = 1$ 일 때

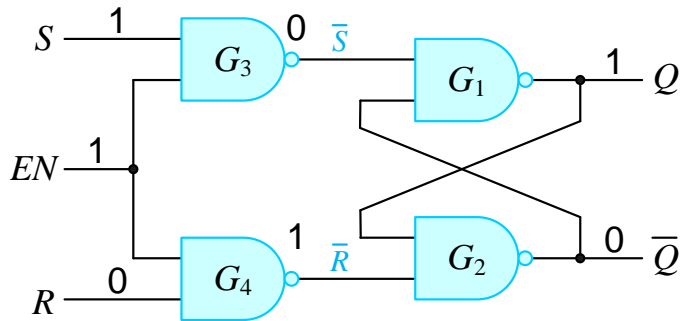


☞ $\bar{S} = 1, \bar{R} = 0$ 인 경우이므로 $Q=0$

02 SR 플립플롭



③ $S = 1, R = 0$ 일 때



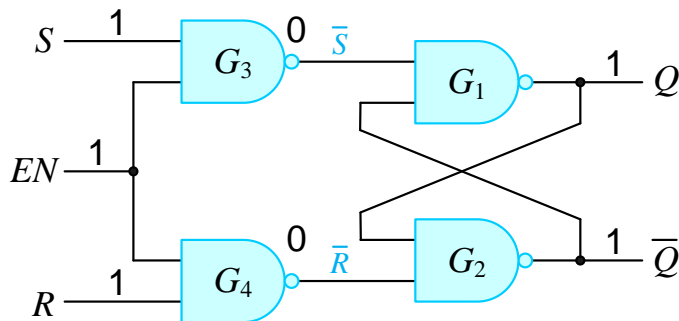
☞ $\bar{S} = 0, \bar{R} = 1$ 인 경우이므로 $Q=1$



NAND 게이트 SR 래치회로 진리표

\bar{S}	\bar{R}	$Q(t+1)$
0	0	부정
0	1	1
1	0	0
1	1	$Q(t)$ (불변)

④ $S = 1, R = 1$ 일 때



☞ $\bar{S} = 0, \bar{R} = 0$ 인 경우이므로 출력은 부정

02 SR 플립플롭



EN	S	R	$Q(t+1)$
1	0	0	$Q(t)$ (불변)
1	0	1	0
1	1	0	1
1	1	1	부정

SR 플립플롭의 진리표

$Q(t)$	S	R	$Q(t+1)$
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

SR 플립플롭의 특성표

특성 방정식
(characteristic equation)

$Q(t)$: 현재 상태
 $Q(t+1)$: 다음 상태

$Q(t) \backslash SR$	00	01	11	10
0			X	1
1	1		X	1

Diagram showing the characteristic equation derivation from the Karnaugh map. A red box highlights the cells where $S=1$ (SR=11 and SR=10). A blue box highlights the cells where $\bar{R}Q(t)=1$ (SR=00 and SR=10). Arrows point from these boxes to the variables S and $\bar{R}Q(t)$ in the equation below.

$$Q(t+1) = S + \bar{R}Q(t), \quad SR = 0$$

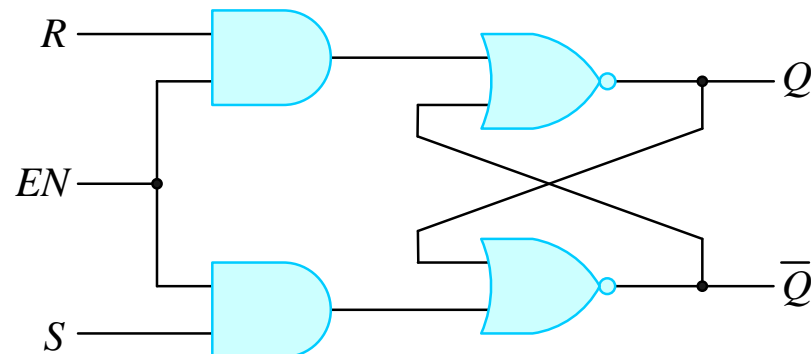


SR 플립플롭의 상태도



$Q(t)$	S	R	$Q(t+1)$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	(부정)
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	(부정)

□ 게이티드 SR 플립플롭(NOR형)

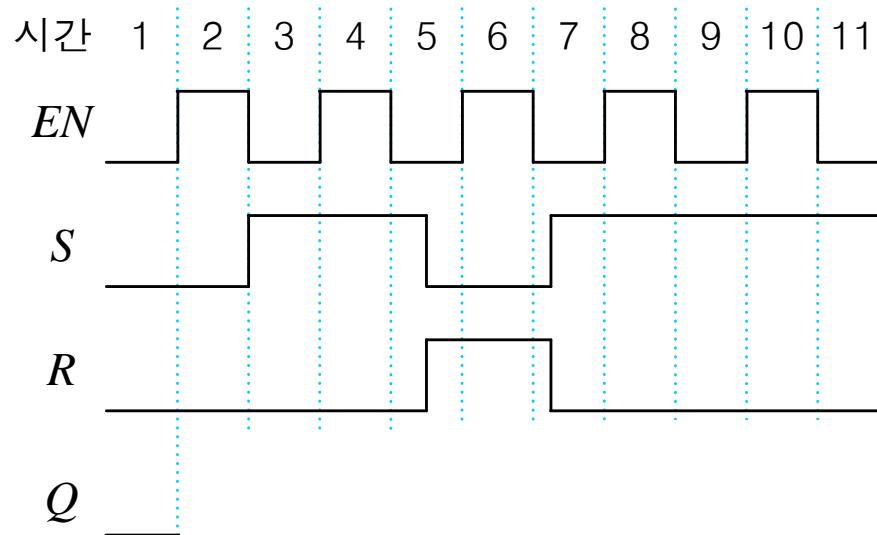


$EN=0$ 이면 동작하지 않음



예제 8-3

그림과 같은 파형을 클록형 S - R 플립플롭에 인가하였을 때, 출력 Q 의 파형을 그려 보아라. 단, Q 는 0으로 초기화되어 있으며, 게이트에서의 전파지연은 없는 것으로 가정한다.

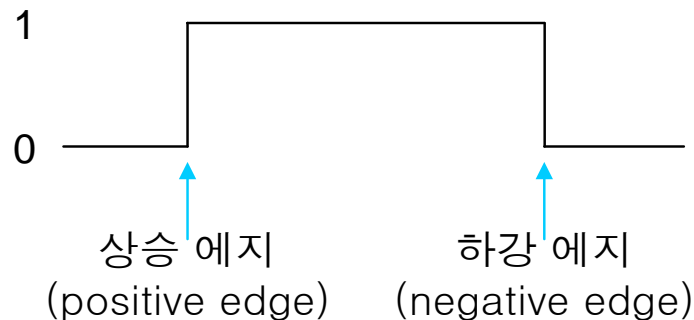


EN	S	R	$Q(t+1)$
1	0	0	$Q(t)$ (불변)
1	0	1	0
1	1	0	1
1	1	1	부정



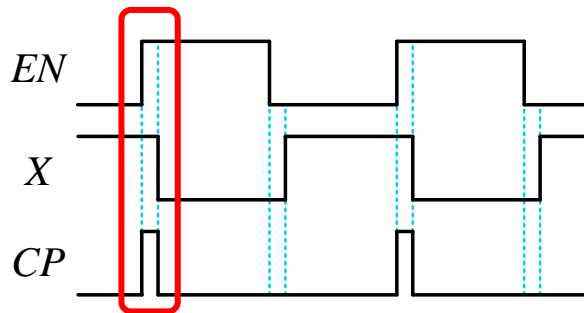
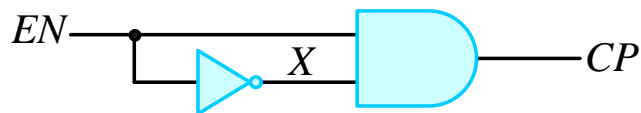
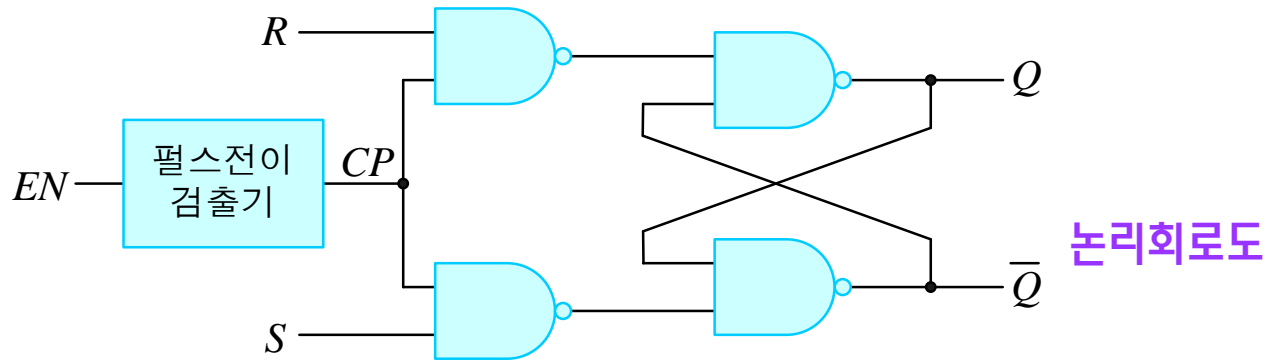
에지 트리거 SR 플립플롭

- 게이트드 SR 플립플롭은 $EN=1$ 인 상태에서 모든 동작이 수행
- 플립플롭의 동작시간보다도 EN 의 지속시간이 길면 플립플롭은 여러 차례 동작이 수행되기 때문에 예측치 못한 동작을 할 여지가 충분
- 이를 위해 에지 트리거(edge trigger)를 이용
- 트리거 종류 : 레벨(level) 트리거, 에지(edge) 트리거
- 게이트드 플립플롭은 레벨 트리거로 동작
- 에지 트리거는 플립플롭의 내부 구조를 바꾸어 클록이 0에서 1로 변하거나 1에서 0으로 변할 때의 순간에만 입력을 받아들이게 하는 방법

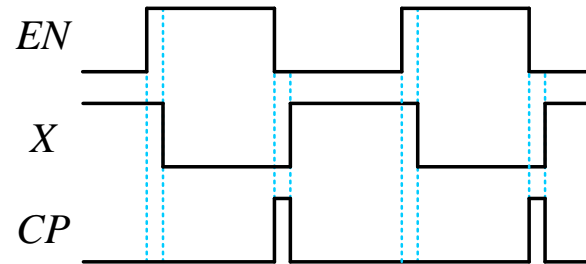
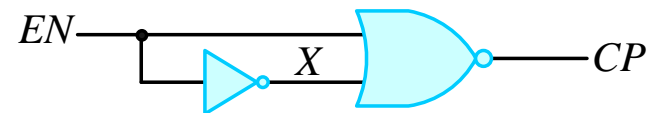




□ 에지 트리거 SR 플립플롭



상승에지 펄스전이검출기

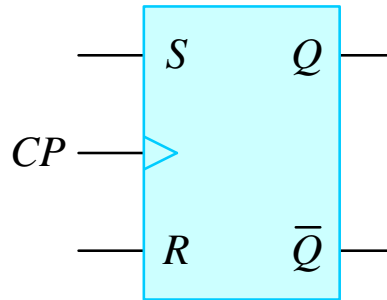


하강에지 펄스전이검출기

- S와 R입력을 동기입력(synchronous input)이라 한다.

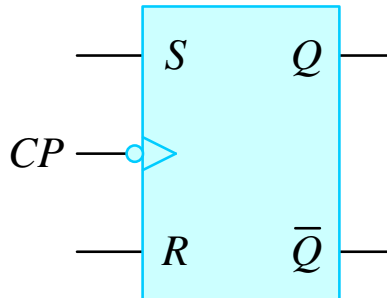


□ 에지 트리거 SR 플립플롭의 논리기호와 진리표



CP	S	R	$Q(t+1)$
\uparrow	0	0	$Q(t)$ (불변)
\uparrow	0	1	0
\uparrow	1	0	1
\uparrow	1	1	부정

상승에지 트리거 SR 플립플롭



CP	S	R	$Q(t+1)$
\downarrow	0	0	$Q(t)$ (불변)
\downarrow	0	1	0
\downarrow	1	0	1
\downarrow	1	1	부정

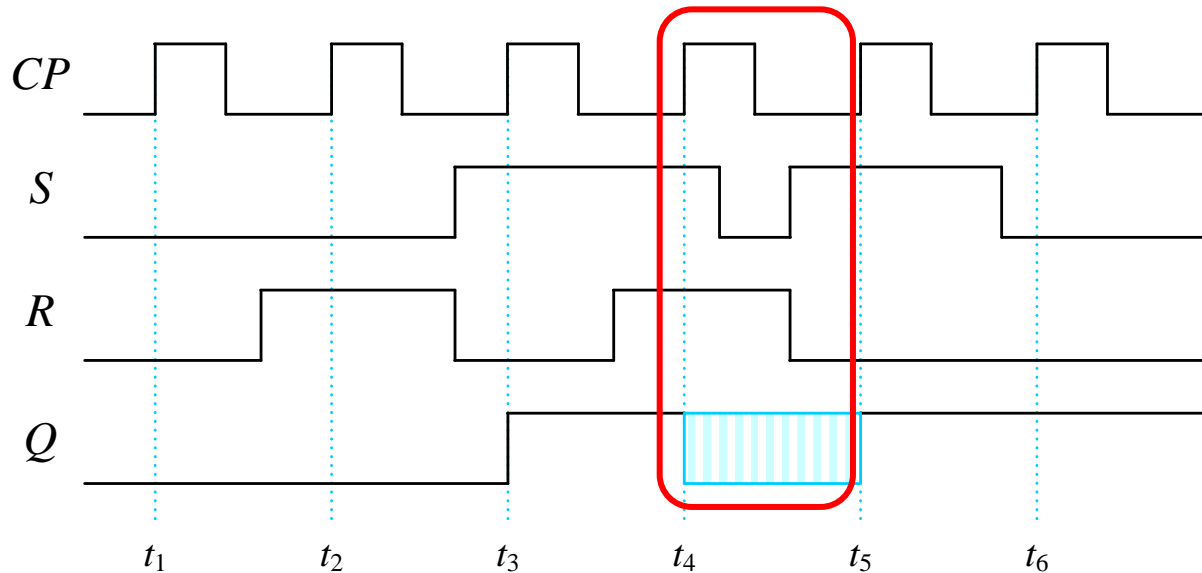
하강에지 트리거 SR 플립플롭



예제 8-4

그림과 같은 파형을 상승에지 SR 플립플롭에 인가하였을 때, 출력 Q 의 파형을 그려 보아라. 단, Q 는 0으로 초기화되어 있으며, 게이트에서의 전파지연은 없는 것으로 가정한다.

풀이

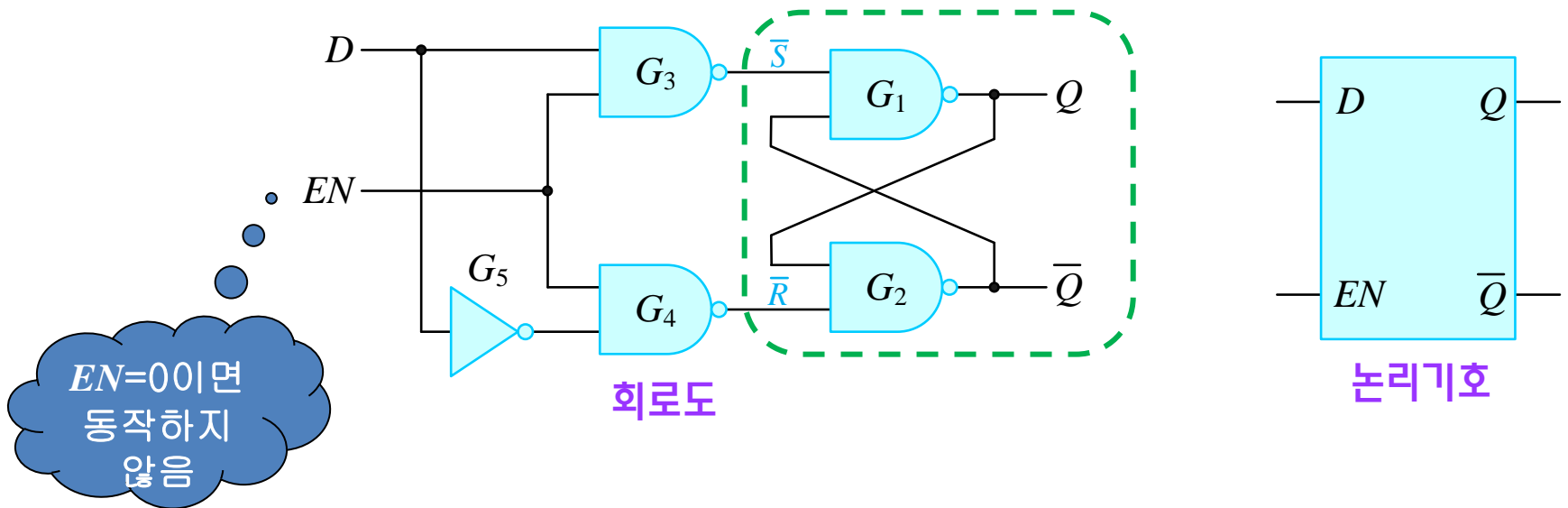




게이티드 D 플립플롭

- 게이티드 SR 플립플롭에서 원하지 않는 상태($S=R=1$)를 제거하는 한 가지 방법
- 게이티드 D 플립플롭(Gated D Flip-Flop)은 게이티드 SR 플립플롭을 변형한 것
- 입력신호 D 가 EN 에 동기되어 그대로 출력에 전달되는 특성을 가지고 있음
- **D 플립플롭**이라는 이름은 데이터(Data)를 전달하는 것과 지연(Delay)하는 역할에서 유래

03 D 플립플롭



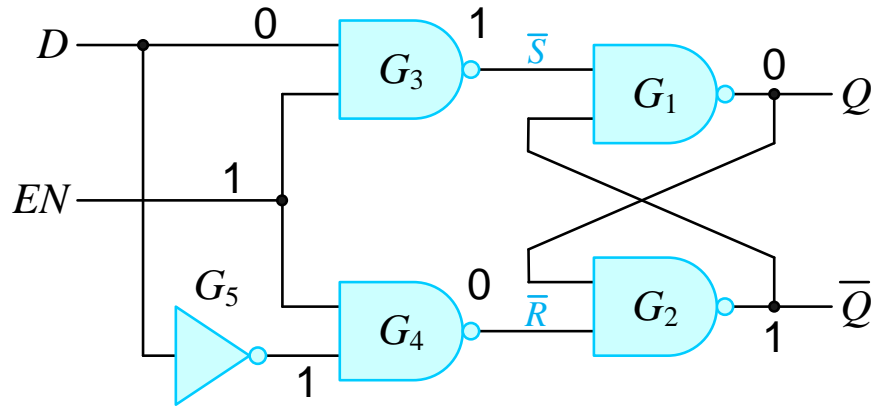
$EN=0$ 이면 D 입력에 관계없이 앞 단의 NAND 게이트 G_3 과 G_4 의 출력이 1이므로 플립플롭의 출력은 불변

Gated D 플립플롭을 Gated D 래치라고도 한다.

03 D 플립플롭

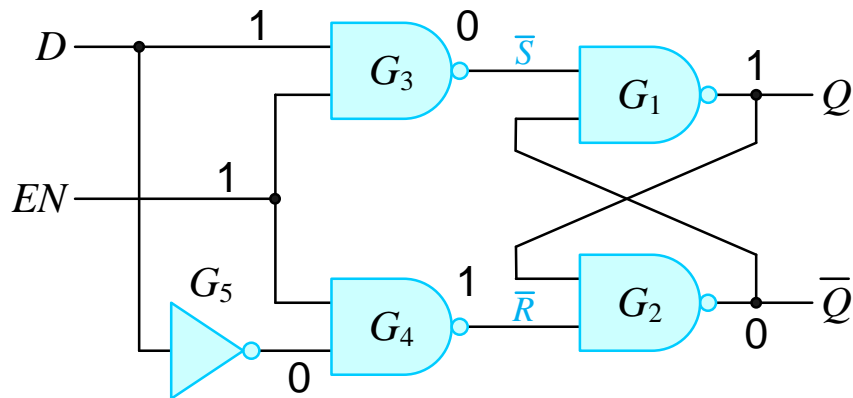


■ $D = 0$ 일 때



☞ $\bar{S} = 1, \bar{R} = 0$ 인 경우이므로 $Q = 0$

■ $D = 1$ 일 때



☞ $\bar{S} = 0, \bar{R} = 1$ 인 경우이므로 $Q = 1$



Tip

NAND 게이트 SR 래치회로 진리표

\bar{S}	\bar{R}	$Q(t+1)$
0	0	부정
0	1	1
1	0	0
1	1	$Q(t)$ (불변)

EN	D	$Q(t+1)$
1	0	0
1	1	1

EN	S	R	$Q(t+1)$
1	0	0	$Q(t)$ (불변)
1	0	1	0
1	1	0	1
1	1	1	부정

03 D 플립플롭



EN	D	$Q(t+1)$
1	0	0
1	1	1

D 플립플롭의 진리표

$Q(t)$	D	$Q(t+1)$
0	0	0
0	1	1
1	0	0
1	1	1

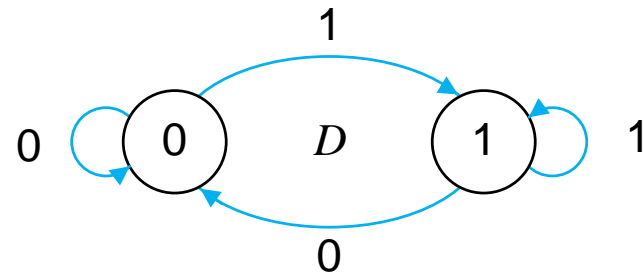
D 플립플롭의 특성표

$Q(t) \backslash D$	0	1
0		1
1		1

$$Q(t+1) = D$$

특성 방정식
(characteristic equation)

$Q(t)$: 현재 상태
 $Q(t+1)$: 다음 상태



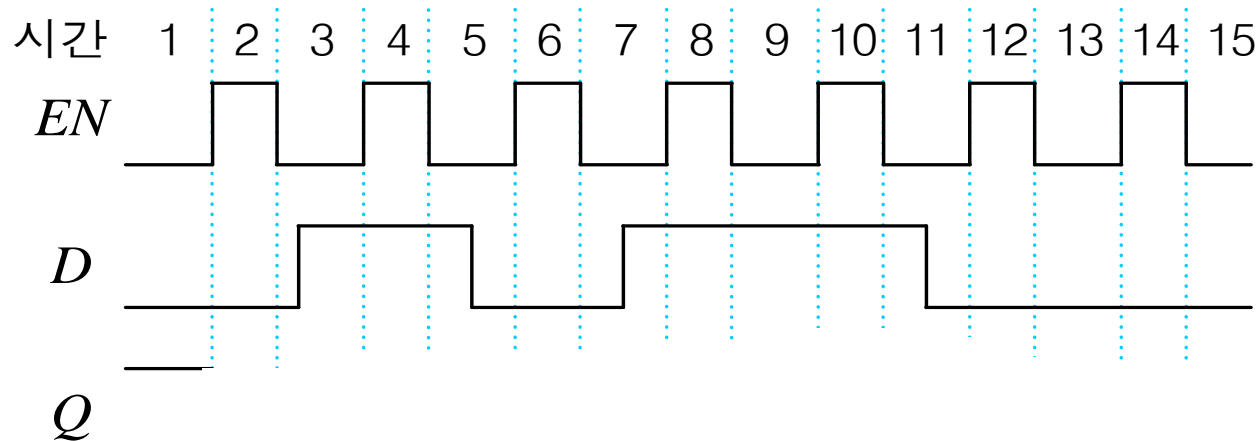
D 플립플롭의 상태도



예제 8-5

그림과 같은 파형을 게이트드 D 플립플롭에 인가하였을 때, 출력 Q 의 파형을 그려 보아라. 단, Q 는 1로 초기화되어 있으며, 게이트에서의 전파지연은 없는 것으로 가정한다.

풀이

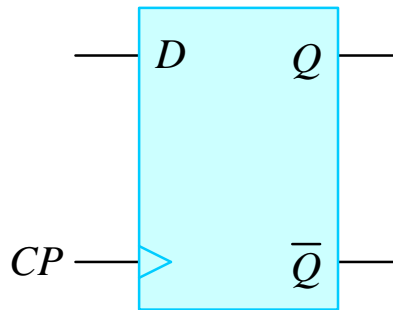


EN	D	$Q(t+1)$
1	0	0
1	1	1



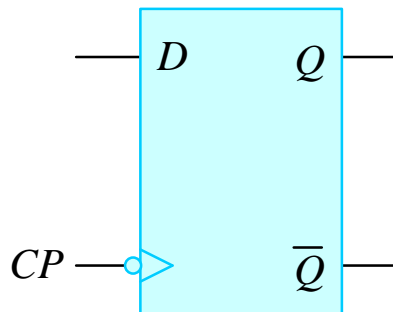
에지 트리거 D 플립플롭

- 게이티드 D 플립플롭의 EN 입력에 펄스전이검출기를 추가하여 구성



CP	D	$Q(t+1)$
\uparrow	0	0
\uparrow	1	1

상승에지 트리거 D 플립플롭의 논리기호 및 진리표



CP	D	$Q(t+1)$
\downarrow	0	0
\downarrow	1	1

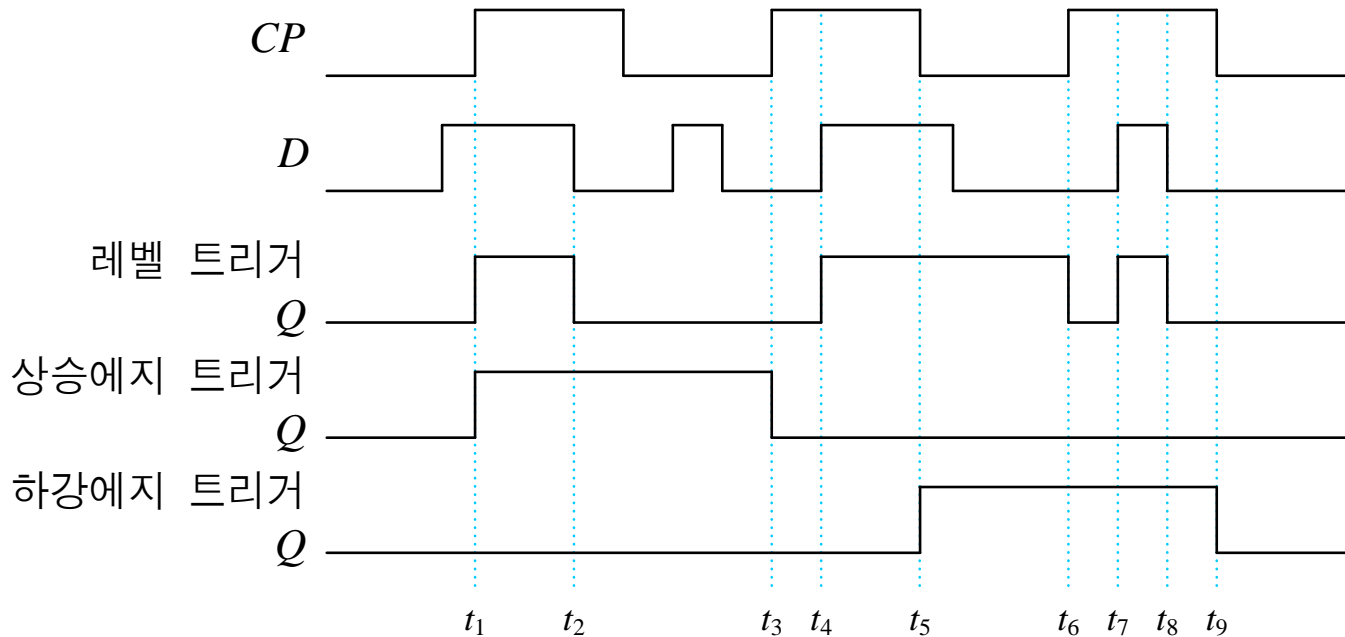
하강에지 트리거 D 플립플롭의 논리기호 및 진리표



예제 8-6

그림과 같이 파형의 신호가 레벨 트리거, 상승에지 트리거 그리고 하강에지 트리거를 하는 D 플립플롭으로 입력되는 경우 출력 파형을 그려보아라. 단, 출력 Q 는 0으로 초기화되어 있으며, 게이트에서의 전파지연은 없는 것으로 가정한다.

풀이





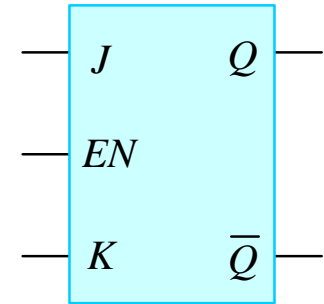
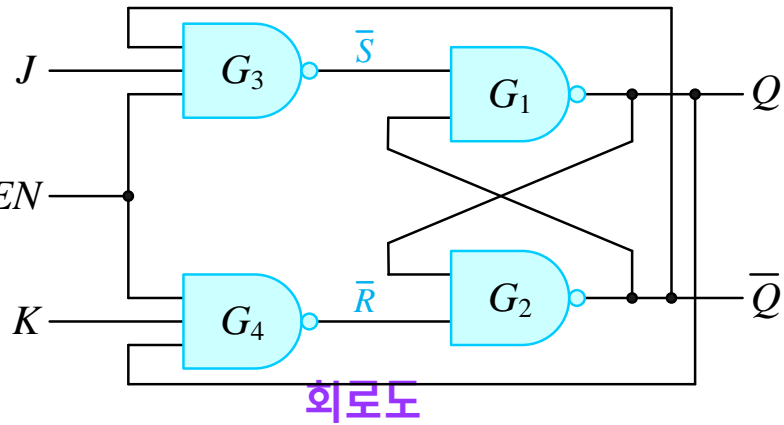
게이티드 JK 플립플롭

- ❖ J - K 플립플롭은 S - R 플립플롭에서 $S=1, R=1$ 인 경우 출력이 불안정한 상태가 되는 문제점을 개선하여 $S=1, R=1$ 에서도 동작하도록 개선한 회로
- ❖ J - K 플립플롭의 J 는 S (set)에, K 는 R (reset)에 대응하는 입력
- ❖ $J=1, K=1$ 인 경우 J - K 플립플롭의 출력은 이전 출력의 보수 상태로 변화
- ❖ J - K 플립플롭은 플립플롭 중에서 가장 많이 사용되는 플립플롭이다.

04 JK 플립플롭



$EN=0$ 이면
동작하지
않음



논리기호

$EN=0$ 이면 J 와 K 입력에 관계없이 앞 단의 NAND 게이트 G_3 과 G_4 의 출력이 플립플롭의 출력은



Tip

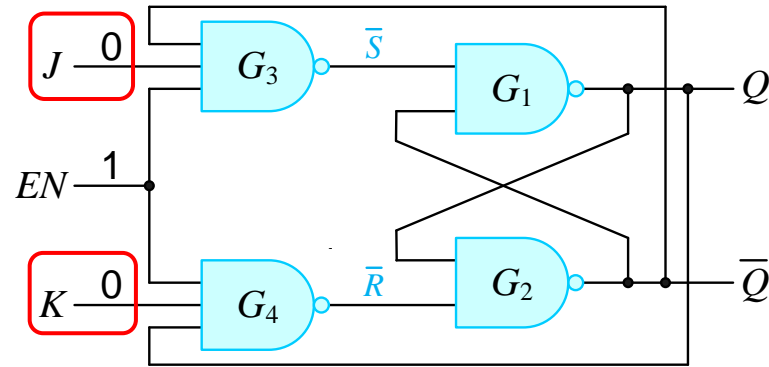
NAND 게이트 SR 래치회로 진리표

\bar{S}	\bar{R}	$Q(t+1)$
0	0	—
0	1	—
1	0	—
1	1	—

04 JK 플립플롭



① $J = 0, K = 0$ 일 때

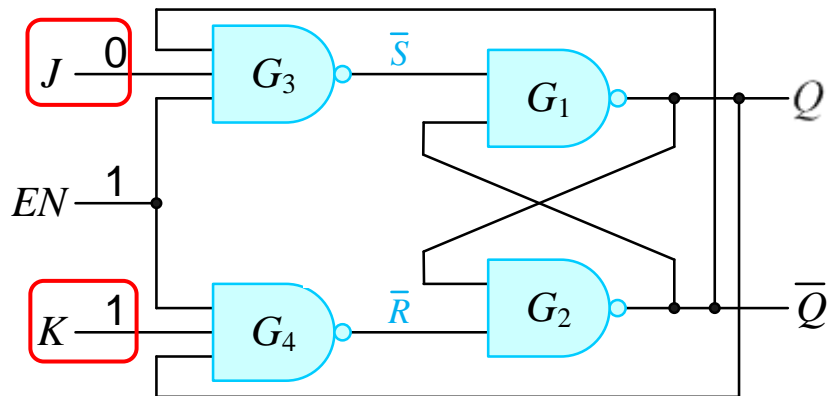


Tip

NAND 게이트 SR 래치회로 진리표

\bar{S}	\bar{R}	$Q(t+1)$
0	0	—
0	1	—
1	0	—
1	1	—

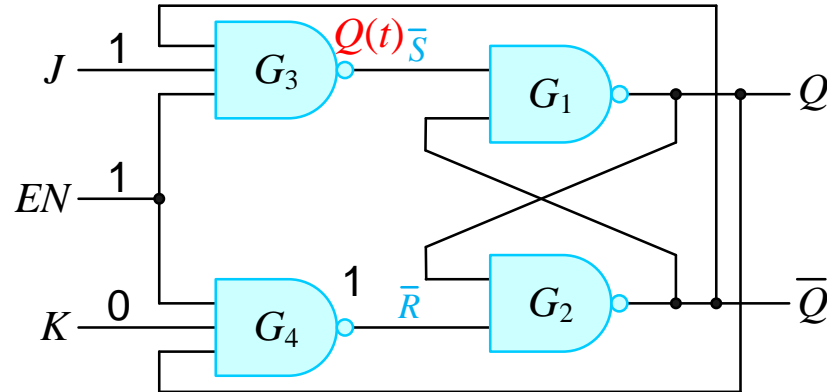
② $J = 0, K = 1$ 일 때



04 JK 플립플롭



③ $J = 1, K = 0$ 일 때



☞ $Q(t)=0$ 이면, $\bar{S} = 0, \bar{R} = 1$ 이므로 $Q(t+1)=1$
 $Q(t)=1$ 이면, $S = 1, R = 1$ 이므로 $Q(t+1)=1 \Rightarrow Q(t+1)=1$

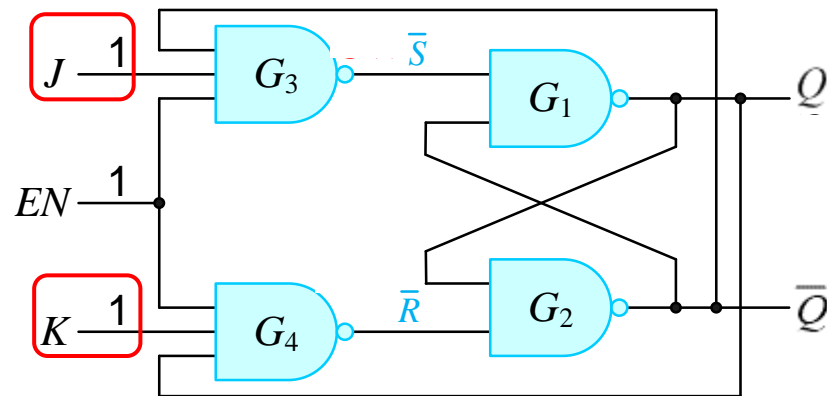


Tip

NAND 게이트 SR 래치회로 진리표

\bar{S}	\bar{R}	$Q(t+1)$
0	0	부정
0	1	1
1	0	0
1	1	$Q(t)$ (불변)

④ $J = 1, K = 1$ 일 때



04 JK 플립플롭



CP	J	K	$Q(t+1)$
1	0	0	$Q(t)$ (불변)
1	0	1	0
1	1	0	1
1	1	1	$\overline{Q}(t)$ (toggle)

클록형 J - K 플립플롭의 진리표

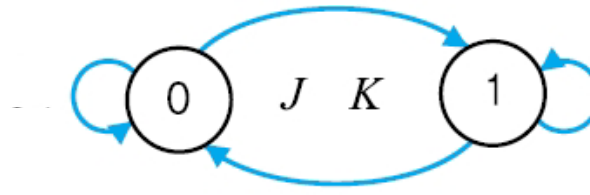
$Q(t)$	J	K	$Q(t+1)$
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

J - K 플립플롭의 특성표

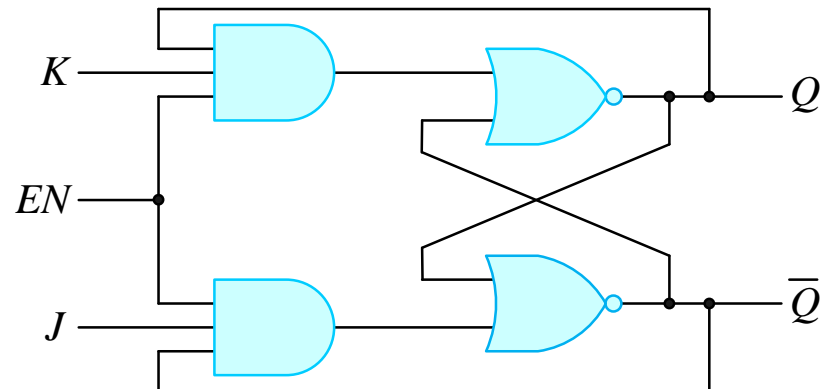
특성 방정식
(characteristic equation)

Q	JK			
	00	01	11	10
0			1	1
1	1			1

$$Q(t+1) = J\overline{Q} + \overline{K}Q$$



J-K 플립플롭의 상태도



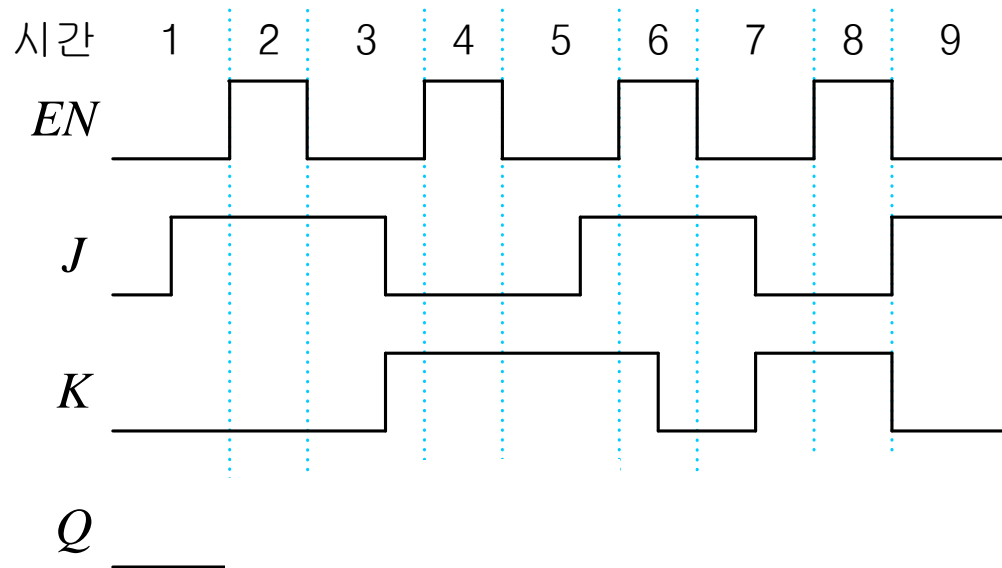
게이티드 JK 플립플롭(NOR 게이트형)



예제 8-7

그림과 같은 파형을 게이트드 JK 플립플롭에 인가하였을 때, 출력 Q 의 파형을 그려 보아라. 단, Q 는 0으로 초기화되어 있으며, 게이트에서의 전파지연은 없는 것으로 가정한다.

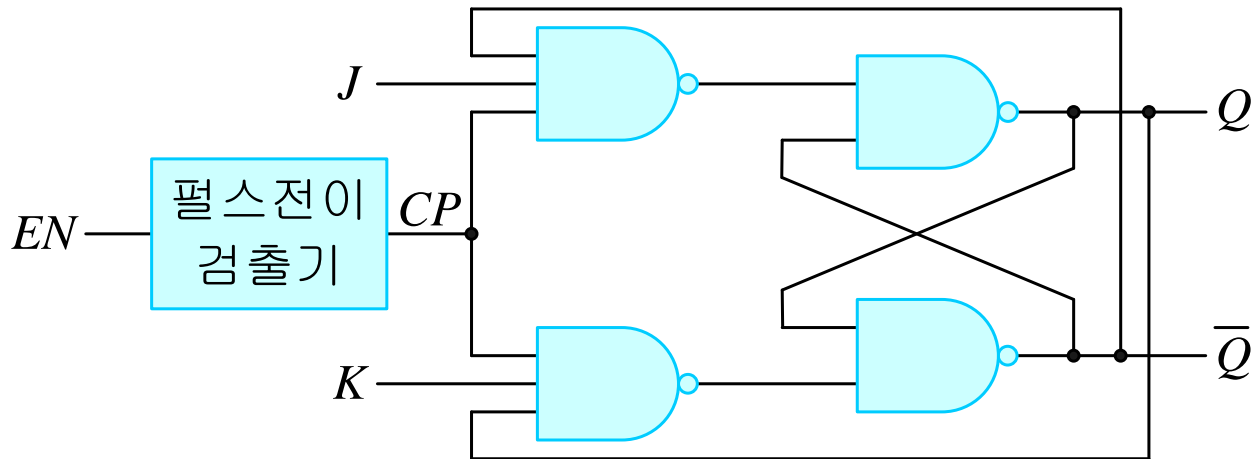
풀이





에지 트리거 JK 플립플롭

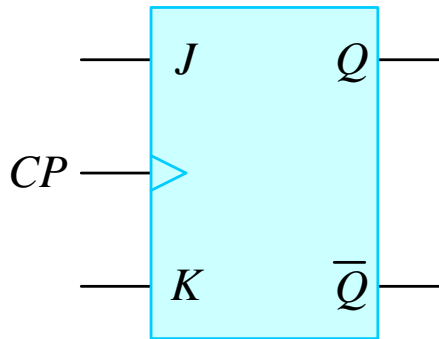
- 게이티드 JK 플립플롭의 클록펄스 입력에 펄스전이 검출기를 추가하여 구성



에지 트리거 JK 플립플롭의 구조

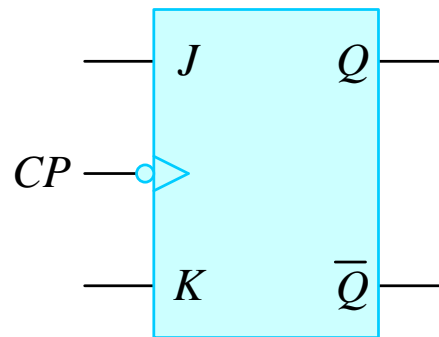


□ 에지 트리거 JK 플립플롭의 논리기호와 진리표



CP	J	K	$Q(t+1)$
\uparrow	0	0	$Q(t)$ (불변)
\uparrow	0	1	0
\uparrow	1	0	1
\uparrow	1	1	$\bar{Q}(t)$ (toggle)

상승 에지 트리거 JK 플립플롭의 논리기호 및 진리표



CP	J	K	$Q(t+1)$
\downarrow	0	0	$Q(t)$ (불변)
\downarrow	0	1	0
\downarrow	1	0	1
\downarrow	1	1	$\bar{Q}(t)$ (toggle)

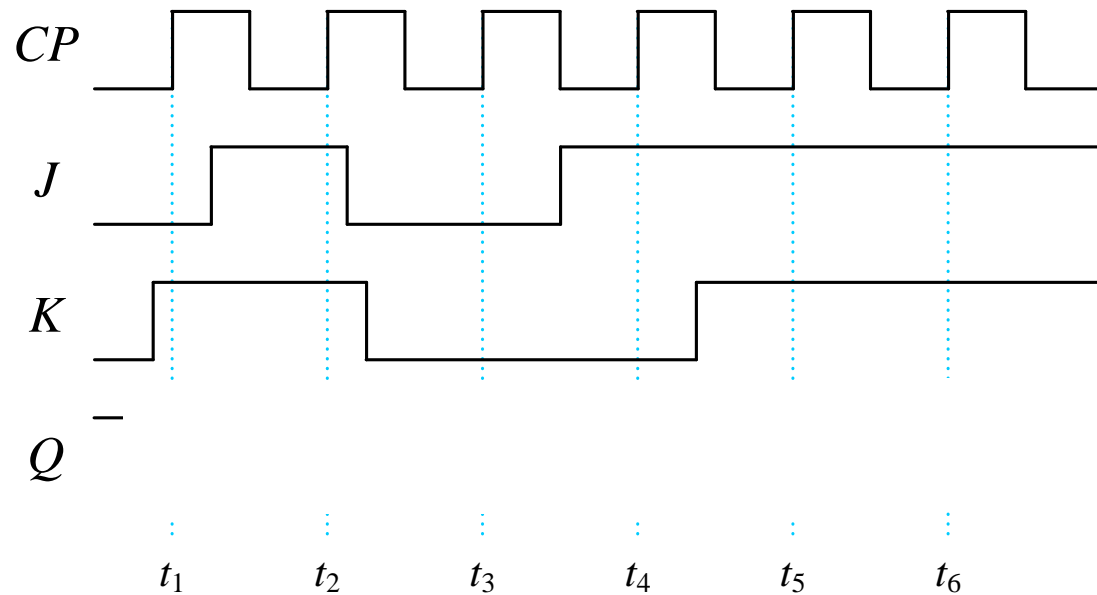
하강 에지 트리거 JK 플립플롭의 논리기호 및 진리표



예제 8-8

그림과 같은 파형을 상승에지 JK 플립플롭에 인가하였을 때, 출력 Q 의 파형을 그려 보아라. 단, Q 는 1로 초기화되어 있으며, 게이트에서의 전파지연은 없는 것으로 가정한다.

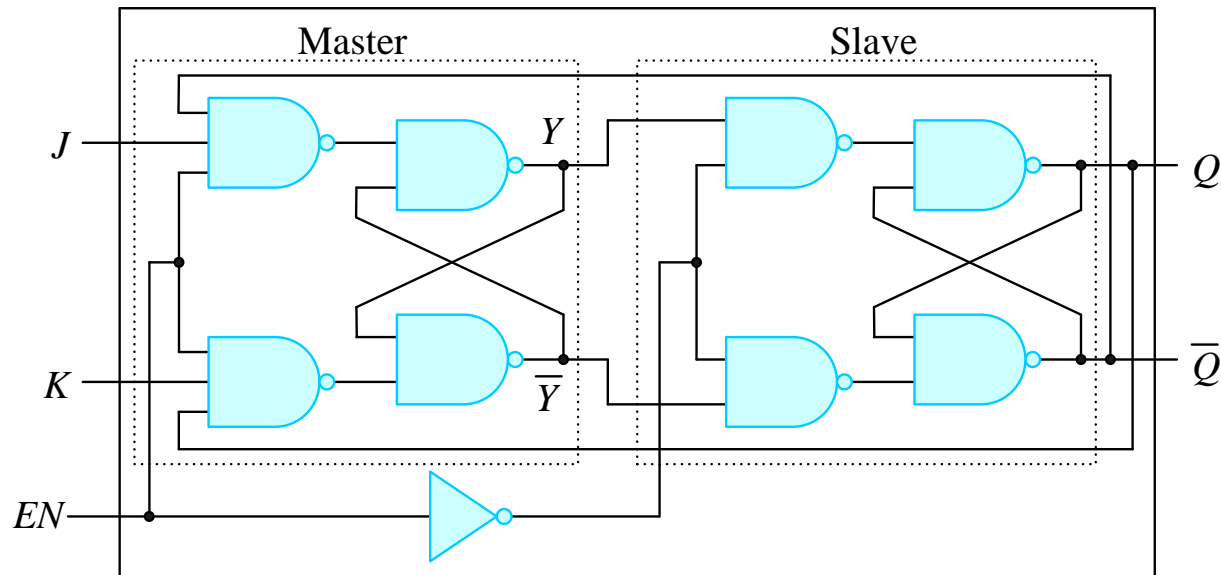
풀이





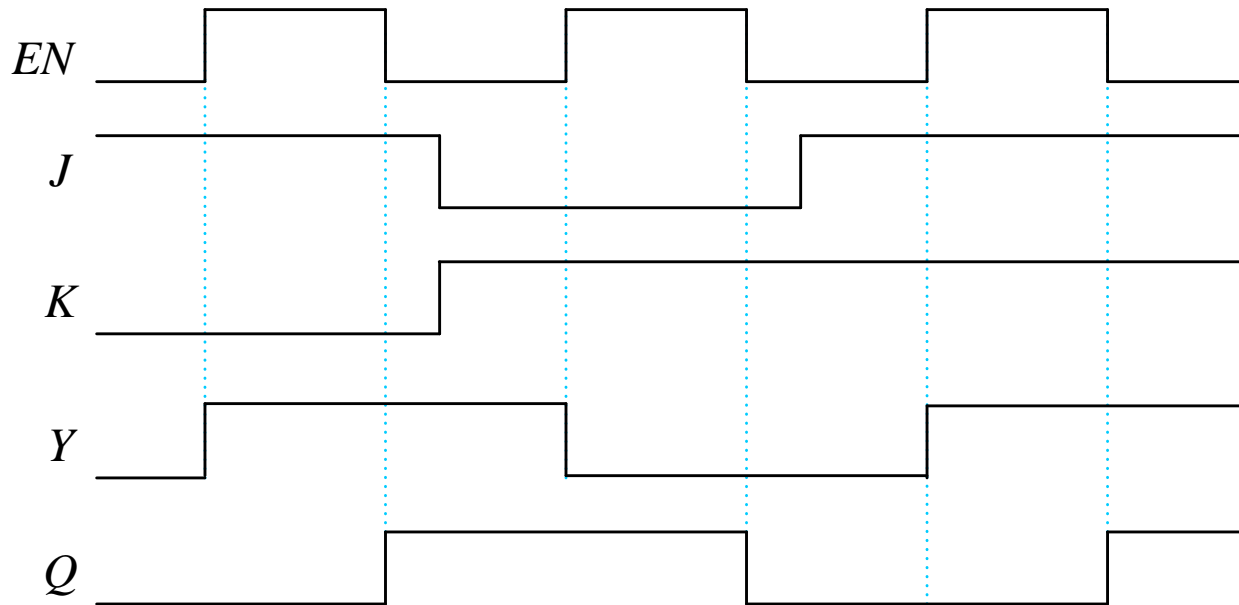
주종형 JK 플립플롭

- Master 플립플롭의 클럭입력은 클럭펄스가 그대로 입력되고, Slave 플립플롭 부분의 클럭입력에는 반전된 클럭펄스가 입력되도록 구성



$EN=1$	외부의 J 와 K 의 입력이 Master 플립플롭에 전달 Slave 플립플롭은 $EN=0$ 이므로 동작하지 않음
$EN=0$	Slave 플립플롭이 동작하여 $Q = Y, \bar{Q} = \bar{Y}$ Master 플립플롭은 $EN=0$ 이므로 동작하지 않음

04 JK 플립플롭

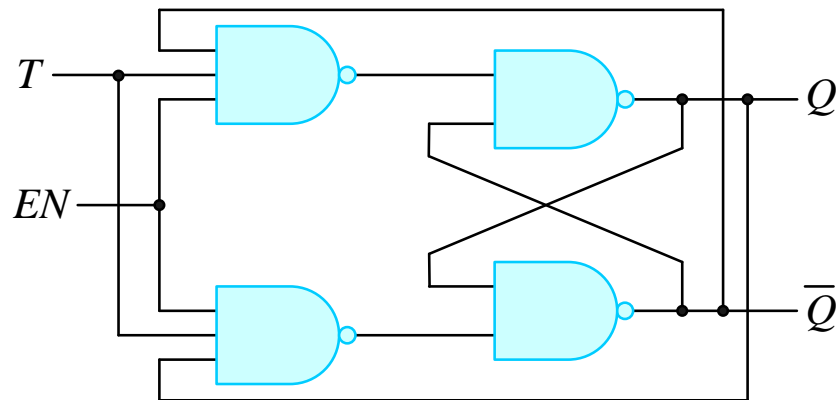


주종형 JK 플립플롭의 파형도

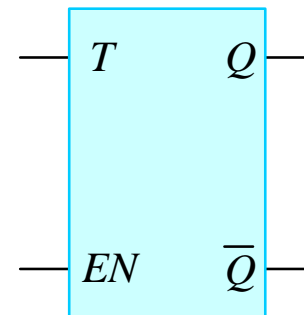


게이티드 T 플립플롭

- JK 플립플롭의 J 와 K 입력을 묶어서 하나의 입력신호 T 로 동작시키는 플립플롭
- JK 플립플롭의 동작에서 **입력이 모두 0이거나 1인 경우만을 이용**하는 플립플롭
- T 플립플롭의 입력 $T=0$ 이면, T 플립플롭은 $J=0, K=0$ 인 JK 플립플롭과 같이 동작하므로 **출력은 변하지 않는다**. $T=1$ 이면, $J=1, K=1$ 인 JK 플립플롭과 같이 동작하므로 **출력은 보수가 된다**.



회로도



논리기호

05 T 플립플롭

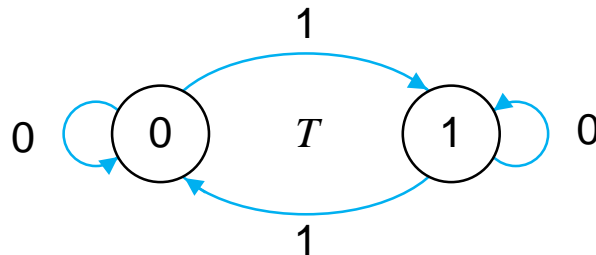


EN	T	$Q(t+1)$
1	0	$Q(t)$
1	1	$\bar{Q}(t)$

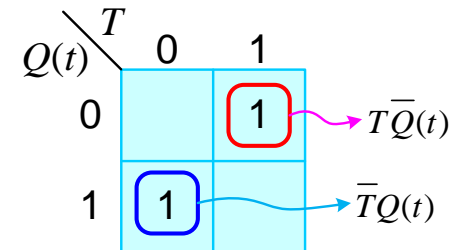
T 플립플롭의 진리표

$Q(t)$	T	$Q(t+1)$
0	0	0
0	1	1
1	0	1
1	1	0

T 플립플롭의 특성표



T 플립플롭의 상태도



$$Q(t+1) = T\bar{Q}(t) + \bar{T}Q(t)$$

특성 방정식
(characteristic equation)

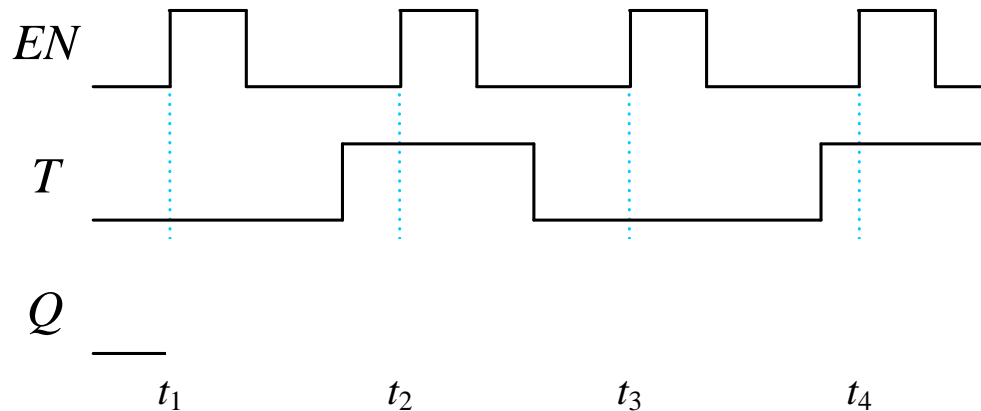
$Q(t)$: 현재 상태
 $Q(t+1)$: 다음 상태



예제 8-9

그림과 같은 파형을 게이트드 T 플립플롭에 인가하였을 때, 출력 Q 의 파형을 그려 보아라. 단, Q 는 0으로 초기화되어 있으며, 게이트에서의 전파지연은 없는 것으로 가정한다.

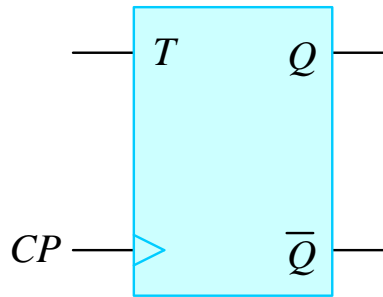
풀이





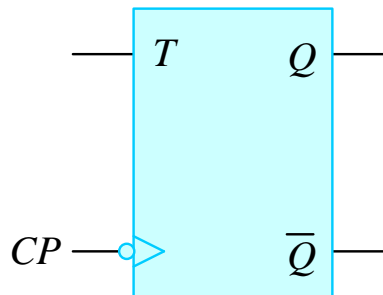
에지 트리거 T 플립플롭

- 클록형 T 플립플롭의 클록펄스 입력에 펄스 전이 검출기를 추가하여 구성



상승에지 트리거 T 플립플롭

CP	T	$Q(t+1)$
↑	0	$Q(t)$
↑	1	$\bar{Q}(t)$



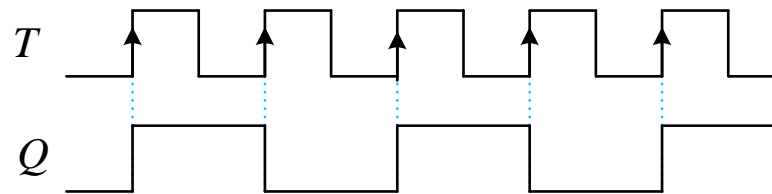
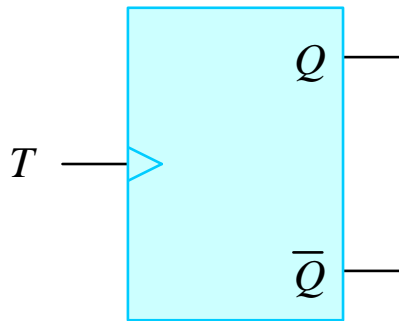
하강에지 트리거 T 플립플롭

CP	T	$Q(t+1)$
↓	0	$Q(t)$
↓	1	$\bar{Q}(t)$

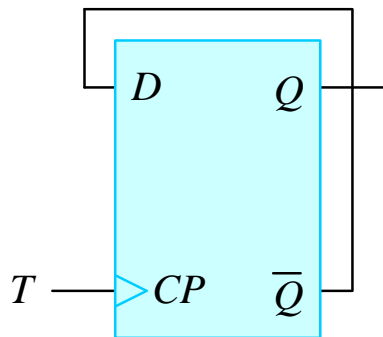
05 T 플립플롭



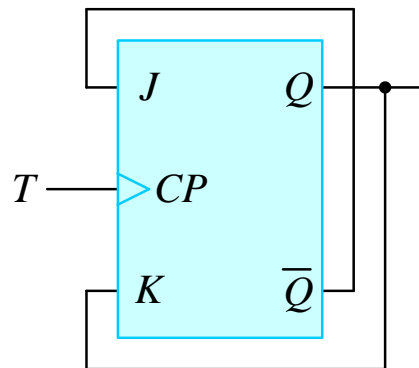
- 에지 트리거 T 플립플롭은 T 입력은 논리 1 상태로 고정하고 CP 에 클록펄스를 트리거 입력으로 사용하기도 한다. 이러한 경우 T 플립플롭은 클록펄스가 들어올 때마다 상태가 바뀌어지는 회로이다.



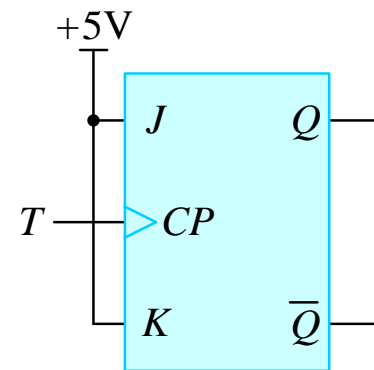
□ T 플립플롭을 구성하는 방법



D 플립플롭을 이용



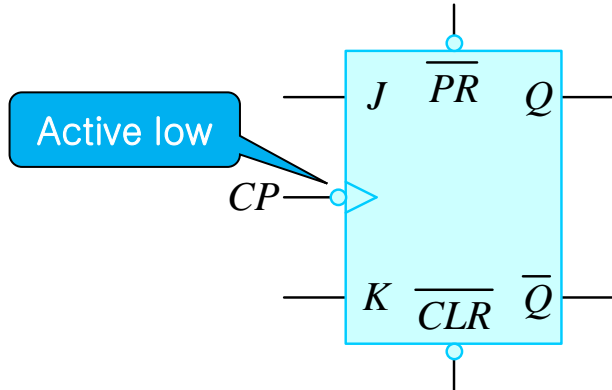
JK 플립플롭을 이용



06 비동기 입력



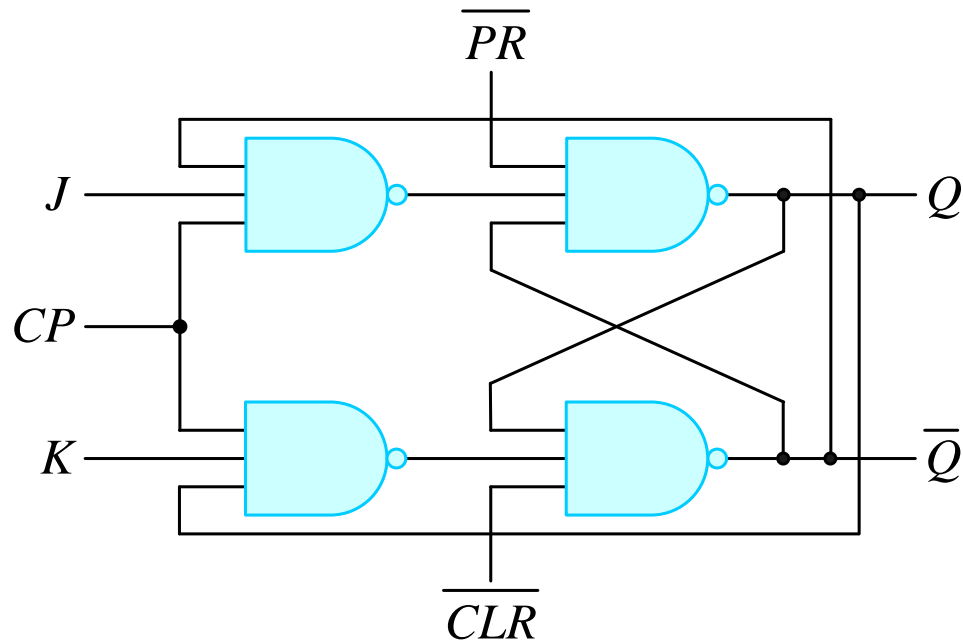
- 대부분의 플립플롭은 클록펄스에 의해서 플립플롭의 상태를 변화시킬 수 있는 동기입력이 있고, 클록펄스와 관계없이 비동기적으로 변화시킬 수 있는 비동기 입력인 **preset(\overline{PR})** 입력과 **clear(\overline{CLR})** 입력이 있다.
- 비동기 입력들은 플립플롭의 초기조건을 결정하는 용도로 사용



\overline{PR}	\overline{CLR}	CP	J	K	Q
0	1	x	x	x	1
1	0	x	x	x	0
1	1	↓	0	0	변화 없음
1	1	↓	0	1	0
1	1	↓	1	0	1
1	1	↓	1	1	토글

비동기 입력을 가진 JK 플립플롭의 논리기호와 진리표

06 비동기 입력



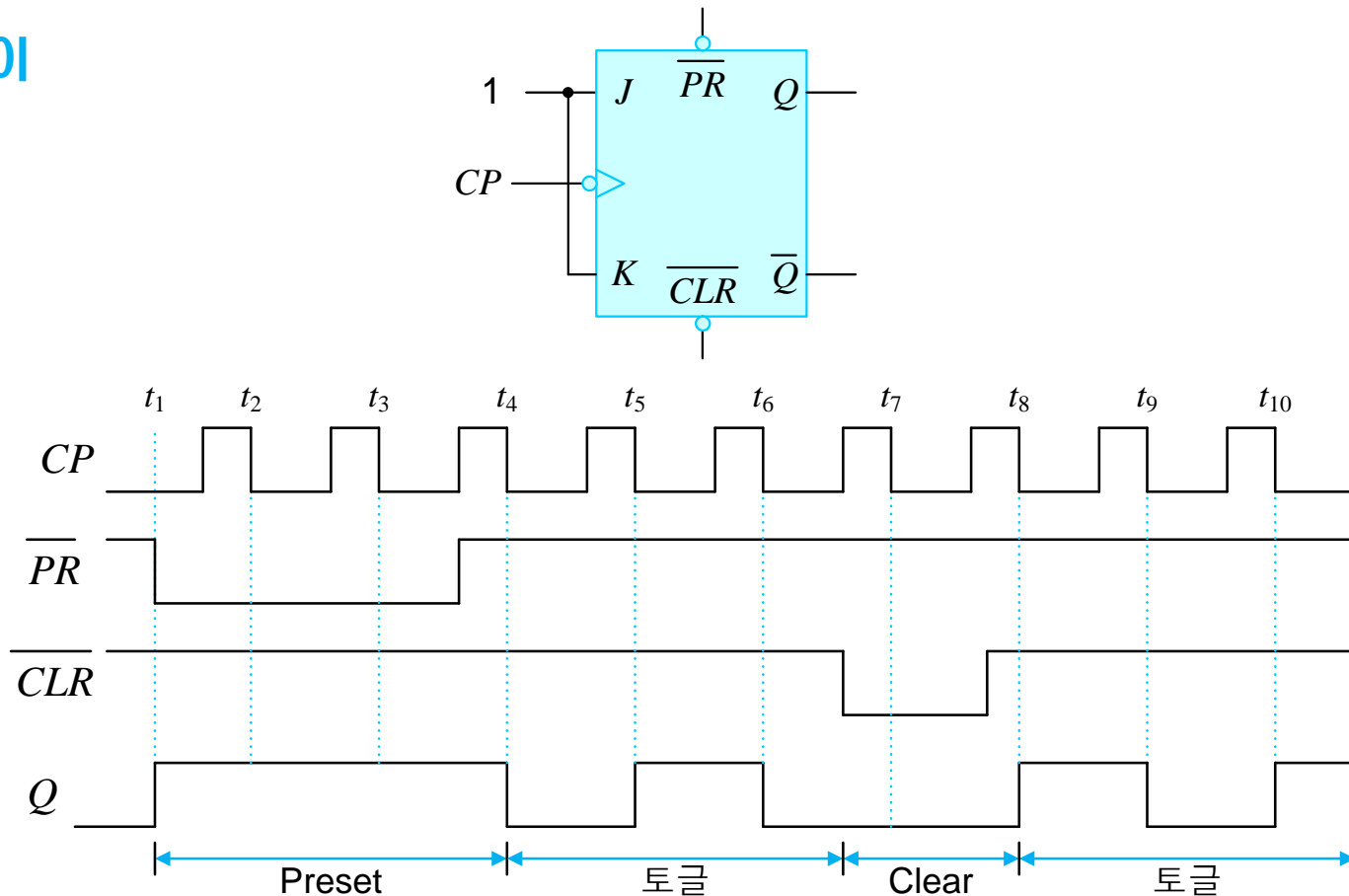
preset 입력과 clear 입력에 있는 JK 플립플롭의 논리회로



예제 8-11

그림과 같이 하강에지 JK 플립플롭의 J 와 K 입력을 논리 1로 하고, \overline{PR} 과 \overline{CLR} 입력에 그림의 파형을 인가하였을 때, 출력 Q 의 파형을 그려 보아라. 단, Q 는 0으로 초기화되어 있으며, 게이트에서의 전파지연은 없는 것으로 가정한다.

풀이

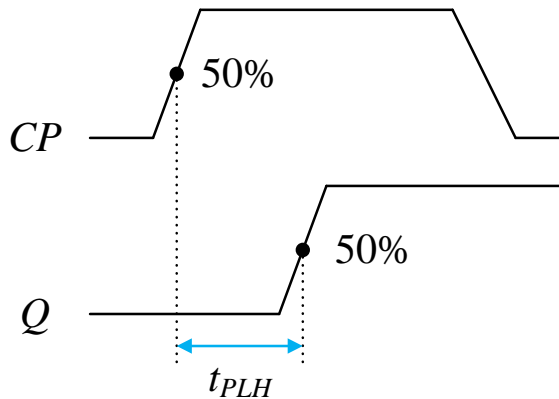


End of Example

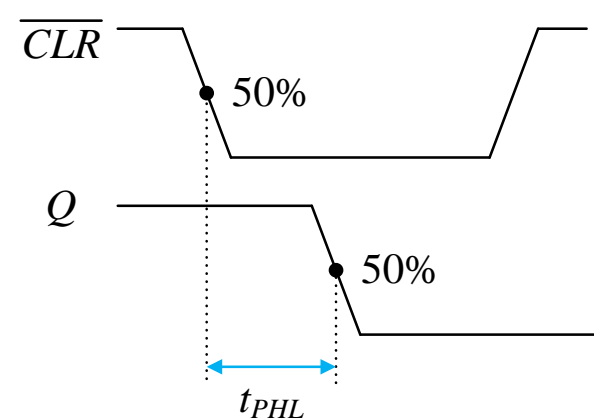
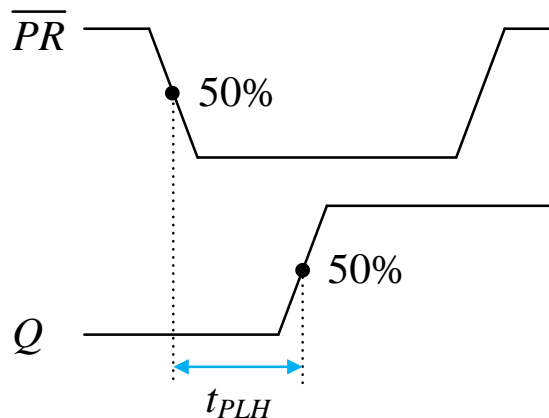
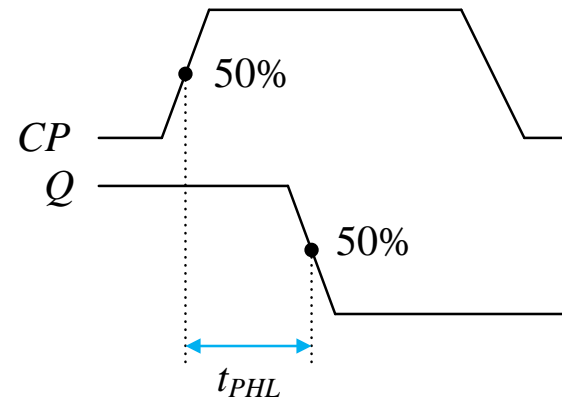


전파지연시간 (Propagation Delay Time)

- 입력 신호가 가해진 후 출력에 변화가 일어날 때까지의 시간 간격



클록펄스의 전파지연시간

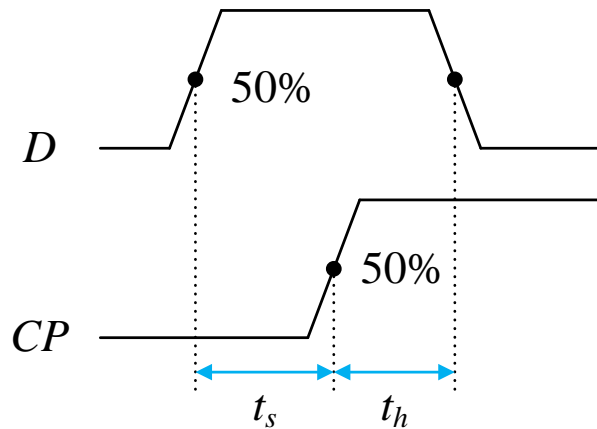


Preset와 Clear에서의 전파지연시간

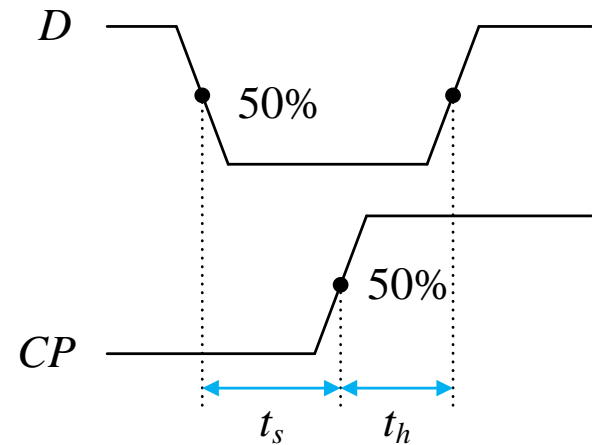


설정시간(set-up time) 및 유지시간(hold time)

- 설정시간(t_s) : CP 의 상승에지 전이 전에 입력값이 일정 시간 동안 유지되어야 하는데 필요한 시간 간격
- 보류 시간(t_h) : CP 가 상승에지 변이 이후에도 입력값이 변해서는 안 되는 일정한 시간



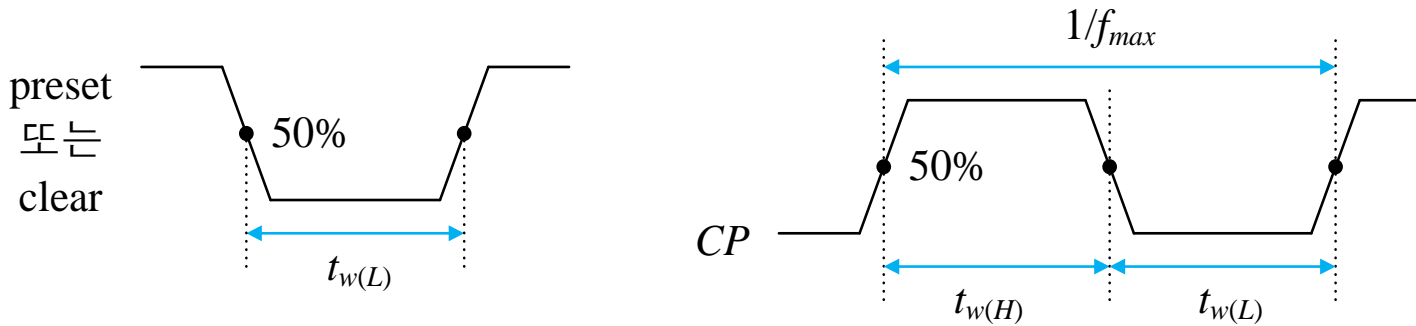
$D = 1$ 이 입력되는 경우



$D = 0$ 이 입력되는 경우



펄스 폭 (pulse widths)



최대 클럭 주파수 (Maximum Clock Frequency)

- 최대 클럭 주파수 (Maximum Clock Frequency)는 플립플롭의 동작속도를 결정하는 중요한 파라미터
- 최대 클럭 주파수는 플립플롭이 안전하게 동작할 수 있는 최대 주파수
- 항상 최대 클럭 주파수 이하에서 동작시켜야 한다.



기타 특성

- 디지털 논리 게이트의 전기적 특성에 있는 잡음 여유도, 팬-아웃, 팬-인 등이 플립플롭에도 적용될 수 있다.

플립플롭의 특성 비교

Parameter (Times in ns)	TTL		CMOS	
	7474	74LS112	74C74	74HC112
t_s (set-up)	20	20	60	25
t_h (hold)	5	0	0	0
t_{PHL} (from CLK to Q)	40	24	200	31
t_{PLH} (from CLK to Q)	25	16	200	31
t_{PHL} (from \overline{CLR} to Q)	40	24	225	41
t_{PLH} (from \overline{PR} to Q)	25	16	225	41
$t_w(L)$ (CLK Low time)	37	15	100	25
$t_w(H)$ (CLK High time)	30	20	100	25
$t_w(L)$ (at \overline{CLR} or \overline{PR})	30	15	60	25
f_{MAX} (in MHz)	15	30	5	20



SR 플립플롭의 진리표

EN	S	R	$Q(t+1)$
1	0	0	
1	0	1	
1	1	0	
1	1	1	

D 플립플롭의 진리표

EN	D	$Q(t+1)$
1	0	
1	1	

JK 플립플롭의 진리표

EN	J	K	$Q(t+1)$
1	0	0	
1	0	1	
1	1	0	
1	1	1	

T 플립플롭의 진리표

EN	T	$Q(t+1)$
1	0	
1	1	