

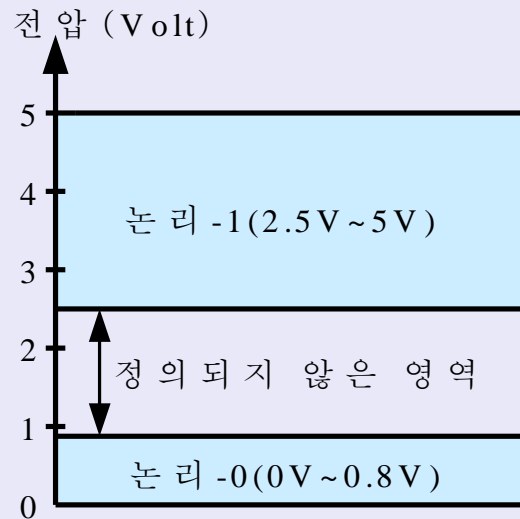
기본 논리게이트

- NOT 게이트와 버퍼 게이트
- AND 게이트, OR 게이트
- NAND 게이트, NOR 게이트
- XOR 게이트, XNOR 게이트
- 게이트의 전기적 특성

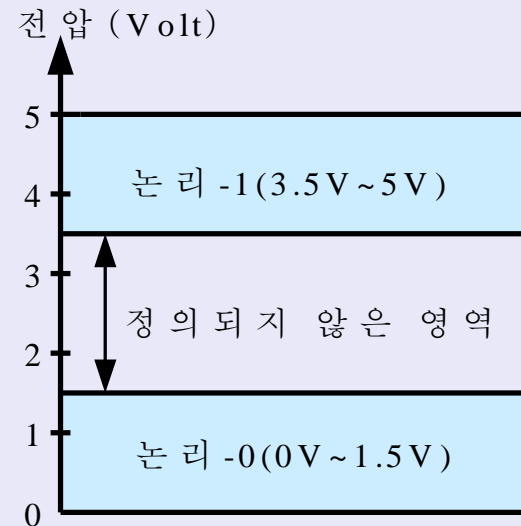


□ TTL과 CMOS 논리 레벨 정의영역

TTL



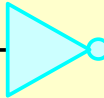
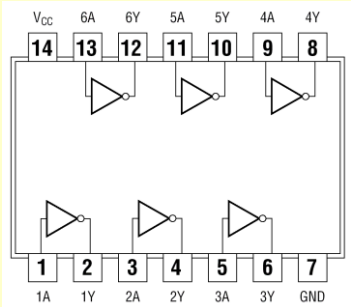
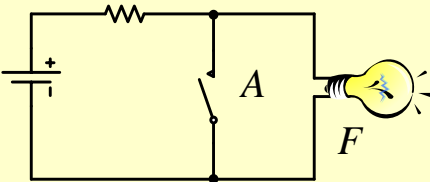
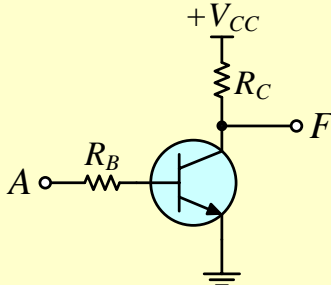
CMOS





NOT 게이트

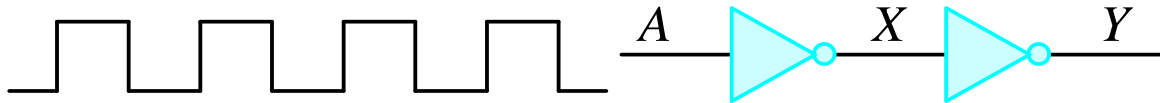
- 한 개의 입력과 한 개의 출력을 갖는 게이트로 **논리 부정**을 나타낸다.
- NOT 게이트를 인버터(inverter)라고도 한다.

| 진리표 | 동작파형 | 논리기호 | | | | | | |
|--|--|--|---|---|---|---|---|--|
| <table><tr><th>A</th><th>F</th></tr><tr><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td></tr></table> | A | F | 0 | 1 | 1 | 0 | <div><div><div>□ □ A</div><div>010101</div></div><div><div>□ □ F</div><div>101010</div></div></div> | <div>AF</div> |
| A | F | | | | | | | |
| 0 | 1 | | | | | | | |
| 1 | 0 | | | | | | | |
| | | 논리식 | | | | | | |
| | | $F = \overline{A} = A'$ | | | | | | |
| IC 7404 핀 배치도 | 스위칭 회로 | 트랜지스터 회로 | | | | | | |
|  |  |  | | | | | | |

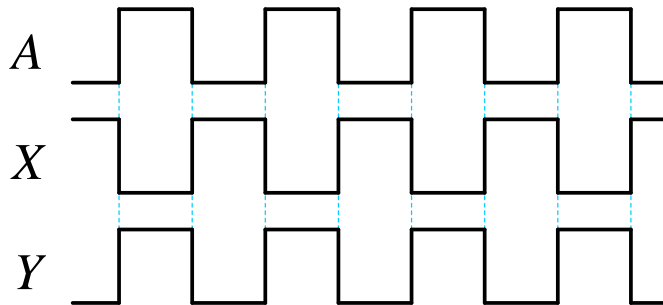
02 NOT 게이트와 버퍼게이트



예제 4-1 다음과 같은 회로의 입력 A 에 구형파를 인가하였다. 출력 X 와 Y 의 파형을 그려보아라.



풀이



End of Example



버퍼 게이트

- 버퍼(buffer)는 입력된 신호를 변경하지 않고, 입력된 신호 그대로를 출력하는 게이트로 단순한 전송을 의미한다.
- 입력 신호가 1인 경우에는 출력 신호는 1이 되고, 입력 신호가 0인 경우에는 출력 신호는 0이 된다.

| 진리표 | 동작파형 | 논리기호 | | | | | | |
|--|--|------|---|---|---|---|---|---|
| <table><tr><th>A</th><th>F</th></tr><tr><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td></tr></table> | A | F | 0 | 0 | 1 | 1 | <div><div><div>□ □ A</div><div><div><div></div><div>0</div><div>1</div><div>0</div><div>1</div><div>0</div><div>1</div></div></div></div><div><div>□ □ F</div><div><div><div></div><div>0</div><div>1</div><div>0</div><div>1</div><div>0</div><div>1</div></div></div></div></div> | <div><div>A</div><div><div></div></div><div>F</div></div> |
| A | F | | | | | | | |
| 0 | 0 | | | | | | | |
| 1 | 1 | | | | | | | |
| 논리식 | IC 7407 핀 배치도 | | | | | | | |
| <div>$F = A$</div> | <div><div><div>Vcc</div><div>6A</div><div>6Y</div><div>5A</div><div>5Y</div><div>4A</div><div>4Y</div></div><div><div>14</div><div>13</div><div>12</div><div>11</div><div>10</div><div>9</div><div>8</div></div><div><div>1</div><div>2</div><div>3</div><div>4</div><div>5</div><div>6</div><div>7</div></div><div><div>1A</div><div>1Y</div><div>2A</div><div>2Y</div><div>3A</div><div>3Y</div><div>GND</div></div></div> | | | | | | | |

02 NOT 게이트와 버퍼게이트



□ 3상태(tri-state) 버퍼

- 출력이 3개 레벨(High, Low, 하이 임피던스(Hi-Z)) 중의 하나를 갖는 논리소자

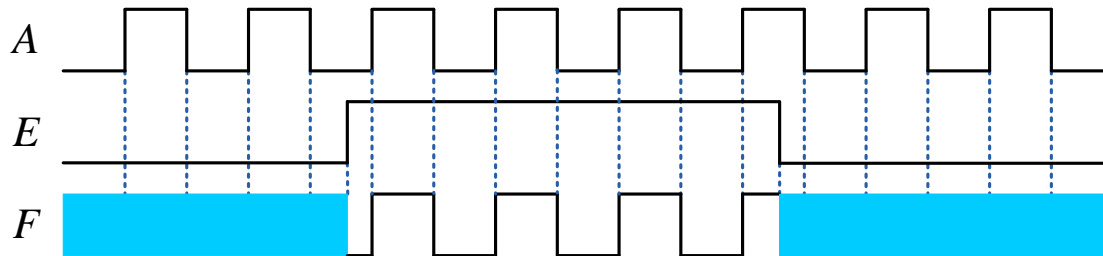
| 구분 | 진리표 | 논리기호 | IC | | | | | | | | | | | | | | | |
|--------------------------|---|-----------|----|---|---|---|---------|---|---|---------|---|---|---------|---|---|---------|--|-----------------------|
| 제어 단자가 Low 일 때 동작 | <table><tr><th>\bar{E}</th><th>A</th><th>F</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>하이 임피던스</td></tr><tr><td>1</td><td>1</td><td>하이 임피던스</td></tr></table> | \bar{E} | A | F | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 하이 임피던스 | 1 | 1 | 하이 임피던스 | | <p>IC 74125 핀 배치도</p> |
| \bar{E} | A | F | | | | | | | | | | | | | | | | |
| 0 | 0 | 0 | | | | | | | | | | | | | | | | |
| 0 | 1 | 1 | | | | | | | | | | | | | | | | |
| 1 | 0 | 하이 임피던스 | | | | | | | | | | | | | | | | |
| 1 | 1 | 하이 임피던스 | | | | | | | | | | | | | | | | |
| 제어 단자가 High 일 때 동작 | <table><tr><th>E</th><th>A</th><th>F</th></tr><tr><td>0</td><td>0</td><td>하이 임피던스</td></tr><tr><td>0</td><td>1</td><td>하이 임피던스</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table> | E | A | F | 0 | 0 | 하이 임피던스 | 0 | 1 | 하이 임피던스 | 1 | 0 | 0 | 1 | 1 | 1 | | <p>IC 74126 핀 배치도</p> |
| E | A | F | | | | | | | | | | | | | | | | |
| 0 | 0 | 하이 임피던스 | | | | | | | | | | | | | | | | |
| 0 | 1 | 하이 임피던스 | | | | | | | | | | | | | | | | |
| 1 | 0 | 0 | | | | | | | | | | | | | | | | |
| 1 | 1 | 1 | | | | | | | | | | | | | | | | |

하이 임피던스(Hi-Z) : 입력과 출력이 연결되어 있지 않은 상태



예제 4-2

[그림 4-8](b)에서 입력 A 와 제어단자 E 에 그림과 같은 파형을 인가하였다. 출력 F 의 파형을 그려보아라.



풀이

제어단자 E 가 High인 구간에서는 입력 A 의 파형이 출력 F 로 그대로 나오고,
제어단자 E 가 Low인 구간에서는 출력 F 는 하이 임피던스 상태가 된다.

End of Example

03 AND 게이트



□ 2입력 AND 게이트의 기본 개념

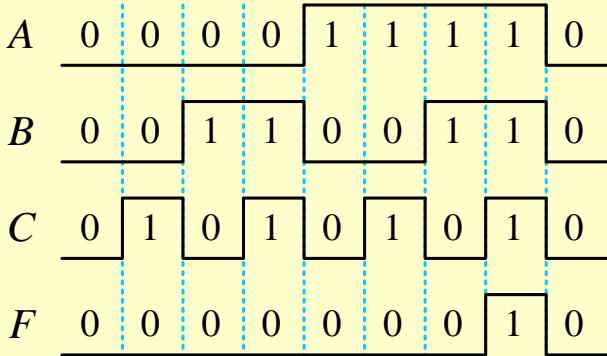
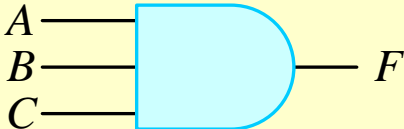
- 입력이 모두 1(on)인 경우에만 출력은 1(on)이 되고, 입력 중에 0(off)인 것이 하나라도 있을 경우에는 출력은 0(off)이 된다.

| 진리표 | 동작파형 | 논리기호 | | | | | | | | | | | | | | | |
|--|----------|----------------------|---|---|---|---|---|---|---|---|---|---|---|---|---|--|--|
| <table border="1"> <thead> <tr> <th>A</th><th>B</th><th>F</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td></tr> <tr> <td>0</td><td>1</td><td>0</td></tr> <tr> <td>1</td><td>0</td><td>0</td></tr> <tr> <td>1</td><td>1</td><td>1</td></tr> </tbody> </table> | A | B | F | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | | |
| A | B | F | | | | | | | | | | | | | | | |
| 0 | 0 | 0 | | | | | | | | | | | | | | | |
| 0 | 1 | 0 | | | | | | | | | | | | | | | |
| 1 | 0 | 0 | | | | | | | | | | | | | | | |
| 1 | 1 | 1 | | | | | | | | | | | | | | | |
| | | 논리식 | | | | | | | | | | | | | | | |
| | | $F = AB = A \cdot B$ | | | | | | | | | | | | | | | |
| 스위칭 회로 | 트랜지스터 회로 | 다이오드 회로 | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | |

03 AND 게이트



□ 3입력 AND 게이트 기본 개념

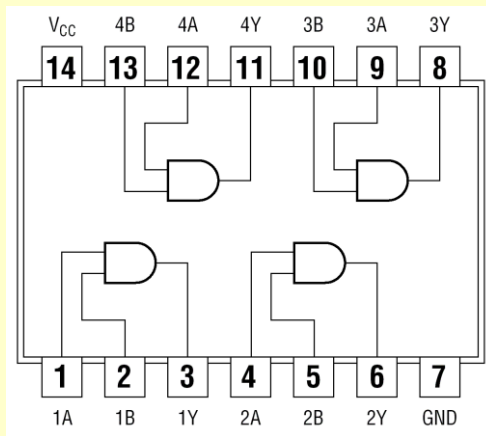
| 진리표 | 동작파형 | 논리식 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|--|------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|--|-------------------------------|
| <table><tr><th>A</th><th>B</th><th>C</th><th>F</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td></tr></table> | A | B | C | F | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 |  | $F = ABC = A \cdot B \cdot C$ |
| A | B | C | F | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 0 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 1 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 0 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 1 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 0 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 1 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 0 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 1 | 1 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | <div>논리기호</div>  | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |

03 AND 게이트

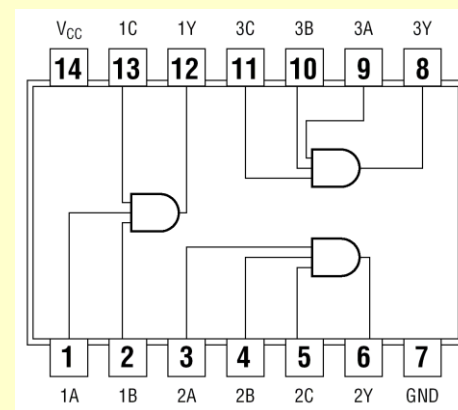


AND 게이트의 IC

IC 7408 핀 배치도



IC 7411 핀 배치도

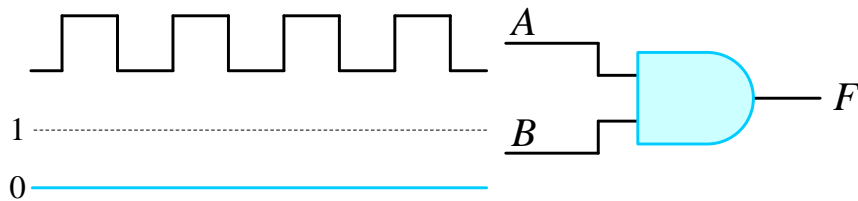


03 AND 게이트

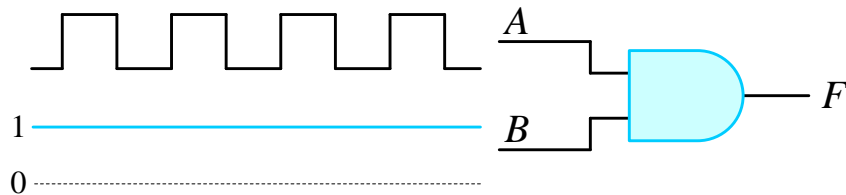


예제 4-3

2입력 AND 게이트의 한 입력 A 에 구형파를 인가하였다. 다른 입력인 B 에 0을 인가한 경우와 1을 인가한 경우 각각의 개략적인 출력파형을 그려보아라.

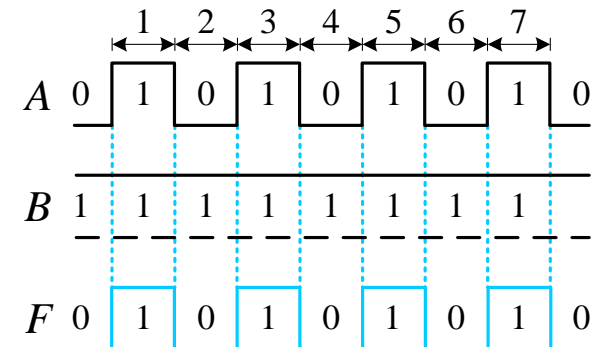
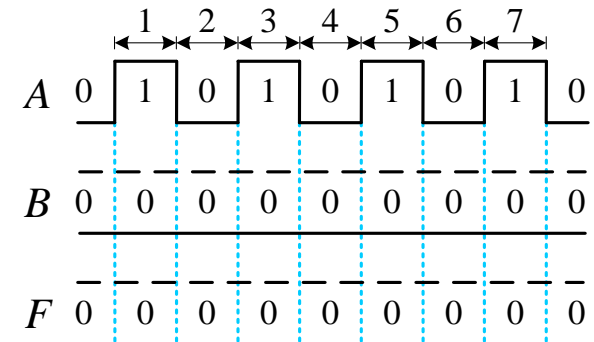


(a) 입력 B 에 0을 인가한 경우



(b) 입력 B 에 1을 인가한 경우

풀이

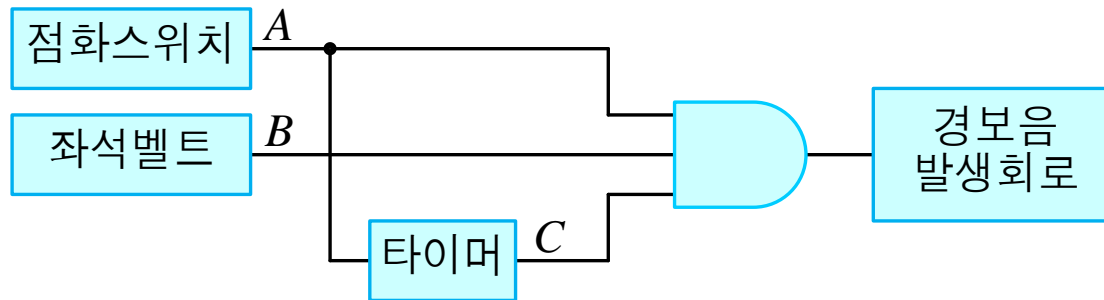


End of Example



□ AND 게이트를 이용한 자동차 좌석벨트 경고 시스템

- 점화스위치(A)가 켜지고(High) 좌석벨트(B)가 풀려있는 상태(High)를 감지
- 점화스위치가 켜지면 타이머가 작동되어 타이머 C가 30초 동안 High로 유지
- 점화 스위치가 켜지고, 좌석벨트가 풀려있고, 타이머가 작동하는 3가지 조건 하에서 AND 게이트의 출력은 High가 되며, 운전자에게 주의를 환기시키는 경보음이 울리게 된다.
- 30초간 경보음 동작 후에는 경보음은 울리지 않으며, 처음부터 좌석벨트가 채워져 있으면 경보음은 울리지 않는다.





□ 2입력 OR 게이트의 기본 개념

- 입력이 모두 0인 경우에만 출력은 0이 되고, 입력 중에 1이 하나라도 있으면, 출력은 1이 된다.

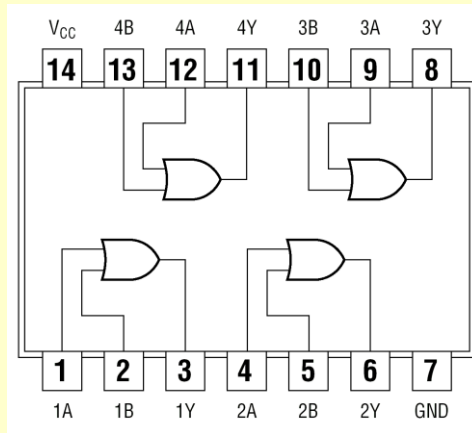
| 진리표 | 동작파형 | 논리기호 | | | | | | | | | | | | | | | |
|--|----------|-------------|---|---|---|---|---|---|---|---|---|---|---|---|---|--|--|
| <table border="1"> <thead> <tr> <th>A</th><th>B</th><th>F</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td></tr> <tr> <td>0</td><td>1</td><td>1</td></tr> <tr> <td>1</td><td>0</td><td>1</td></tr> <tr> <td>1</td><td>1</td><td>1</td></tr> </tbody> </table> | A | B | F | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | | |
| A | B | F | | | | | | | | | | | | | | | |
| 0 | 0 | 0 | | | | | | | | | | | | | | | |
| 0 | 1 | 1 | | | | | | | | | | | | | | | |
| 1 | 0 | 1 | | | | | | | | | | | | | | | |
| 1 | 1 | 1 | | | | | | | | | | | | | | | |
| | | 논리식 | | | | | | | | | | | | | | | |
| | | $F = A + B$ | | | | | | | | | | | | | | | |
| 스위칭 회로 | 트랜지스터 회로 | 다이오드 회로 | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | |

04 OR 게이트

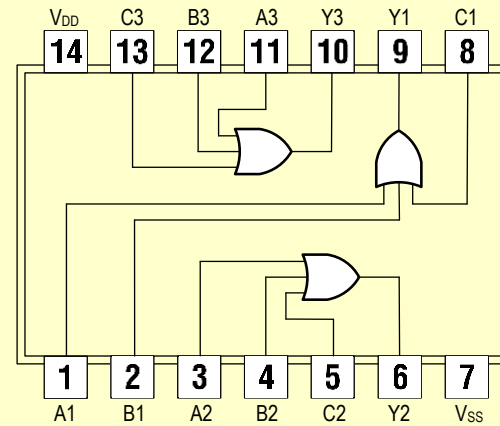


OR 게이트의 IC

IC 7432 핀 배치도



CMOS 4075





□ 3입력 OR 게이트의 기본 개념

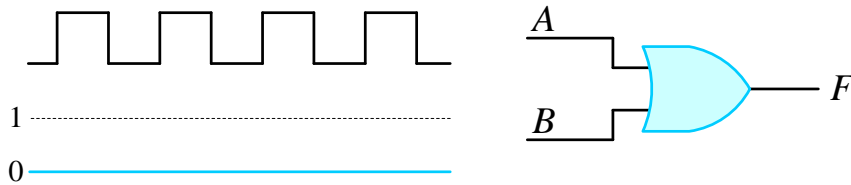
| 진리표 | 동작파형 | 논리식 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|--|------|------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|-----------------|
| <table><tr><th>A</th><th>B</th><th>C</th><th>F</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td></tr></table> | A | B | C | F | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | <p>A 0 0 0 0 1 1 1 1 0</p> <p>B 0 0 1 1 0 0 1 1 0</p> <p>C 0 1 0 1 0 1 0 1 0</p> <p>F 0 1 1 1 1 1 1 1 0</p> | $F = A + B + C$ |
| A | B | C | F | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 0 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 1 | 1 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 0 | 1 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 1 | 1 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 0 | 1 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 1 | 1 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 0 | 1 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 1 | 1 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | 논리기호 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |

04 OR 게이트

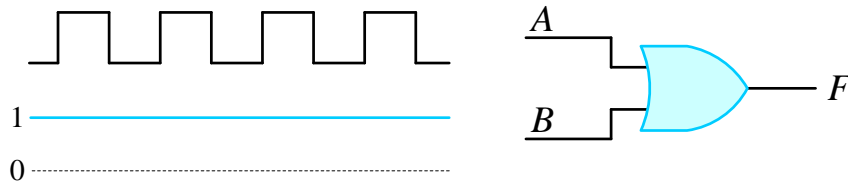


예제 4-4

2입력 OR 게이트의 한 입력 A 에 구형파를 인가하였다. 다른 입력인 B 에 0을 인가한 경우와 1을 인가한 경우 각각의 개략적인 출력파형을 그려보아라.

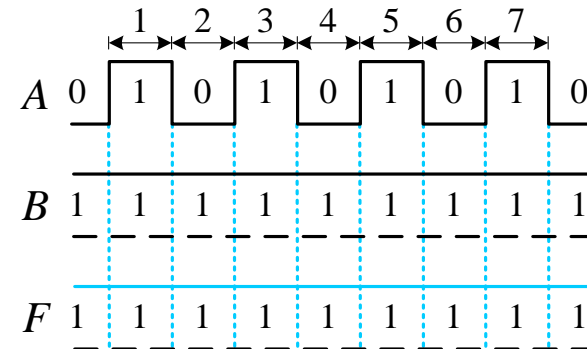
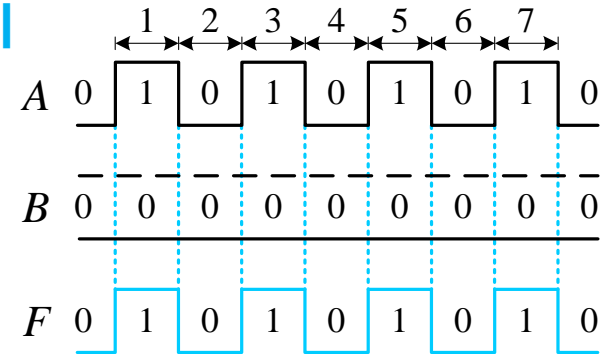


(a) 입력 B 에 0을 인가한 경우



(b) 입력 B 에 1을 인가한 경우

풀이



End of Example



6개의 입력을 가지는 OR 게이트에서 입력 조합 중 몇 개가 High 출력을 만드는가?

㉠ 31개

㉡ 32개

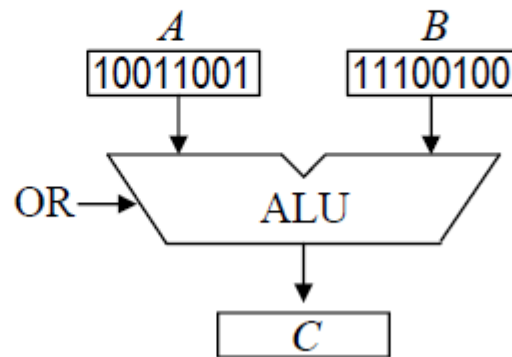
㉢ 63개

㉣ 64개



14. 그림과 같이 A, B 2개의 레지스터에 있는 자료에 대해 ALU가 OR 연산을 행하면 그 결과의 출력 레지스터 C 의 내용은?

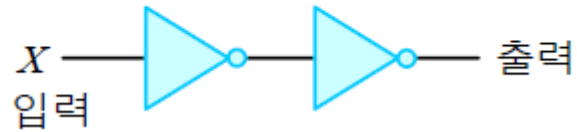
- ㉠ 11111100
- ㉡ 11101101
- ㉢ 11111101
- ㉣ 01100111



Quiz



그림과 같이 2개의 inverter를 연결했을 때의 출력은?



㉠ X

㉡ \bar{X}

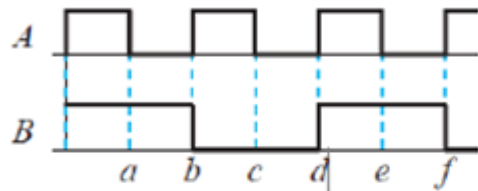
㉢ 0

㉣ 1

Quiz



그림의 파형 A, B가 AND 게이트를 통과했을 때의 출력 파형은?



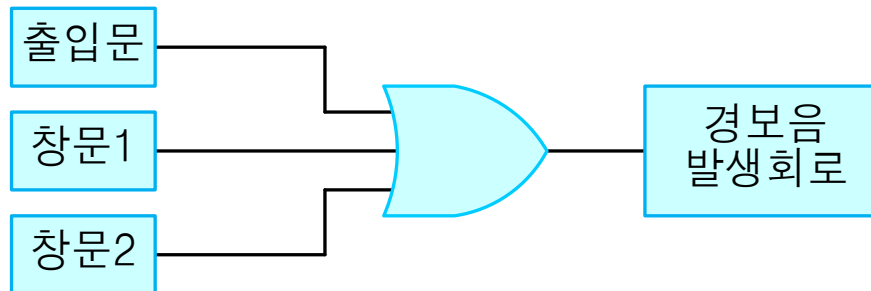
$$\begin{array}{r} \text{AND} \quad 1010101 \\ \quad 1100110 \\ \hline \quad 1000100 \end{array}$$

- 가
- 나
- 다
- 라



□ OR 게이트를 이용한 침입 탐지 시스템

- 일반 가정에서 출입문 1개와 창문 2개가 있다고 가정
- 출입문과 창문에 설치된 각 센서는 자기 스위치(magnetic switch)로서 문이 열려 있을 때 High를 출력하고, 닫혀있을 때에는 Low를 출력한다.





□ 2입력 NAND 게이트의 기본 개념

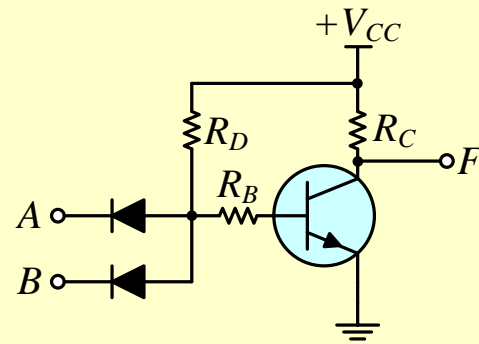
- 입력이 모두 1인 경우에만 출력은 0이 되고, 그렇지 않을 경우에는 출력은 1이 된다.
- 이 게이트는 AND 게이트와는 반대로 작동하는 게이트로서, NOT AND의 의미로 NAND 게이트라고 부른다.

| 진리표 | 동작파형 | 논리식 | | | | | | | | | | | | | | | |
|--|------|------|---|---|---|---|---|---|---|---|---|---|---|---|---|--|--|
| <table border="1"> <thead> <tr> <th>A</th><th>B</th><th>F</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>1</td></tr> <tr> <td>0</td><td>1</td><td>1</td></tr> <tr> <td>1</td><td>0</td><td>1</td></tr> <tr> <td>1</td><td>1</td><td>0</td></tr> </tbody> </table> | A | B | F | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | | $F = \overline{AB} = \overline{A \cdot B}$ |
| A | B | F | | | | | | | | | | | | | | | |
| 0 | 0 | 1 | | | | | | | | | | | | | | | |
| 0 | 1 | 1 | | | | | | | | | | | | | | | |
| 1 | 0 | 1 | | | | | | | | | | | | | | | |
| 1 | 1 | 0 | | | | | | | | | | | | | | | |
| | | 논리기호 | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | |

05 NAND 게이트



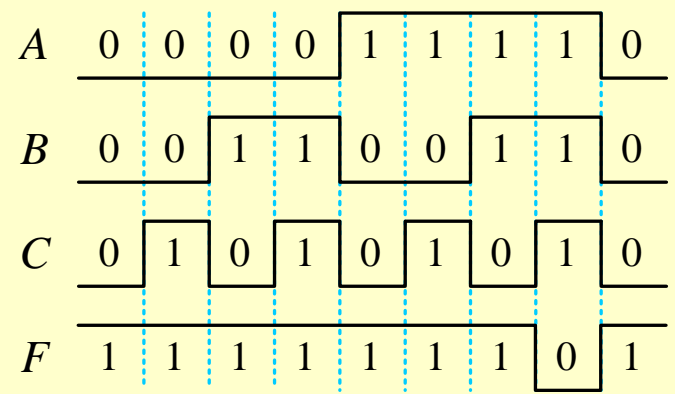
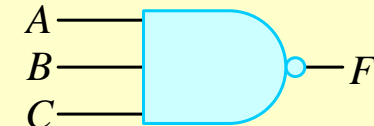
NAND 게이트 트랜지스터 회로



05 NAND 게이트



□ 3입력 NAND 게이트의 기본 개념

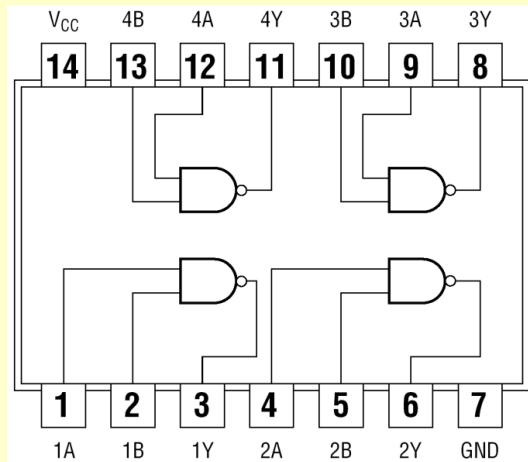
| 진리표 | 동작파형 | 논리식 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|--|------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|--|---|
| <table><tr><th>A</th><th>B</th><th>C</th><th>F</th></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td></tr></table> | A | B | C | F | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 |  | $F = \overline{ABC} = \overline{A \cdot B \cdot C}$ |
| A | B | C | F | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 0 | 1 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 1 | 1 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 0 | 1 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 1 | 1 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 0 | 1 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 1 | 1 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 0 | 1 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 1 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | 논리기호 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | |  | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |

05 NAND 게이트

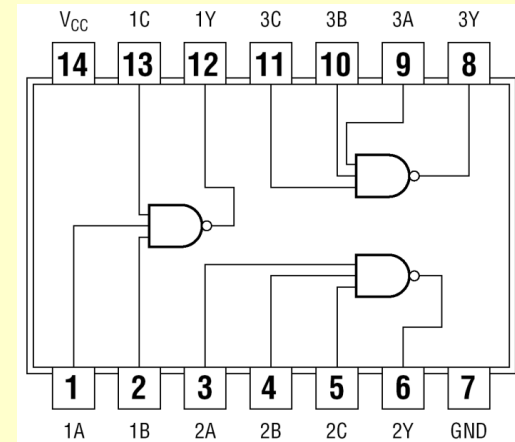


□ NAND 게이트의 IC

IC 7400 핀 배치도



IC 7410 핀 배치도

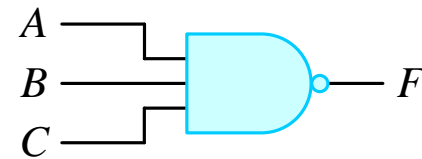
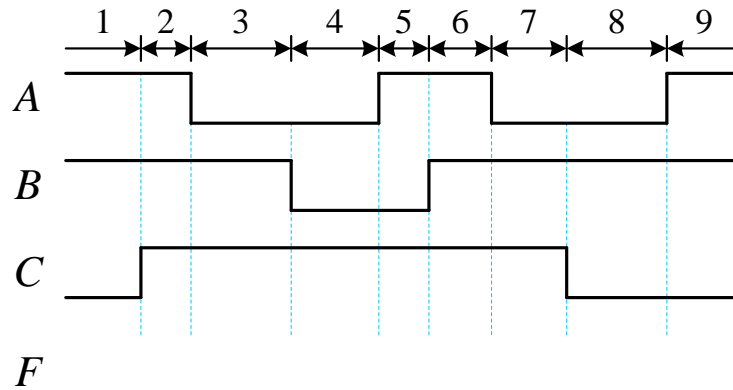


05 NAND 게이트



예제 4-5

3입력 NAND 게이트 입력에 그림과 같은 파형이 입력될 때 출력 F 의 파형을 그려보아라.



End of Example



□ 2입력 NOR 게이트의 기본 개념

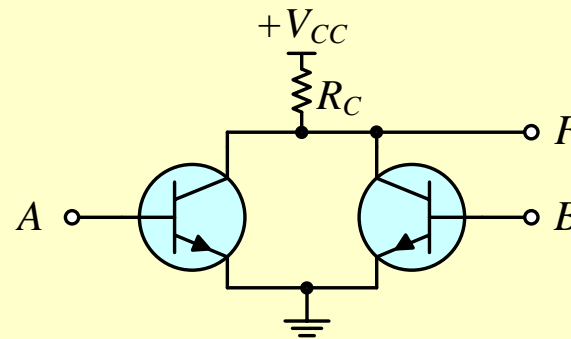
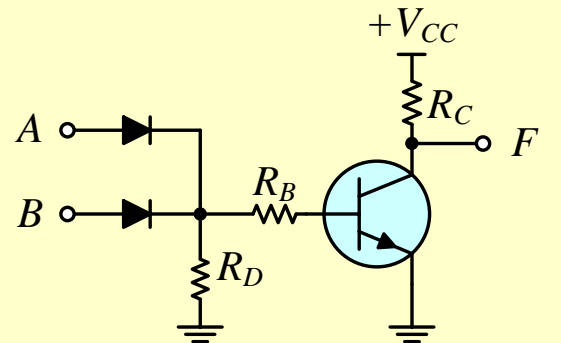
- 입력이 모두 0인 경우에만 출력은 1이 되고, 입력 중에 하나라도 1이 있는 경우는 출력은 0이 된다.
- 이 게이트는 OR 게이트와는 반대로 작동하는 게이트로, NOT OR의 의미로 NOR 게이트라고 부른다.

| 진리표 | 동작파형 | 논리식 | | | | | | | | | | | | | | | |
|--|------|------|---|---|---|---|---|---|---|---|---|---|---|---|---|--|------------------------|
| <table border="1"> <thead> <tr> <th>A</th><th>B</th><th>F</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>1</td></tr> <tr> <td>0</td><td>1</td><td>0</td></tr> <tr> <td>1</td><td>0</td><td>0</td></tr> <tr> <td>1</td><td>1</td><td>0</td></tr> </tbody> </table> | A | B | F | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | | $F = \overline{A + B}$ |
| A | B | F | | | | | | | | | | | | | | | |
| 0 | 0 | 1 | | | | | | | | | | | | | | | |
| 0 | 1 | 0 | | | | | | | | | | | | | | | |
| 1 | 0 | 0 | | | | | | | | | | | | | | | |
| 1 | 1 | 0 | | | | | | | | | | | | | | | |
| | | 논리기호 | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | |

06 NOR 게이트



NOR 게이트 트랜지스터 회로



06 NOR 게이트



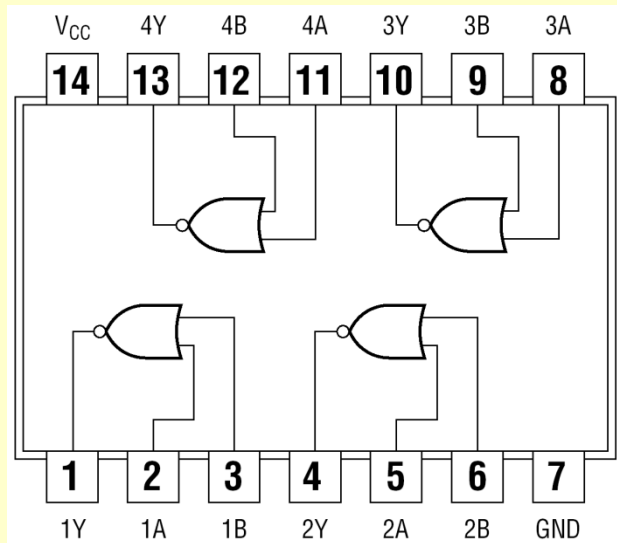
□ 3입력 NOR 게이트의 기본 개념

| 진리표 | 동작파형 | 논리식 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|--|------|------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|--|----------------------------|
| <table><tr><th>A</th><th>B</th><th>C</th><th>F</th></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td></tr></table> | A | B | C | F | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | <p>A 0 0 0 0 1 1 1 1 0 B 0 0 1 1 0 0 1 1 0 C 0 1 0 1 0 1 0 1 0 F 1 0 0 0 0 0 0 0 1</p> | $F = \overline{A + B + C}$ |
| A | B | C | F | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 0 | 1 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 1 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 0 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 1 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 0 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 1 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 0 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 1 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | 논리기호 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |

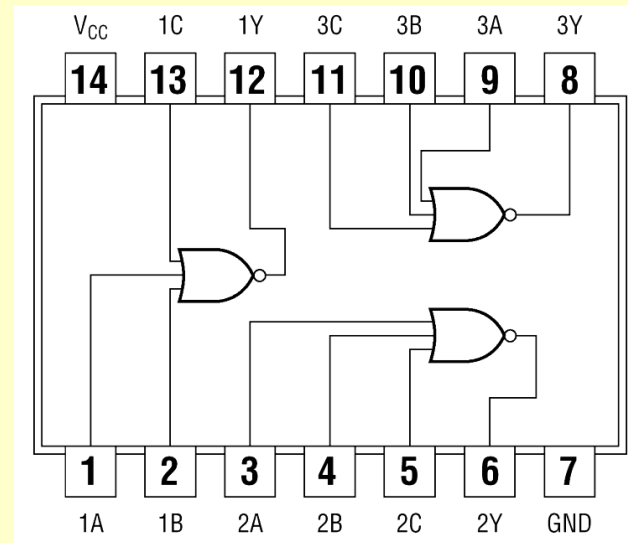


□ NOR 게이트 IC

IC 7402 핀 배치도



IC 7427 핀 배치도

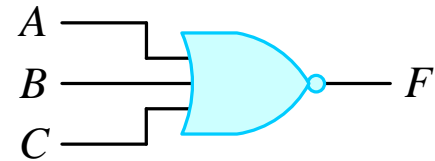
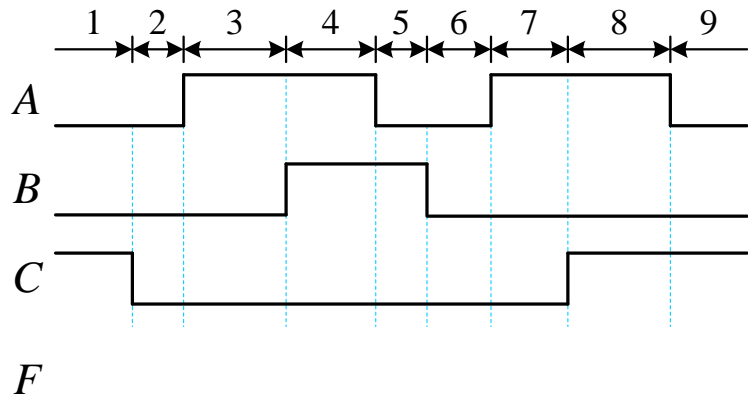


06 NOR 게이트



예제 4-6

3입력 NOR 게이트 입력에 그림과 같은 파형이 입력될 때 출력 F 의 파형을 그려보아라.



End of Example

07 XOR 게이트(Exclusive-OR gate)



□ 2입력 XOR 게이트의 기본 개념

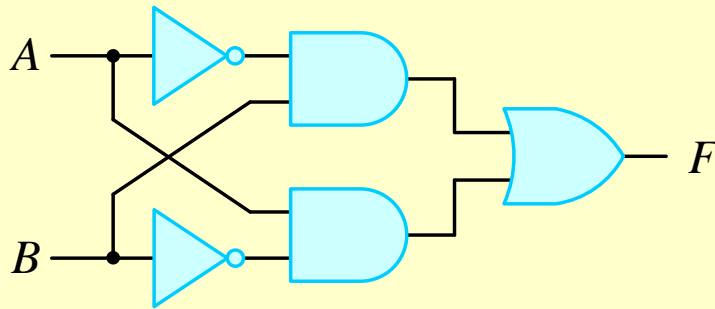
- 입력 중 홀수 개의 1이 입력된 경우에 출력은 1이 되고 그렇지 않은 경우에는 출력은 0이 된다.
- 2입력 XOR 게이트의 경우, 두 개의 입력 중 하나가 1이면 출력이 1이 되고, 두 개의 입력 모두가 0이거나 또는 두 개의 입력 모두가 1이라면 출력은 0이 된다.

| 진리표 | 동작파형 | 논리식 | | | | | | | | | | | | | | | |
|--|------|------|---|---|---|---|---|---|---|---|---|---|---|---|---|--|--|
| <table border="1"> <thead> <tr> <th>A</th><th>B</th><th>F</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td></tr> <tr> <td>0</td><td>1</td><td>1</td></tr> <tr> <td>1</td><td>0</td><td>1</td></tr> <tr> <td>1</td><td>1</td><td>0</td></tr> </tbody> </table> | A | B | F | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | | $F = A \oplus B = \overline{A}B + A\overline{B}$ |
| A | B | F | | | | | | | | | | | | | | | |
| 0 | 0 | 0 | | | | | | | | | | | | | | | |
| 0 | 1 | 1 | | | | | | | | | | | | | | | |
| 1 | 0 | 1 | | | | | | | | | | | | | | | |
| 1 | 1 | 0 | | | | | | | | | | | | | | | |
| | | 논리기호 | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | |

07 XOR 게이트(Exclusive-OR gate)

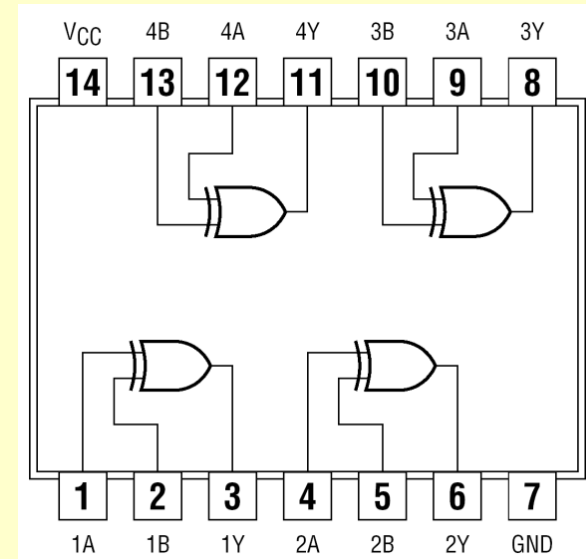


AND-OR 게이트 표현



$$F = A \oplus B = \overline{A}B + A\overline{B}$$

IC 7486 핀 배치도



07 XOR 게이트(Exclusive-OR gate)



□ 3입력 XOR 게이트의 기본 개념

| 진리표 | 동작파형 | 논리식 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|--|------|------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---------------------------|
| <table><tr><th>A</th><th>B</th><th>C</th><th>F</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td></tr></table> | A | B | C | F | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | <p>A 0 0 0 0 1 1 1 1 0</p> <p>B 0 0 1 1 0 0 1 1 0</p> <p>C 0 1 0 1 0 1 0 1 0</p> <p>F 0 1 1 0 1 0 0 1 0</p> | $F = A \oplus B \oplus C$ |
| A | B | C | F | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 0 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 1 | 1 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 0 | 1 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 1 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 0 | 1 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 1 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 0 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 1 | 1 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | 논리기호 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |

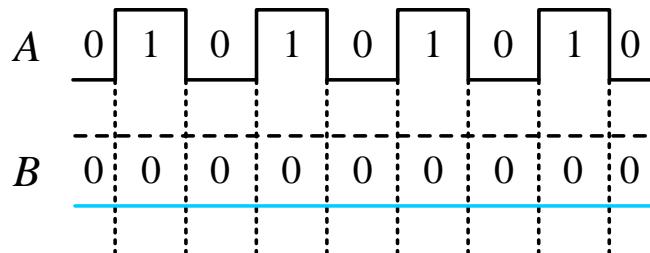
07 XOR 게이트(Exclusive-OR gate)



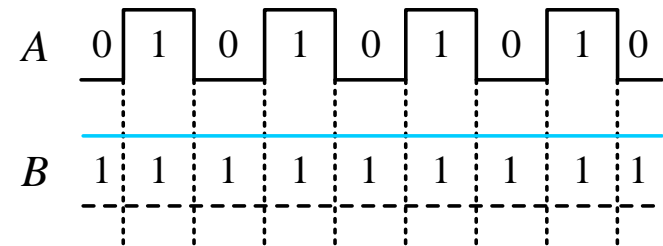
예제 4-7

2입력 XOR 게이트의 한 입력 A에 구형파를 인가하였다. 다른 입력인 B에 0을 인가한 경우와 1을 인가한 경우 각각의 개략적인 출력파형을 그려보아라.

풀이



B 입력이 0인 경우



B 입력이 1인 경우

End of Example

08 XNOR 게이트(Exclusive-NOR gate)



□ 2입력 XNOR 게이트의 기본 개념

- 입력 중 짝수 개의 1이 입력될 때 출력이 1이 되고, 그렇지 않은 경우에는 출력은 0이 된다.
- 출력값은 XOR 게이트에 NOT 게이트를 연결한 것이므로 XOR 게이트와 반대이다.
- 2입력 XNOR 게이트의 경우 두 개의 입력이 다를 때 출력이 0이 되고, 두 개의 입력이 같으면 출력은 1이 된다.

| 진리표 | 동작파형 | 논리식 | | | | | | | | | | | | | | | |
|--|------|-----|---|---|---|---|---|---|---|---|---|---|---|---|---|--|---|
| <table border="1"> <thead> <tr> <th>A</th><th>B</th><th>F</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>1</td></tr> <tr> <td>0</td><td>1</td><td>0</td></tr> <tr> <td>1</td><td>0</td><td>0</td></tr> <tr> <td>1</td><td>1</td><td>1</td></tr> </tbody> </table> | A | B | F | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | | $F = \overline{A} \overline{B} + A B$ $= \overline{A \oplus B}$ $= A \odot B$ |
| A | B | F | | | | | | | | | | | | | | | |
| 0 | 0 | 1 | | | | | | | | | | | | | | | |
| 0 | 1 | 0 | | | | | | | | | | | | | | | |
| 1 | 0 | 0 | | | | | | | | | | | | | | | |
| 1 | 1 | 1 | | | | | | | | | | | | | | | |
| 논리기호 | | | | | | | | | | | | | | | | | |

08 XNOR 게이트(Exclusive-NOR gate)



□ 3입력 XNOR 게이트의 기본 개념

| 진리표 | | | |
|-----|---|---|---|
| A | B | C | F |
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |

IC 74266 핀 배치도

| 동작파형 | |
|------|-------------------|
| A | 0 0 0 0 1 1 1 1 0 |
| B | 0 0 1 1 0 0 1 1 0 |
| C | 0 1 0 1 0 1 0 1 0 |
| F | 1 0 0 1 0 1 1 0 1 |

Pinout diagram of IC 74266. The chip has 14 pins. Pin 14 is VCC, pin 7 is GND. The top half contains two 3-input XNOR gates. The first gate has inputs 1A (pin 1), 1B (pin 2), and 1C (pin 3), with outputs 1Y (pin 4) and 1Z (pin 5). The second gate has inputs 2A (pin 6), 2B (pin 7), and 2C (pin 8), with outputs 2Y (pin 11) and 2Z (pin 12). The bottom half contains two 3-input XNOR gates. The third gate has inputs 3A (pin 9), 3B (pin 10), and 3C (pin 11), with outputs 3Y (pin 12) and 3Z (pin 13). The fourth gate has inputs 4A (pin 12), 4B (pin 13), and 4C (pin 14), with outputs 4Y (pin 11) and 4Z (pin 10).

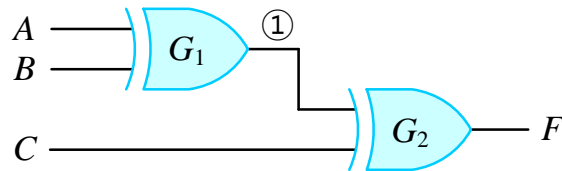
| 논리식 |
|--|
| $F = \overline{A \oplus B \oplus C}$ $= A \odot B \odot C$ |
| 논리기호 |
| |

08 XNOR 게이트(Exclusive-NOR gate)



예제 4-8

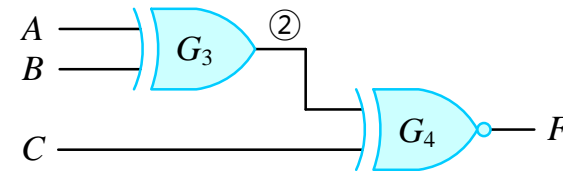
왼쪽 회로는 2입력 XOR 게이트 2개를 사용하여 3입력 XOR 게이트를 구성한 경우이다. 오른쪽 회로는 2입력 XOR 게이트와 XNOR 게이트를 각각 1개씩 사용하여 3입력 XNOR 게이트를 구성한 경우이다. 이를 진리표를 이용하여 확인하여라



풀이

| 입력 | | | 출력 | |
|----|---|---|----|---|
| A | B | C | ① | F |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 |

(a) 3입력 XOR 게이트로 동작하는 경우



| 입력 | | | 출력 | |
|----|---|---|----|---|
| A | B | C | ② | F |
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 | 0 |

(b) 3입력 XNOR 게이트로 동작하는 경우

End of Example



29. 입력이 모두 0(low)일 때만 출력이 1(High)로 나오는 게이트는?

㉠ AND

㉡ NAND

㉢ OR

㉣ NOR



16. 레지스터에 저장되어 있는 몇 개의 비트를 1로 하기 위해서는 그 장소에 x 를 가진 데이터를 y 연산을 하면 된다. 이 때 x 와 y 는?

㉠ $x=0, y \rightarrow \text{AND}$

㉡ $x=1, y \rightarrow \text{AND}$

㉢ $x=1, y \rightarrow \text{OR}$

㉣ $x=0, y \rightarrow \text{OR}$



다음 진리표(truth table)는 무슨 게이트인가?

| | | | |
|------|----------|----------|-----------|
| NOR | <i>A</i> | <i>B</i> | $C(A, B)$ |
| AND | 1 | 1 | 0 |
| OR | 1 | 0 | 1 |
| NAND | 0 | 1 | 1 |
| | 0 | 0 | 1 |

Quiz



레지스터 A 에 11011001이 들어 있다. 레지스터 A 의 내용이 01101101로 바뀌었다면 레지스터 B 의 내용이 10110100이면 A, B 에 수행된 논리 마이크로 동작은?

㉠ $A \leftarrow AB$

㉡ $A \leftarrow A \oplus B$

㉢ $A \leftarrow A + B$

㉣ $A \leftarrow \overline{A + B}$



44. $A=1, B=0, C=1, D=0$ 일 때, 논리값이 1이 되는 것은?

㉠ $\overline{A}\overline{B} + C\overline{D}$

㉡ $\overline{A}B + \overline{C}D$

㉢ $\overline{A}\overline{B} + \overline{C}\overline{D}$

㉣ $AB + CD$

9 게이트의 전기적 특성



전파지연시간

- 신호가 입력되고 출력될 때까지의 시간을 말하며, 게이트의 동작 속도를 나타낸다.

전력소모

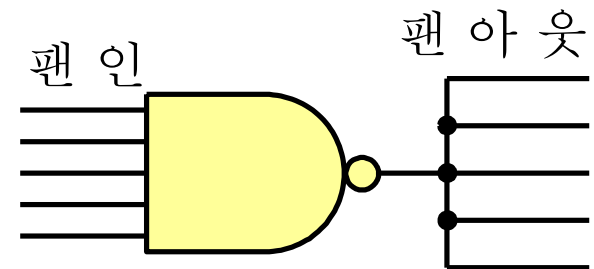
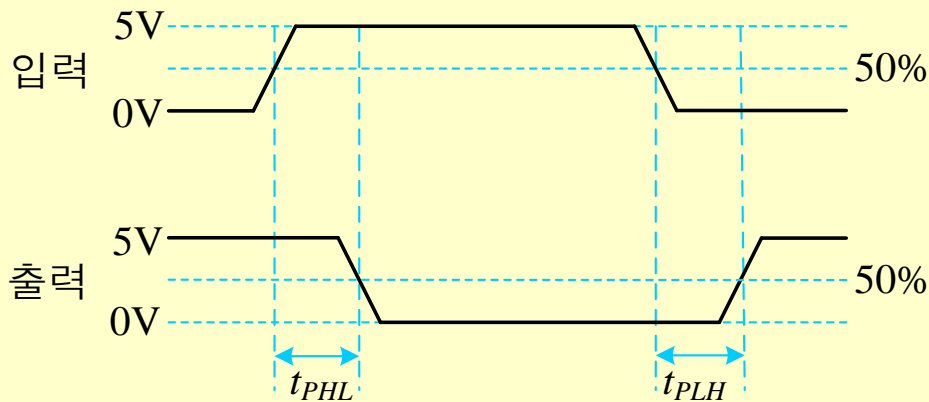
- 게이트가 동작할 때 소모되는 전력량

잡음여유도

- 최대로 허용된 잡음 마진

팬-아웃

- 하나의 게이트의 출력으로부터 다른 여러 개의 입력들로 공급되는 전류
- 정상적인 동작으로 하나의 출력이 최대 몇 개의 입력으로 연결되는가를 나타낸다.

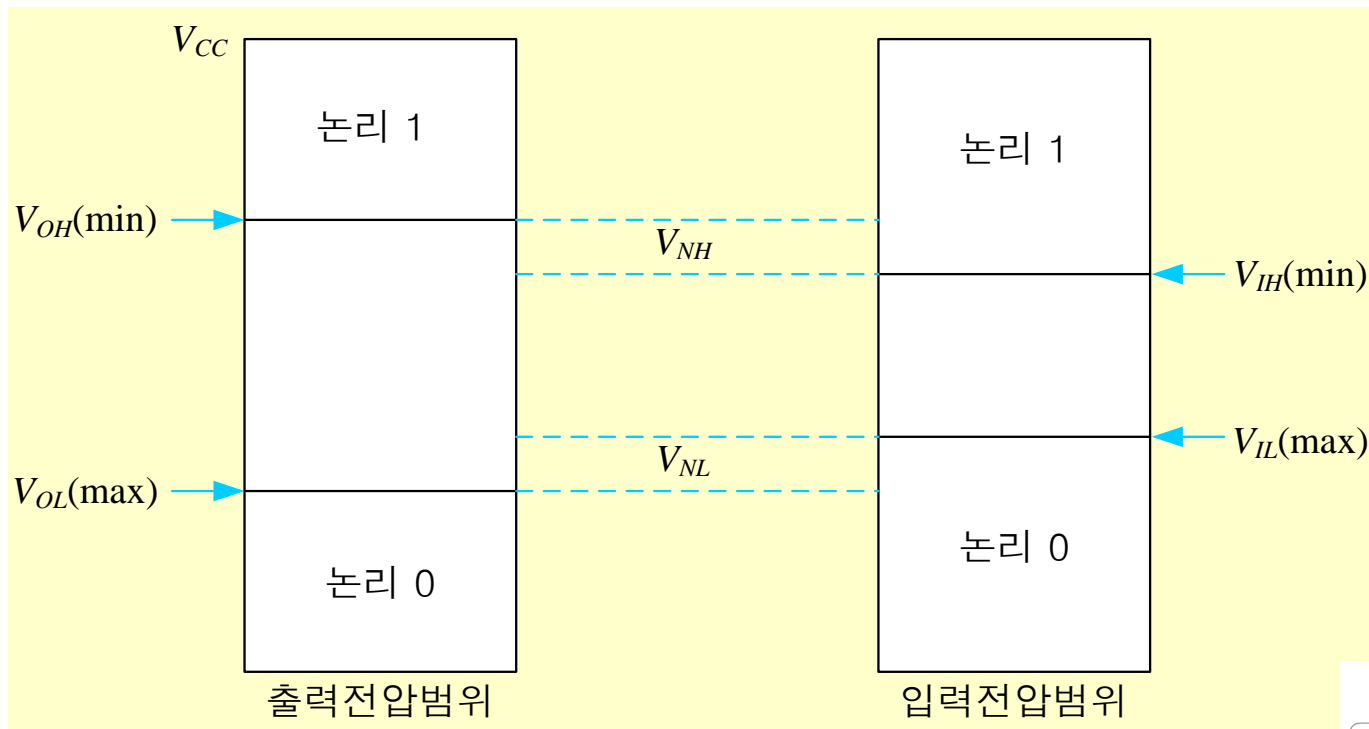


10 게이트의 전기적 특성



잡음여유도 (noise margin)

- 디지털 회로에서 데이터의 값에 변경을 주지 않는 범위 내에서 최대 허용된 Noise Margin을 의미



입출력 전압 범위

 Tip

V_{NH} : $V_{Noise\ High}$

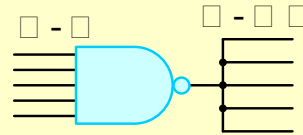
V_{NL} : $V_{Noise\ Low}$

10 게이트의 전기적 특성

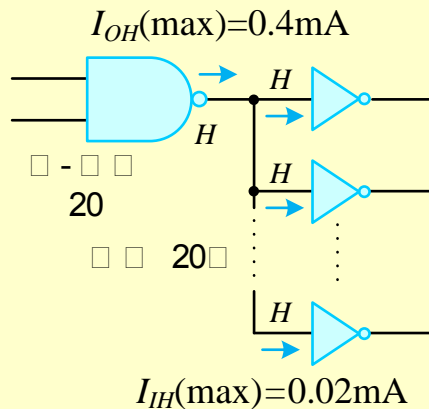


팬-인(fan-in)과 팬-아웃(fan-out)

- 팬-아웃은 1 개의 게이트에서 다른 게이트의 입력으로 연결 가능한 최대 출력단의 수를 의미
- 팬-인은 1 개의 게이트에 입력으로 접속할 수 있는 단수를 의미

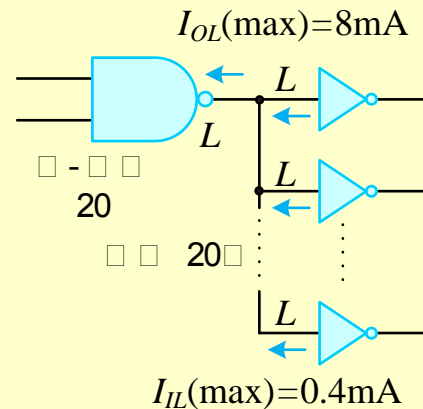


출력이 High 레벨일 때



$$\frac{I_{OH}(\max)}{I_{IH}(\max)} = \frac{0.4\text{mA}}{0.02\text{mA}} = 20$$

출력이 Low 레벨일 때



$$\frac{I_{OL}(\max)}{I_{IL}(\max)} = \frac{8\text{mA}}{0.4\text{mA}} = 20$$