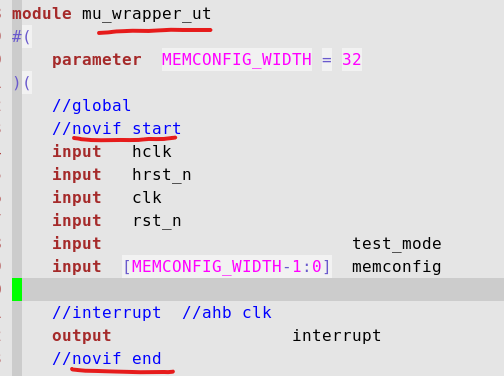
* uvm\_gen脚本路径：<https://192.168.100.106/svn/jin/verification/common/script/>
* 脚本使用命令示例：

cd function

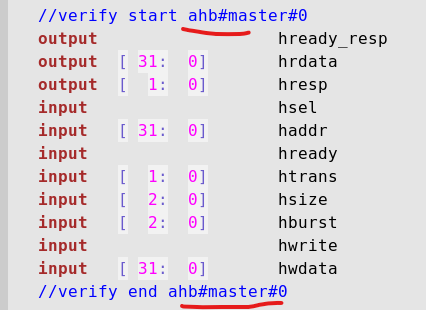
./../common/script/gen\_tb.py -tbname rce\_mu -infile mu\_wrapper\_ut.v

* 脚本使用的mu\_wrapper\_ut.v，示范示例在 verification/common/script/infile

在执行命令前，需要对mu\_wrapper\_ut.v module的ports(input/output pins)做修改，主要加关键性的注释，用于python脚本获取不同类型的接口信息，以下是示例：

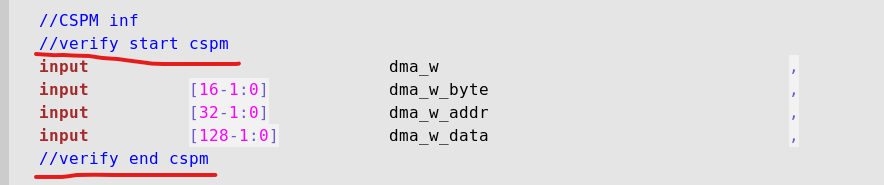


（1）上图 novif表示该类型的接口作为驱动时，可在tb中的initial块中产生；作为输出时可以floating；



（2）上图verify表示该类型接口为uvc或者vip，需要uvm组件或vip集成来产生激励或monitor下来做自动检查；

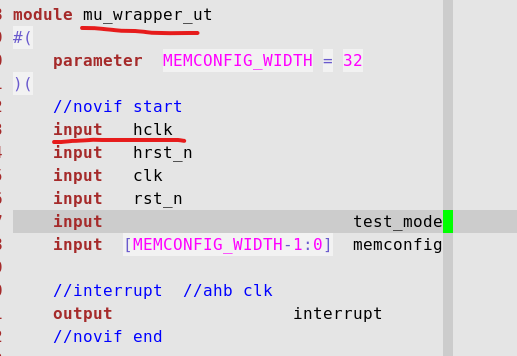
对于标准VIP，脚本支持AHB/AXI/APB的集成 – 通过ahb#master#0类似信息来完成自动集成，其中ahb作为VIP bus，master/slave指示是master还是slave，最后的0 num表示master或slave的接口数



（3）上图verify表示该类型接口为uvc，不是标准VIP，需要用户写agent，monitor，driver等；

1. 如果rtl top的module pins list中没有input/output信息，需要手动更新；

严格的示意图如下图：（module信息，每一行的input output，前面空四个空格键，末尾没有符号）



* 在运行gen\_tb.py行过程中，会有2个提示信息，

内容是环境中是否需要regmodel，输入“yes” or “no”；

首先会提示在env中是否有regmodel，如果输入“yes”，regmodel会自动集成在env中；然后提示在base\_test中是否有regmodel，如果输入“yes”，regmodel会自动集成在base\_test中；建议均为“yes”或“no”；

在env中默认regmodel和AHB master[0] map连接，如下图所示：



如果环境中只有APB VIP，此处需要手动更新上述红框里面的内容。

如果有其他非common的总线想要通过regmodel来访问寄存器时，参考以下文档：

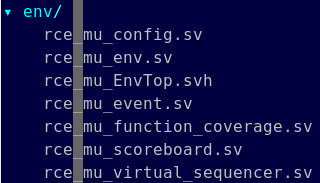


* 上述指令会生成rce\_mu的文件夹，下面的文件结构如下：



注意：如下表述中，为了使环境编译没有问题，\*表示该部分可能需要手动修改，\*\*表示该部分肯定需要手动修改。

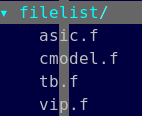
\*env结构如下图所示：



其中rce\_mu\_env.sv中可能需要手动修改：



\*\*filelist结构如下图所示：

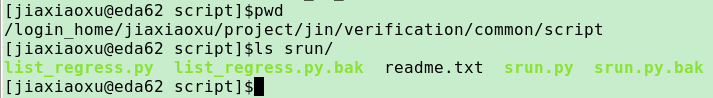


需要手动更新asic.f中的rtl filelist部分；注意vip.f一定要在tb.f编译之前编译；如果环境中有cmodel，按照cmodel.f注释的格式存放cmodel相关文件

\*reference用于存放cmodel相关文件，格式按上述描述手动存放

\*regmodel用于存放regmodel相关文件，把脚本生成的(rce\_mu)\_reg\_top.sv存放到该目录下

run用于存放脚本，从common/下copy而来。脚本源路径如下图所示：



其中readme.txt对脚本进行了说明。

\*sva用于存放assertion文件，如果需要的话

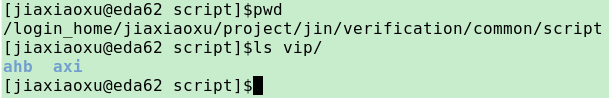
\*\*tb用于存放tb\_top及时钟产生相关文件；其中tb\_top需要手动更新：1. 删除DUT例化列表中最后一个信号后面的“,”；2. 对于AHB master VIP接口，DUT的hsel/hready\_resp激励可能需要手动更新，比如hsel tie 1，hready\_resp和VIP的hready信号连接；注意tb中时钟可能有多个，需要手动添加各个频率的时钟的产生，可通过时钟产生文件产生，也可在tb中直接定义产生时钟；并且注意各个uvc的接口例化时，时钟的选择；

tcl用于存放波形设置脚本文件，缺省为空

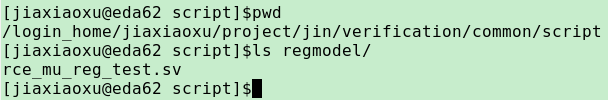
testcase用于存放case

testplan用于存放json及filelist link等，缺省为空

uvc下为各个接口的uvc及vip的uvc，其中vip的uvc可以在common中copy而来。vip uvc的源路径如下图所示：



另外，建立了一个寄存器扫描的case -- AHB通过regmodel访问寄存器，case中包括regmodel的mirror、write等函数的使用，及regmodel自带seq（uvm\_reg\_hw\_reset\_seq/uvm\_reg\_bit\_bask\_seq）的使用；可以作为参考；case源路径如下图所示：



新建infile文件夹，添加作为参考的rtl top module，作为infile的输入文件。文件源路径如下图所示：

