



ICCAD Contest

2023.03.07

Problem B 3D Placement with Macros

(Synopsys, Inc)

指導教授: [陳宏明] (簽章)

Team: cadb0016

workload: 洪丞玄(100%)

→programming、測試 placer、閱讀論文

楊豐兢(0%)







目錄

參賽證明	3
第一章 摘要	4
第二章 程式流程圖	5
第三章 方法	6
3.1 partition	6
3.1.1 random	6
3.1.2 Fiduccia-Mattheyses	6
3.2 ntuplace3	8
3.3 terminal placement	. 10
第四章 競賽結果	. 11
第五章 結論	. 14
第六章 参考文獻	



2023 國際積體電路電腦輔助設計軟體製作競賽 版權授權及個人資料使用授權同意書】

加口研护	
版權授權	•

本隊參加「2023國際積體電路電腦輔助設計軟體製作競賽」參賽題目為

B. 3D Placement with Macros (Synopsys, Inc.)

本隊成員保證本作品除此競賽外,未參與其他相關之比賽;如有上述情形即喪失參賽資格。 若本作品得獎,作品版權仍歸本隊成員所有,然本隊成員同意主辦單位有公開展示、推廣及 印刷重製權。

個人資料使用授權:

本競賽主辦單位恪遵中華民國「個人資料保護法」暨相關法令之規定,蒐集、處理及利 用您的個人資料:

授權有效期間:一年

個人資料收集項目:

- a.電子信箱 b. 連絡地址 c.連絡電話
- 利用方式及對象:
- a.利用於本競賽各項業務執行,包括因業務執行所必須進行之各項聯繫及通知。
- b.利用於IC/CAD設計人才資料庫統計、辦理就業輔導講座以及校園徵才之各項聯繫。
- 2. 您可依中華民國「個人資料保護法」,就您的個人資料行使以下權利:請求查詢、閱覽 、複製、補充、更正、刪除或停止蒐集、處理、利用您的個人資料,另有規定者不在此 限。惟若因行使上述權利,導致您的權益受損時,本競賽不負賠償責任。

本競賽主辦單位若有修正本【版權授權及個人資料使用授權同意書】之內容,將於本競賽網 站上以公告方式通知。參賽隊伍若未提出異議或繼續參與本競賽,表示已同意本競賽所變更 之內容。如有異議,請發送電子郵件至本競賽信箱cad.contest.iccad@gmail.com。

當您簽署本同意書時,表示您已閱讀、瞭解並同意接受以上所述內容。

指導教授:	2000	(簽章)
	洪丞玄	_(簽章)
立同意人(參賽學生):	楊豐荫」	(簽章)
		(簽章) (簽章)
		(簽章)
	2023年生	5月4日

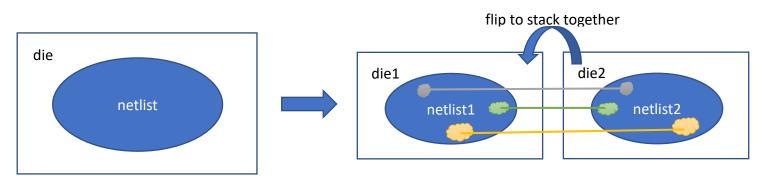
提醒: 請填寫參賽題目及報名編號 並且本隊所有成員(包括指導教授及參賽同學)皆應於此同意書親 筆簽名或蓋章 本同意書列印、填寫、簽章後 請掃描成pdf檔上傳至報名系統





第一章 摘要

與去年競賽的題目相似,探討關於 3D 封裝 IC 的 cell 擺放,將兩個 die 疊 放在一起,把 netlist 的 cells 分到兩個 die,然後在晶片最上層使用 hybrid bonding terminal 將兩個 die 的同一 netlist 連接(Figure 1)。然而,今年 cell 不只有 standard cell,還有 Macros。



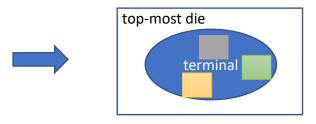


Figure 1

Macros 帶來的問題來自於它的 height 不一定是 row height,上下 die 的 cell library 不一樣, size 和 pin 可能不同,並且還可以旋轉(不能翻轉),所以擺放的複雜度提升。

此次競賽輸出的上層 die 不需要因為實際製程而對 Y 軸鏡射擺放,擺放位置相當於俯視的結果,也就是說 diel 維持,而 die2 要對 Y 軸鏡射擺放。

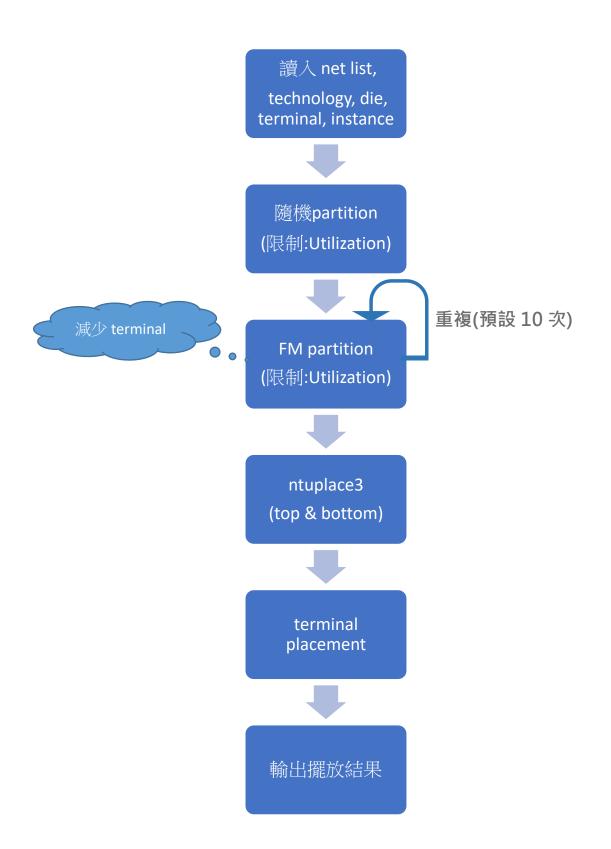
輸出 top、bottom die 和 terminal 的擺放結果。







第二章 程式流程圖







第三章 方法

3.1 partition

必須符合 top 和 bottom 的 area utility,所以先 random partition

♣ 3.1.1 random partition

```
for (i from 1 to the number of nets)

read the cell number of the net i

for (j from 1 to the number of cells)

if the cell j is not checked then

if top area == bottom area

assign j to top die or bottom die randomly

else if top area < bottom area

assign j to top die

else

assign j to bottom die

store cell technology for the cell j

store block for the cell j

end for

end for
```

FM 演算法可以在較低時間複雜度下 取得還不錯的結果,減少 terminal

3.1.2 Fiduccia-Mattheyses partition

```
/* gain initialization */
for each cell i
    for each net j of the cell i
        F = the block where the cell i is
        T = the complimentary block
        if F(j) == 1 then
            gain(i)++
        if T(j) == 0 then
            gain(i)--
        end for
        update the bucket according to the block where the cell i is
and the corresponding max gain index
end for
```





```
/* main loop and retransfer */
repeat
    if max gain at top > max gain at bottom then
        if balance criteria met then
            gain_update(top)
        else
            gain_update(bottom)
   else if max gain at top < max gain at bottom then
        if balance criteria met then
            gain_update(bottom)
        else
            gain_update(top)
   else
        if balance_distance(top) > balance_distance(bottom) then
            gain_update(top)
        else
            gain_update(bottom)
largest partial sum += free cell gain
if largest partial sum > maximum then
   maximum = largest partial sum
   clear maximum_cell_list
   push the current free cell index into the maximum_cell_list
until the two bucket are empty or largest partial sum == 0
find the cell index G in the maximum_cell_list which has minimum
balance distance
retransfer the remaining cells whose index is after G in the free
cell list
```

locked cell 不能被交換

/* gain update */

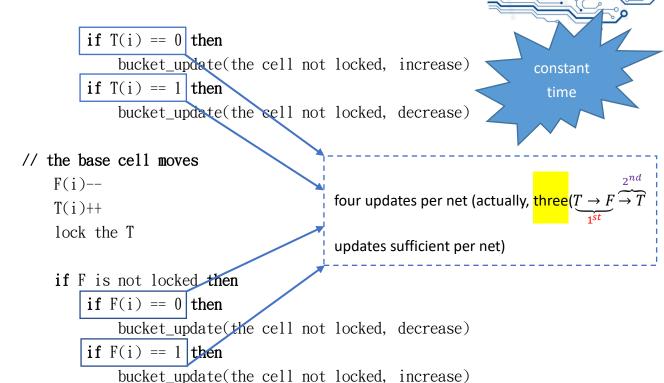
remove the base cell from its bucket(O(1)) //implemented by hash table lock the base cell and put it in the free cell list store the balance distance of the base cell for each net i of the base cell

F = the block where the cell i is

T = the complimentary block

if T is not locked then





end for

/* bucket update*/

temp_cellgain = the cell gain
plus or minus the cell gain by one
erase the cell at its bucket[temp_cellgain]
push the cell into its bucket[the cell gain]

3.2 ntuplace3

將分配完的 top and bottom die 的擺放資料依指定格式輸入

nodes nets placement

NumPins: 953

NetDegree: 2

M049_0 B: 3 -4

M047_0 B: 1 2

NetDegree: 2

M049_0 B: 2 -2

M046_0 B: 1 1

NumNets: 408

左下X、Y座標

指定的 cell 的某一 pin, 位置為與中心的相對距離

N₀24 522 : N N₀23 782 0 : N N022 1273 552 : N N021 415 N020 1052 N019 170 : N N017 347 : N N016 954 1273 N015 N014 1273 688 : N N013 768 1273 : N N012 211 1273 N011 875 : N : N N010 583 1273 397 1273 N009

左下X、Y座標以及轉向

M001_0	220286
M002_0	41540
M003_0	87636
M004_0	198352
M005_0	29362
M006_0	65472
M007_0	12110
M008_0	31872
M009_0	18032
M010_0	7134
M011_0	12375
M012_0	12879
M013_0	7102
M014_0	14904

weights

cell 面積大小





rows

ntal : : :	0 1 1			
:	1			
:	1			
	1			
	_			
: _	4			
	T			
:	N			
:	Υ			
:	0	Numsites		1273
ntal				
:	1			
:	1			
:	1			
:	1			
:	N			
:	Υ			
:	0	Numsites		1273
	: : : : : : :	N : Y : 0 : 1 : 1 : N : Y : Y	: N : Y : 0 Numsites ntal : 1 : 1 : 1 : 1 : Y	: N : Y : 0 Numsites : ntal : 1 : 1 : 1 : 1 : Y

top 或 bottom die 的 area 都是以 row 的方式分割

-noglobal Turn off the global placement.

-nolegal Turn off the look-ahead legalization, legalization, detailed placement.

-nodetail Turn off the detailed placement.

-loadpl filename.pl Load the initial placement from the file.

-util utilization
 -out prefix
 -plt
 -MRT
 Set placement utilization.
 Output result in prefix.ntup.pl
 Plot the placement only.
 Turn on macro rotation

以上為 placer 提供的功能指令,可以彈性決定 placement 的過程,甚至支援 macro 的旋轉(因為旋轉可更進一步優化 HPWL)





3.3 terminal placement

```
for every crossing-die net
    for every cell
        average_X = 0
        average_Y = 0
        for every pin
            average_X += pin_X + cell_center_X
            average_Y += pin_Y + cell_center_Y
        end for
    core_X += average_X/pin_size
    core_Y += average_Y/pin_size
    terminal.score = average_X/pin_size + average_Y/pin_size*10
    end for
end for
core_X /= crossing-die net number
core_Y /= crossing-die net number
sort cell according to score from low to high
side_width = sqrt(crossing-die net number) + 1
side_height = side_width
start_X = core_X - core_X/2*terminal_space
start_Y = core_Y - core_Y/2*terminal_space
arrange the terminal on the square row by row ordered by
terminal.score
```







第四章 競賽結果

 $|score(cost)| = |HPWL \ of \ top \ die \ + \ HPWL \ of \ bottom \ die \ + \ number \ of \ terminals \ imes \ terminal \ cost$

FM

runtime factor = $0.02 \times log_2(\frac{elapse\ time\ of\ test\ binary}{median\ elapse\ time})$

runtime factor bounded = $\max(-0.1, \min(0.1, runtime\ factor))$

 $final\ score = score \times (1.0 + runtime\ factor\ bounded)$

(Update) 【2023 CAD Contest 【Alpha Test Submission of Problem B (cadb0016) 98 欧年医文

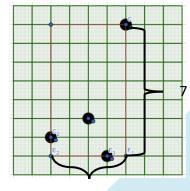
CAD Contest <ad.contest.ica。は今本記したのか 奇台 j109511070.ee09・我・陳宏明 マ ス 英文マ > 中文(繁體)マ 副護郵件 Dear contestants,

Topic Chairs re-checked the evaluation results and updated score as follows, thank you.

			Case1	
	score	runtinie	runtime factor	finel score
cadb0016_alpha	169	1	1 9	169.00
1	\.			

	Case	2_hidden	
score	runtime	runtime factor	finel score
22181710	4	-0.064189067	20,757,886.72
	(Case2	
score	runtime	runtime factor	finel score
33012939	5	-0.052645364	31,274,960.80
	Case	3_hidden	
score	runtime	runtime factor	finel score
0	0	0	0.00
		Case3	
score	runtime	runtime factor	finel score
193342242	204	0.001749257	193,680,447.24
		Case4	
score	runtime	runtime factor	finel score
	0	0	0.00

HPWL(half-perimeter wirelength)是一種評估布局線長的一種方式。右圖為例,找出最小容納這些點的矩形,取一半周長為布局線長。







【2023 CAD Contest 】(Beta Test)Submission of Problem B (cadb0016) (外面) 欧年巨文

C

CAD Contest <cad.contest.iccad@gmail.com> 寄給 j109511070.ee09、 我、 陳宏明 ▼

文A 英文 ▼ > 中文(繁體) ▼ 翻譯郵件

Dear contestants,

Thanks for joining the 2023 CAD contest.

Topic Chairs completed the evaluation for the Beta test submission.

	Case1			
	score	runtime	runtime factor	finel score
cadb0016_beta	169	1	0	169.00

	Ĭ	Case2_	hidden	
score	Ĭ	runtime	runtime factor	finel score
21884710	Š	6	-0.02	21447015.80
	1			
	<u> }</u>	Cas	e2	
score	3	runtime	runtime factor	finel score
34525277	Ž	5	-0.047570232	32882901.55
	X		3	
	Š	Case3_	nidden	
score	Ĭ	runtime	runtime factor	finel score
0	Ĭ	0	(3	0.00
	Ι			
	Š.	Ca	se3	
score	Ĭ	runtime	runtime factor	finel score
0	Ĭ	0	Ċ	0.0
	Ī			
	3	Case4	hidden	
score	1	runtime	runtime factor	finel score
0	ì	0	G.	0.00
	Ì			
	Ĭ	Ca	:e4	
score		runtime	runtime factor	finel score
	0	0	0	0.0











CAD Contest 寄給 j109511070.ee09、洪丞玄、 陳宏明 ▼

文A 英文 ▼ 〉 中文 (繁體) ▼ 翻譯郵件

Dear contestant,

Thanks for joining the 2023 CAD contest.

Topic Chairs completed the evaluation for the Final submission.

	Casel			
	score	runtime	runtime factor	finel score
cadb0016_final	169	1	0	169.00

	Case	2_hidden_v1	<u> </u>	
score	runtime	runtime factor	finel s	core
22181710		-0.0544493	20,9	73,930.96
			Ş.	
		2_hidden_v2	<u> </u>	
score	runtime	runtime factor	finel s	core
22276670		5 -0.05926948	20,9	56,343.30
		Case2	\$	
score	runtime	runtime factor	finel s	core
34372315	,	-0.063398	5 32,1	.93,161.79
			3	
	Cas	se3_hidden	<u> </u>	
score	runtime	runtime factor	finel so	core
0	0	C	3	0.00
		Case3	1	
score	runtime	runtime factor	finel s	core
0		0	0	0.00
			<u> </u>	
		ase4_hidden	6	
score	runtime	runtime factor	-	score
0		0	0	0.0
		Case4		
score	runtime	runtime facto	r fine	el score
	0	n	7	0

Sum 74,123,605.05







第五章 結論

random partition 的結果為 initial solution,之後藉由 FM partition 降低 crossing-die net 數量(terminal 數量)。因為 ntuplace3 無法同時對 top 和 bottom 布局,所以假如要分別對 top 和 bottom 使用 ntuplace3,那麼極大程度降低 terminal 數量可以盡可能降低兩個 die 優化的相依性,讓 ntuplace3 對 net 的 HPWL 優化效果更好。

很可惜由於第一次接觸 EDA 領域,所以很多觀念還很陌生,結果並不是很理想,期望之後修習更進階的課程後可以累積一些底蘊,挑戰明年的競賽以及挖掘自己熱愛的研究方向。

此次競賽雖然是獨立完成,但是在此我要謝謝老師的指導以及助教的提點讓我少走彎路,以及臺大 EDA LAB 提供的 placer 讓我克服非常多短時間無法解決的難題。雖然這次結果沒有盡如人意,但是努力完成一項挑戰讓我充滿信心,不論未來將迎接甚麼挑戰都不懼怕。







第六章 参考文獻

- [1] T.-C. Chen, Z.-W. Jiang, T.-C. Hsu, H.-C. Chen, and Y.-W. Chang, NTUplace3: An Analytical Placer for Large-Scale Mixed-Size Designs With Preplaced Blocks and Density Constraints, IEEE Trans. Comput.-Aided Design Integr. Circuits Syst., 2008
 [2] S. Panth, K. Samadi, Y. Du, S.-K. Lim, Placement-Driven Partitioning for Congestion Mitigation in Monolithic 3D IC Designs, IEEE Trans. Comput.-Aided Design Integr. Circuits Syst., 2015
- [3] C.M. Fiduccia, R.M. Mattheyses, A Linear-Time Heuristic for Improving Network Partition, 19th Design Automation Conference, 1982

