摘要：深度神经网络在计算机视觉、语音识别等方面有广泛应用，然而深度神经网络出色的准确率是基于高的计算复杂度，在高维度卷积时，需要同时进行成百上千的卷积操作，而要“喂饱”这些操作需要从存储读取写入数据，因此存储访问量是极大的。小型移动设备对续航要求很高，电池容量极为有限，不容许高能耗的深度神经网络。尽管SIMD等高度并行计算技术能增大吞吐量，但是在能耗的占比中，存储访问占用的比例是高于计算的能耗。所以找到一种既内存访问量低又能保持高准确率的dataflow结构是至为关键的。依赖硬件强大的计算能力并且对硬件资源占用极大，所以它很难嵌入智能手机、智能手表和机器人等移动设备。所以在不降低准确率和不增加硬件开销的情况下，降低功耗和加快处理速度是急需的。

本文旨在分析比较目前的加速技术，包括dataflow和量化。

要降低能耗，势必要降低存储访问量，尤其是对能耗高的DRAM的访问量，但是神经网络计算所需的数据量不变，因此要增大对已经从存储读取的数据的复用，根据对复用数据的类型划分三种dataflow：权值复用的权值固定（OS）dataflow、输入数据复用的输出固定（WS）dataflow和无本地复用（NLR）dataflow。由于不同类型的数据流向不一样，所以三种dataflow的存储访问量和存储访问方式也不一样，带来的能耗有很大差异。通过建立模型计算在三种dataflow结构中，三种类型的数据对各层次存储的访问量，再结合各层次存储一次访问的能耗，可以分析出WS、OS和NLR三种dataflow在存储访问量和访问能耗的差异。结论:

关键词：神经网络；能耗；dataflow

Abstract：

Keywords:

//设计说明：

//任务来源：

引言：深度神经网络在AI的许多领域有着广泛的应用，自从深度神经网络在语音和图像识别方面取得重大突破后，深度神经网络的应用呈现爆发式增长，不管是自动半自动驾驶、癌症细胞检测还是消费电子，深度神经网络都能胜任，甚至在某些领域例如，已经超过了人的准确率。它的极佳的性能利益于对数据特征的高层次抽象的能力，数据量越大网络越深，特征抽象得越高层越准确。近期神经网络的发展得益于大数据和计算机算力的飞速提升。

然而，现阶段的深度神经网络的准确率是基于高的计算复杂度，需要大量的计算能耗和大量占用内存资源。然而，目前，嵌入式视觉系统广泛应用于自动半自动驾驶、消费电子（相机和移动电话）、电动玩具，它们硬件资源少，电池容量小且要求准确率高和实时性，不能直接运行深度学习网络，需要一个低功耗、轻量化、低成本的系统。，功耗主要由计算功耗、时钟功耗、内存访问功耗组成。深度神经网络的参数动辄上万计，计算量更是高于两个数量级，对DRAM访问的能耗，比对Buffer访问、PE和RF访问消耗的能量高两个数量级，如何减小对存储的数据的访问次数，尤其是减少对DRAM的访问次数，增加对数据的复用，不管是在RF内部和PE之间，还是从Buffer获取数据都将极大降低功耗。本文分析了3种dataflow：WS、OS和NLR，WS和OS基本原理都是通过增加数据复用来降低存储访问功耗，所以这两种dataflow有一些基本共同点，但是在具体实现上，它们对数据复用的类型不同，WS是对权值复用，OS是对输入数据复用，所以对数据的存储交换和处理方式差别很大。对4种存储层次的访问量和4种存储层次访问功耗的差别，比较3种结构的功耗，并与实验数据相比较。

功耗的另一个来源是计算，我们知道乘法比加法消耗的功耗是数量级的，尤其是训练神经网络时用的32位浮点运算，乘法比加法多，时间多，如果我们用8位量化的话，在可接受精度下降范围内，硬件支持更加友好，速度更快，功耗更低。本文将在谷歌的tensorflow框架下，对训练过的lenet网络进行量化，准确率只下降0.6%,而模型参数变为1/4。更容易移植到小型移动设备上，比如做成app在手机上运行。

国内外相关研究：[1]对低功耗深度神经网络的综述，在硬件方面，分析了低功耗的瓶颈是存储访问能耗开销过大，叙述了解决存储访问能耗的dataflow，定性比较了这些dataflow在3种数据类型5种存储层次的能耗差异。[2]在65nm制程、相同的硬件约束下，仿真实验测出AlexNet在不同dataflow中3种数据类型5种存储层次的存储访问能耗分布，是我们验证所模型正确的依据。[3]基于权值固定dataflow，实现一种被称为neuFlow的硬件结构，用于对图片中物体的分类和定位。neuFlow中的权值被固定在100个PE里面，输入数据被分配给这些PE，部分和在PE之间传递实现累加。[4]设计了一个被称为DnnWeaver的加速器生成器，可以根据给定的DNN结构（Caffe描述）和FPGA开发板，自动生成可综合的加速器。硬件部分采用的dataflow是输出固定的dataflow，可以根据FPGA的资源设置PE的个数。

提出了一种基于行固定的dataflow，能减少数据交换的能耗，通过探索对权值输入数据的复用并且减少部分和的数据迁移。

## 深度神经网络理论基础

深度神经网络的结构针对具体的应用场景差别很大，比如，针对目标检测有前馈神经网络结构的AlexNet，但是前馈神经网络无法对时间序列上的变化进行建模，然而样本出现的时间顺序对于语言识别非常重要，所以就有了循环神经网络RNN。针对同一种应用为了提高准确率和效率，神经网络的结构也在不断变化，比如从AlexNet到VGG到ResNet。本文主要讨论前馈网络，所有计算都是对前一层网络输出操作，最后一层网络的操作将产生整个神经网络的输出。

### 全连接

深度神经网络的一种结构是全连接，如图1，从图中可以看出每一个输出都通过“线”连接到所有的输入，而这“线”就是权重，也就是说输出是所有输入的加权和，权值的数量是输入输出的积，需要大量的计算和占用大量的存储资源，如果能够减少计算一个输出所需要的权值的数量，并且让每个输出都用相同的权值，那么就将权值的数量极大减少，权值的共享和复用做到了极致，卷积就是这样一种操作。

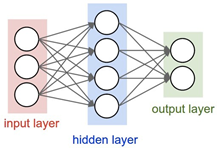
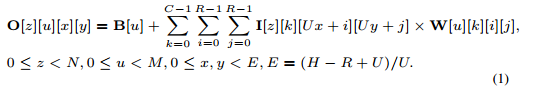


图1.

DNN以CNN为基础，加入池化层（Pooling layer），内积层（Inner product）、激活层（Activation layer）、标准化层（Normalization layer）

### 卷积层

卷积层：如图所示，通过将一个权值滤波器在输入上面滑动并与相应位置上的输入值相乘，所有的积再相加得到这个滤波器当前所在中心位置的输出，二维权值滤波器以一定的步长滑过输入特征图产生的所有输入值按位置排列形成的阵列就是二维输出特征图，二维权值滤波器一般为1 x 1 、3 x 3、7 x 7等奇数，所以输出值的位置一般在滤波器的中心。高维卷积的输入是多个二维特征图堆叠而成的，每一个特征图称为一个通道，每一个通道都和相应的高维滤波器的一层卷积，再把所有通道的卷积值相加，得到输出特征图的一个通道，多个高维滤波器通过相同的运算能产生相等数量的输出通道，再把这些通道堆叠起来生成输出特征图。



O I W B 是输出特征图矩阵、输入特征图矩阵、滤波器矩阵、偏差矩阵。



**R**

filter (weights)

**S**



**E**

**F**

**Partial Sum**

psum)

(

**Accumulation**

input fmap

output fmap

**Element-wise**

**Multiplication**

**H**

**W**

**an output**

**activation**

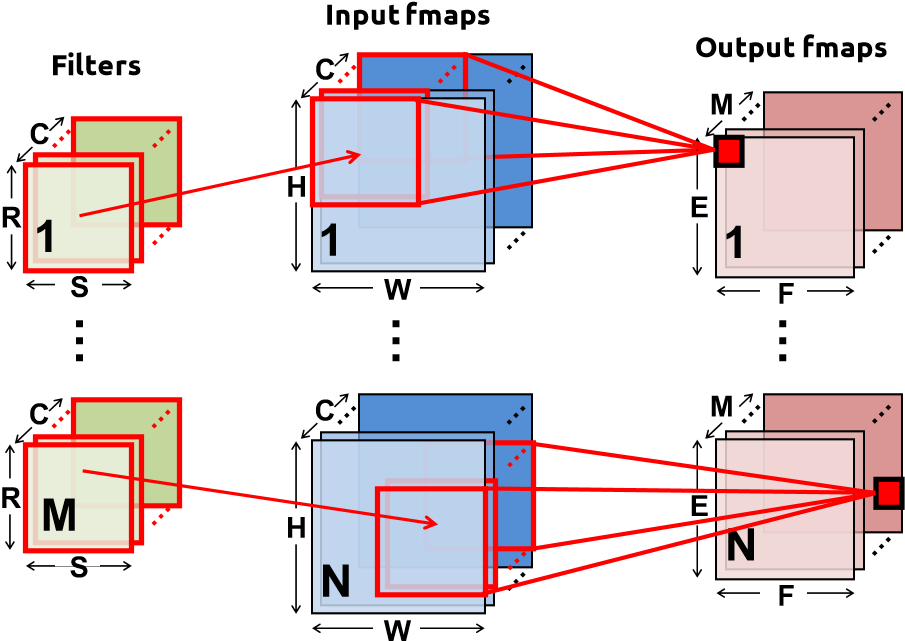


图2.

图3.

### 池化层

池化层：池化层让网络更加稳定，不受微扰的影响，还能缩小网络的大小。如图，在输入特征图的每一个通道，用一定大小的方框，（比如2x2），以一定的规则（比如，选取方框中的平均值、最大值、最小值）得到一个输出值替代方框中的所有输入值，类似于卷积，当方框滑过整个输入通道时，得到输出通道，所有输出通道堆叠形成输出特征图。

|  |  |  |  |
| --- | --- | --- | --- |
| 9 | 3 | 5 | 3 |
| 10 | 32 | 2 | 2 |
| 1 | 3 | 21 | 9 |
| 2 | 6 | 11 | 7 |

图4.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 32 | 5 |  | 18 | 3 |
| 6 | 21 | 3 | 12 |

## 内积层

内积层：在Caffe中全连接层（Fully Connected ）又被称为内积层（Inner product）,顾名思义，内积就是做输入向量和权重矩阵的内积，本质是由一个特征空间线性变换到另一特征空间，输出层的每一个元素都会受到所有输入元素的影响。在DNN中，内积常常出现在最后几层，用于对前面设计的特征做加权和。

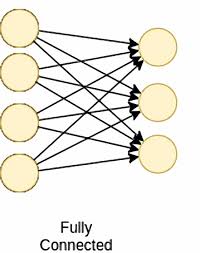


图5

### 激活层

激活层：在卷积和内积计算之后往往有非线性激活函数，如果没有非线性激活函数或激活函数是线性的，那么多个内积层可以用一个层来代替，失去了深度学习神经网络在更高层次提取特征的意义。非线性化函数有传统的Sigmoid、Tanh和ReLU，其中ReLU由于其实现方式简单能够快速训练网络，在DNN中有广泛运用，为了提高准确率，ReLU也有许多变种，比如Leaky ReLU、Parametric ReLU和Exponential LU。

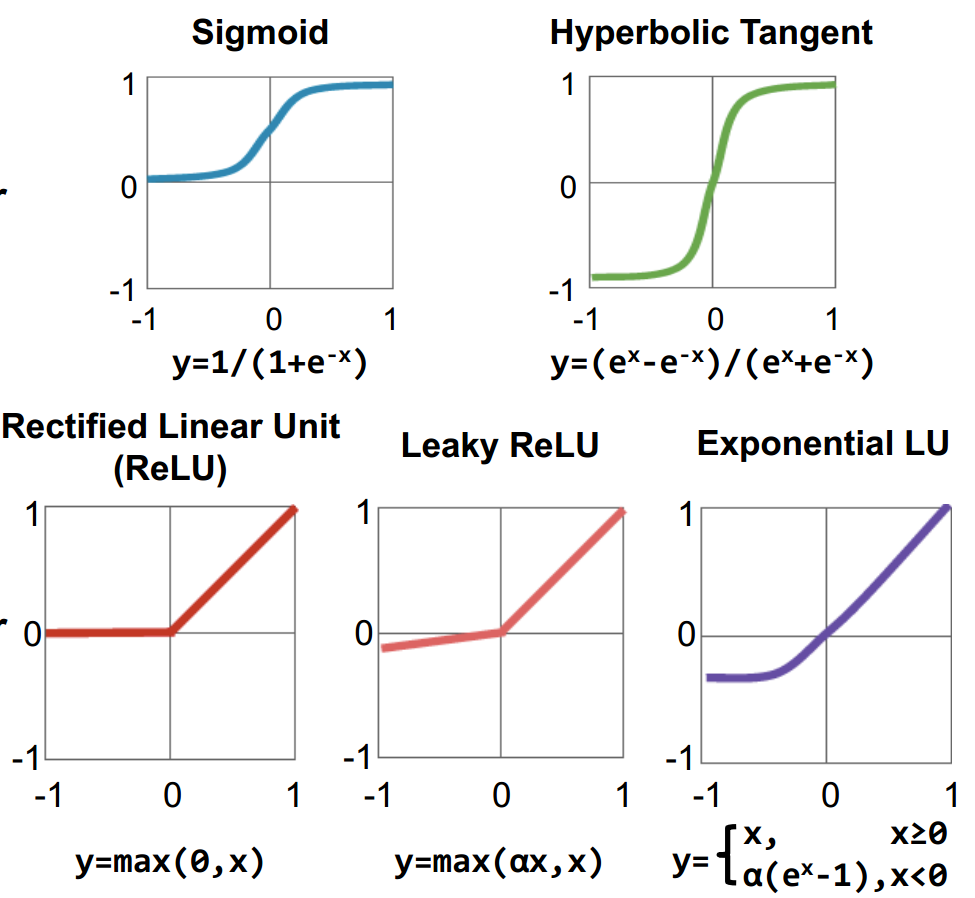


图6

标准化层：

标准化：为了加速训练速度和提高准确率，必须控制输入值的分布。标准化先计算出滑动窗口中元素的平方和，再将平方和非线性化，然后乘以输入元素得到相应的输出

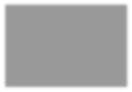
流行的深度神经网络

图说。

## 高能效dataflow介绍

要实现高速低功耗的深度神经网络，瓶颈是内存访问。在高维度卷积时，需要同时进行成百上千的卷积操作，而要“喂饱”这些操作需要从存储读取写入数据，因此存储访问量是极大的。神经网络最多的是卷积层和全连接层，卷积层承担了90%的计算量，而全连接占据了90%的内存访问，它们的基本计算单元都是乘加操作，如图，

**读 Memory 写Memory**



ALU

**MAC**

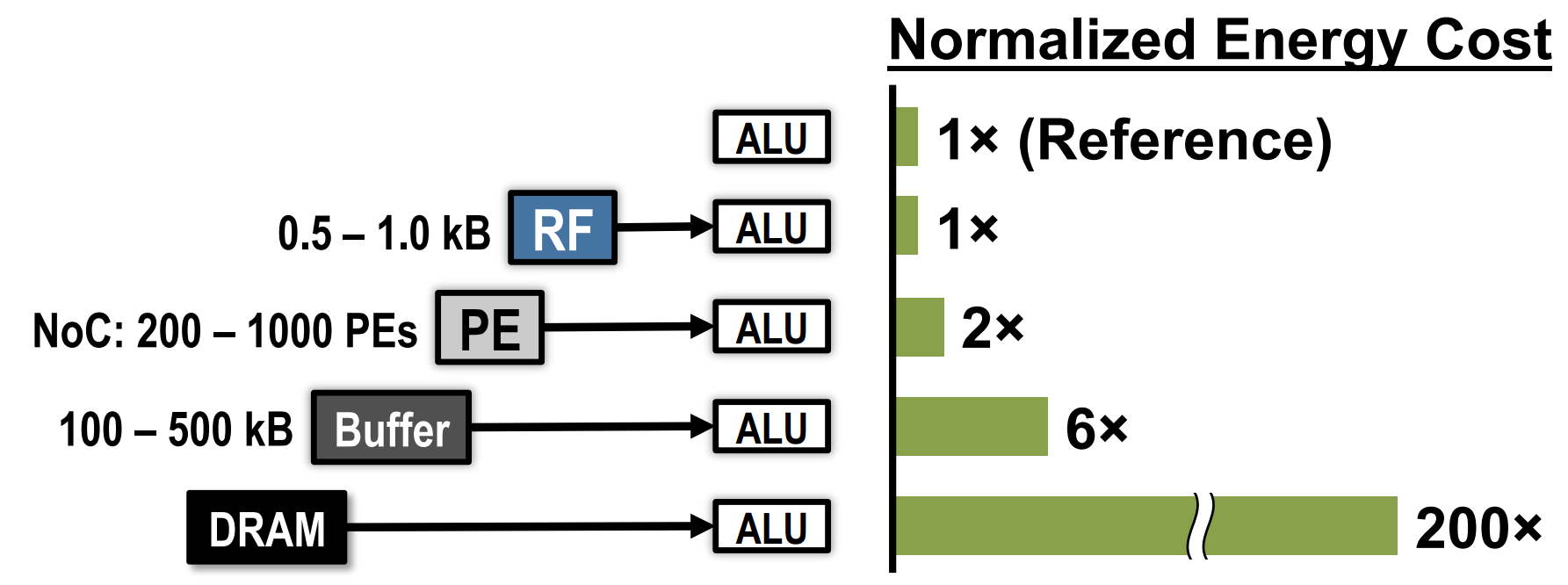
**\***

权值

输入数据

部分和 更新部分和

\* multiply-and-accumulate

每一个乘加操作需要三次存储读取，分别是权值（weight）、输入数据(activation)和部分和(partial sum)，一次写存储用于更新部分和或者输出。MAC操作的速度和能耗主要由两个因素决定：输入数据复用和部分和在哪里累加；MAC的输入是从哪个存储层次获取；输出将要存到哪个层次的存储。最坏的情况是所有的内存访问都对片外DRAM访问，将严重降低速度和增大能耗，对DRAM的访问的功耗是计算的几个数量级（释）。

图，

显示了从DRAM读取数据比从RF或者邻近的PE高2个数量级，所以为了减少数据迁移的能量消耗，必然要使得数据尽可能多的从RF或者PE获取，从DRAM获取的数据尽可能多地在内部复用。于是提出了图，

一种空间结构，要减少神经网络运算的能耗和提高运算速度，就要设计一种数据流能决定何时从哪个内存层次取数据，最优的数据流是最少访问能耗高的存储层次比如DRAM，DRAM虽然能够存储GB级别的数据，但是访问的功耗比只有KB级别的RF高两个数量级，所以，每次从高能耗层次取的数据尽可能多的在低能耗层次复用，但是低能耗层次的容量是十分有限的，因此我们需要在功耗和容量的限制下探索不同的数据流结构对数据的复用。加速器这样的空间敏感架构，我们讨论数据流如何能低成本地从存储器中被调用，以减少能耗。

几乎所有的神经网络加速芯片都有如下共性的模块:

一个计算单元，主要完成深度学习中矩阵乘/卷积操作；这个计算单元的实现大致分为两种: 1. 以TPU为代表的脉动阵列(systoic array); 2. 点乘器(dot-product)。

片上存储单元，存储每一层的输入filter map/输出filter map及权值(weights)：目前的设计中，输入 filter map和输出 filter map一般都是共享一块片上存储资源；权值(weights)可以很大，因此有时候不能全部存储在片上；

其实神经网络加速芯片这两个共性的模块一点也不难理解，神经网络加速芯片不就是为了完成每个网络层的计算，因此需要一个高吞吐量的计算单元；为了能喂饱这个计算单元，就必须想办法高效的给其喂数据，因此就有了片上存储单元

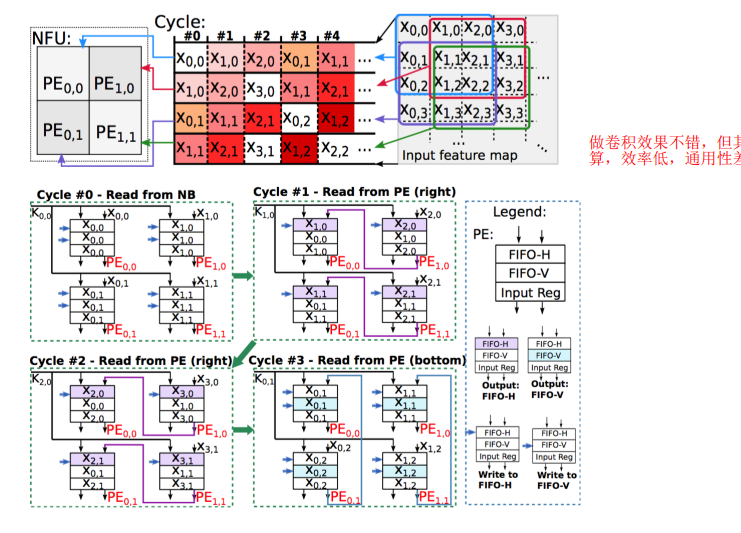
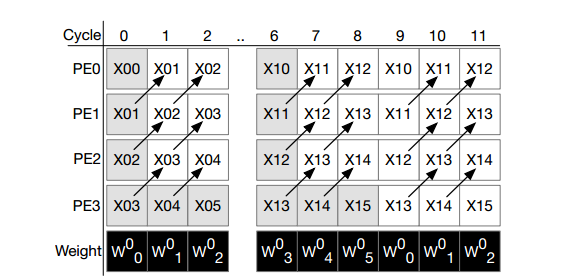
已经存在许多降低深度神经网络能耗的数据流结构，根据对数据的处理方式不同列出下列三大类：

有三种数据流：RS不比较。

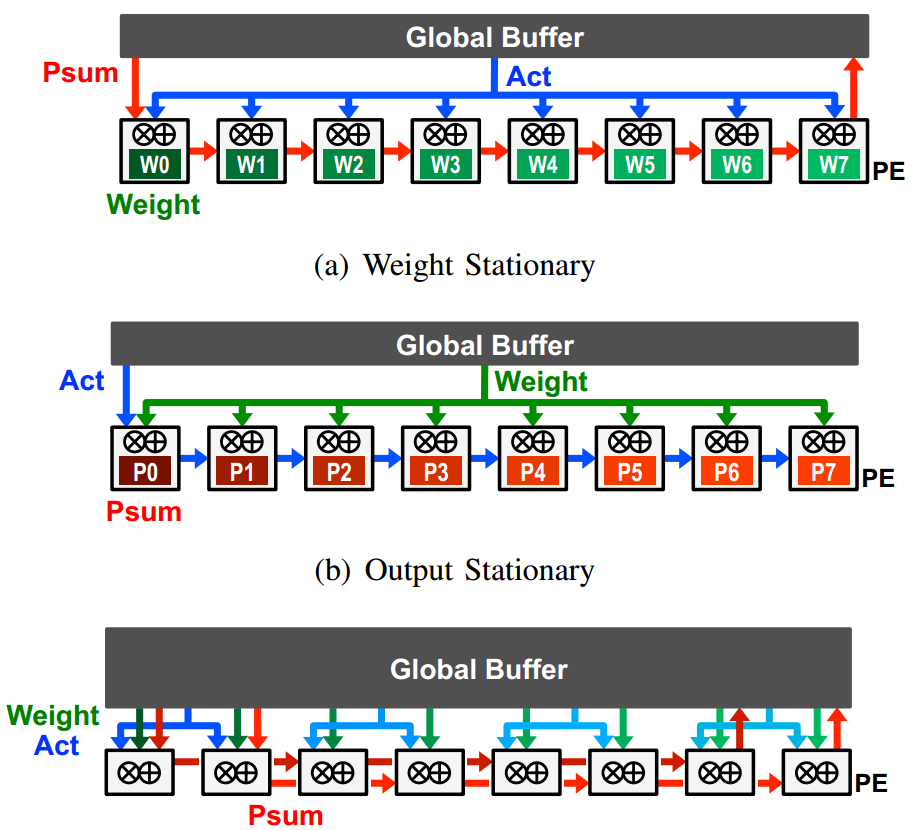
1. 权重固定dataflow（weight stationary dataflow）。顾名思义，权重固定dataflow是将权值存储固定在RF里面，最大化权值的复用，使得读取权值的能耗最小。Kxk个权值被分配到kxk个PE，并且固定下来，kxk个输入的数据被依次分配给相应kxk个PE，与权值相乘，通过PE阵列将积累加，PE之间传输的前面所有PE的部分积的累加（Psum）。权值一旦从DRAM被读到RF里面，就会被多个MAC复用。由于权值占据了RF，因此输入数据被分配给了所有的PE，部分和通过PE阵列累加。（像DNNweaver的图？代码算法）。内存访问量公式？

最后一个PE输出的部分和存入全局缓冲器，如果加完了所有输入通道的部分和，则可以直接写入DRAM或者作为下一层的输入，否则作为部分和进入下一下通道的部分和累加。如图：

1. 输出固定dataflow（output stationary dataflow），（用DNNWeaver例子来说明），输入固定dataflow通过将部分和存入同一个RF，在此RF内部累加来最小化读写部分和的功耗。输入数据在PE阵列间传递，而权值被分配给所有的PE阵列。内部简单结构如图（DNNW）,代码：



1. 没有本地复用(NLR)。分布在PE中的RF虽然能减少功耗，却占用了很多的面积，成本是面积的？关系，为了最大化存储容量，最小化片外存储带宽，PE里面没有本地存储RF，所有的RF被归结于全局Buffer，增加了容量。但是极大增加了PE之间，PE和全局Buffer之间的数据交换。没有在RF级的复用，PE间的数据交换实现了输入数据复用和部分和累加。NLR把PE阵列分组，组内的PE读取相同的输入数据但是权值不同。不同组的PE从不同的通道读取输入数据和权值。部分和在不同组之间累加。



## 存储访问量和能耗估算模型

### 存储访问量及能耗分析

正如节所述MAC的数据分为两个部分：1.输入的数据，数据是单向流动的，取了数据，用完即丢，不会再存入存储层次里面。2.部分和，表现为循环流动，通过与新值累加不断更新自己，在多个存储层次读写。低功耗dataflow的目标是让更多的数据的在低能耗的路径上交换。基于数据的路径和每级存储的能耗，提出一种计算总体存储访问量及访问功耗的模型。由节可知加速器有四个存储层次，按照能耗从高到低排序为，DRAM,全局缓冲器，阵列（PE之间），RF。ALU从越高层次获取数据，消耗的能耗越高。在任意两个存储层次之间移动数据的能耗是这两个层次到ALU能耗的差额。能耗由两个方面决定：1.存储层次间有多少次访问，2.存储层次间一次访问的能耗， 如章节所分析

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 能耗符号 | EC（DB） | EC（BA） | EC(PA) | EC(RA) |
| 数据路径 | DRAM<->Buffer） | Buffer<->ALU | PE<->ALU | RF<->ALU |
| 标准化能耗 | 200 | 4 | 1 | 1 |
| 复用次数 | a | b | c | d |

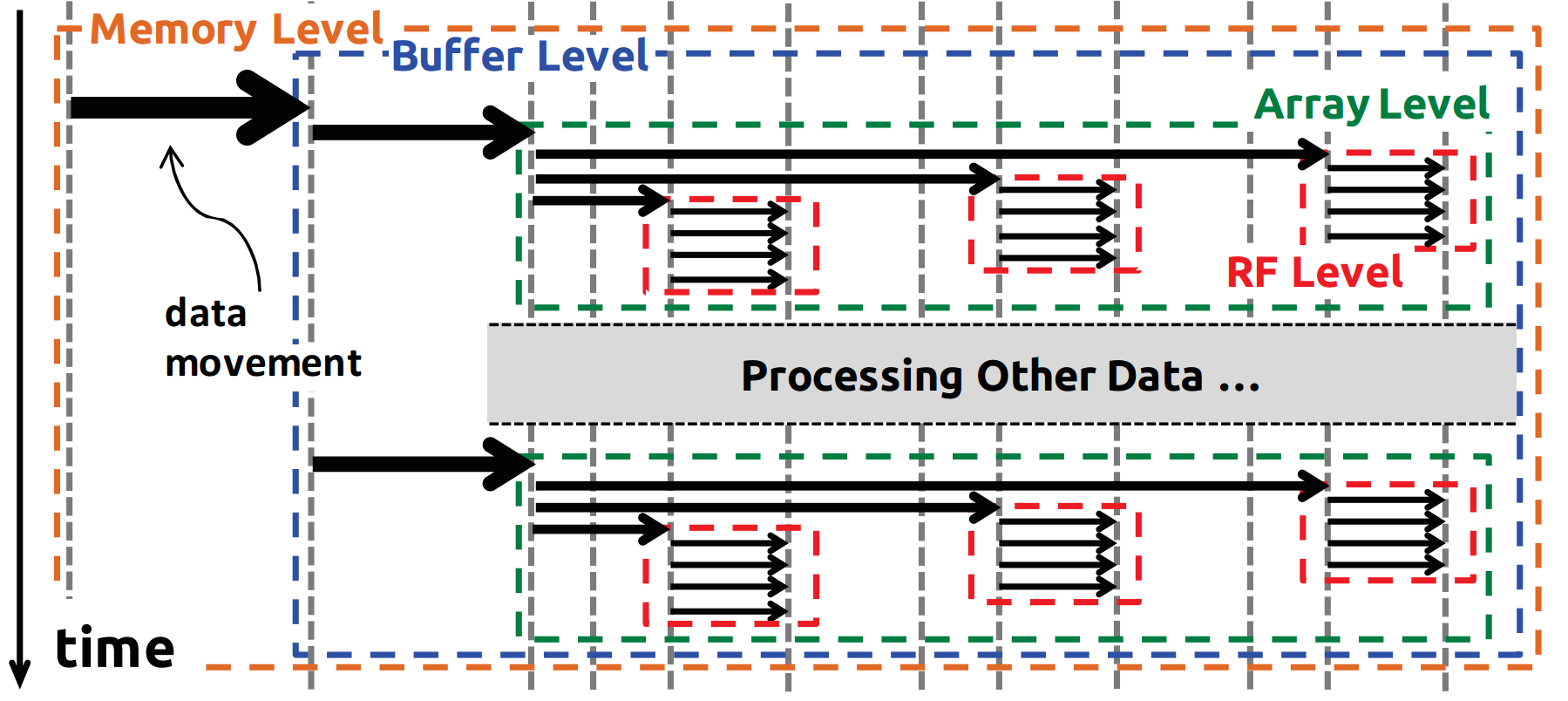
表中，Buffer从DRAM读取一次数据所消耗的能耗EC(DB)代表为200，复用次数用符号a表示，表中其它意义类似。

脚注：标准化能耗以一次ALU运算所消耗的能量为单位1

有如下公式：总能耗=输入数据能耗+部分和能耗

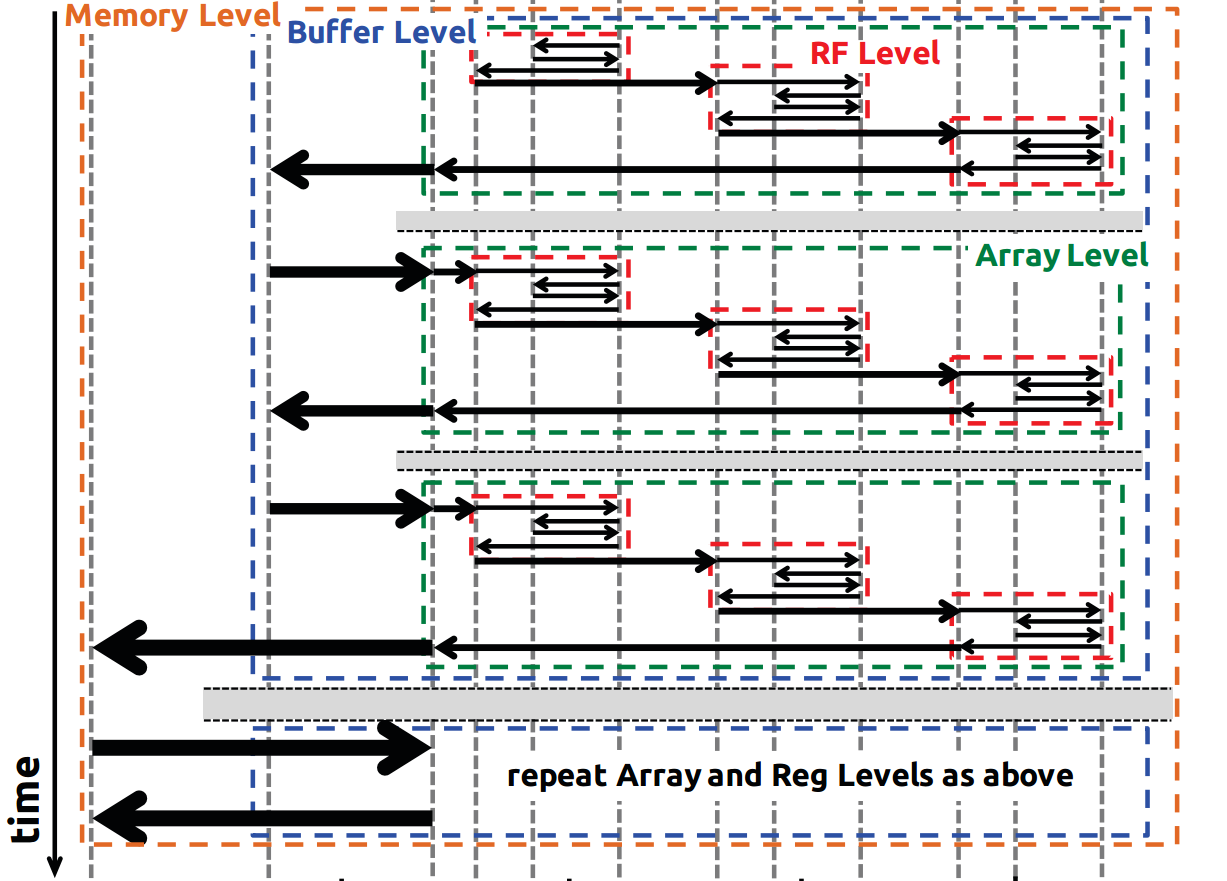
输入数据能耗 = 访问量X 能耗/次

1. 输入数据访问能耗：根据表，要使输入数据的能耗最低，理想情况下是，从DRAM读一次到RF，然后每次都从RF读取数据。然而，由于有限的RF存储资源，不能把所有的输入数据都存入RF, 一旦被踢出RF，就需要从更高能耗的存储层次再次获取数据。据此，数据复用分为四个层次，复用数定义为在一个数据的生命期内，它从高能耗层次被读到低能耗层次的次数。

例如，如图表示了一个数据从DRAM取了1次，从Buffer取了2次，从PE取了3次，从RF取了4次，那么这个数据的行为可以用（1,2,6,24）表示。

能耗估计公式为

(3.1)

2）部分和累加能耗：部分和会穿过4级存储层次，在ALU之间累加，理想情况下，每个部分和存储在RF里面用来累加，然而，这常常是不可行的，由于全局操作执行的需要，部分和必须被存入更高层次，然后读回来，比如，由于PE数量的限制，在权值固定dataflow中，在全连接层要执行(Nin-1)次部分和累加，需要先用有限数量的PE算出一部分部分和，再将其存入buffer，然后更新RF中的权值，将部分和从buffer取到ALU累加。因此，累加总数axbxcxd能被分成4个层次。每个层次的累加数定义为每个数据在它的生命期内，写入读出的次数。例如图9，

累加总数为36，a= ,能耗：

每层存储访问能耗

整个神经网络存储访问能耗

获取参数：对于每种dataflow，都有一组a,b,c,d对于三种数据类型，输入数据，权重，部分和，通过方程3.4.在给定CNN结构下，有最优的abcd最低的能耗，约束条件是硬件资源，包括全局buffer，RF，PE阵列。

## 在AlexNet神经网络结构中估算

假设条件：PE数量为256个；

|  |  |  |  |
| --- | --- | --- | --- |
| 量的名称 | 单位名称 | 符号 | 其他表示式例 |
| 输入数据通道数 | 赫［兹］ |  | s-1 |
| 输出数据通道数 | 牛［顿］ |  | kg·m/s2 |
| 输入输出数据行列数 | 帕［斯卡］ |  | N/m2 |
| 卷积核行列数 | 焦［耳］ |  | N·m |
| 权值 | 瓦［特］ | weights | J/s |
| 部分和 | 库［仑］ | psums | A·s |
| 输入数据 | 伏［特］ | activations | W/A |
| NLR中PE的组数 | 法［拉］ | g | C/V |
|  | 勒［克斯］ | lx | lm/m2 |
| 放射性活度 | 贝可［勒尔］ | Bq | s-1 |
| 吸收剂量 | 戈［瑞］ | Gy | J/kg |
| 剂量当量 | 希［沃特］ | Sv | J/kg |

### 卷积层估算

#### OS dataflow

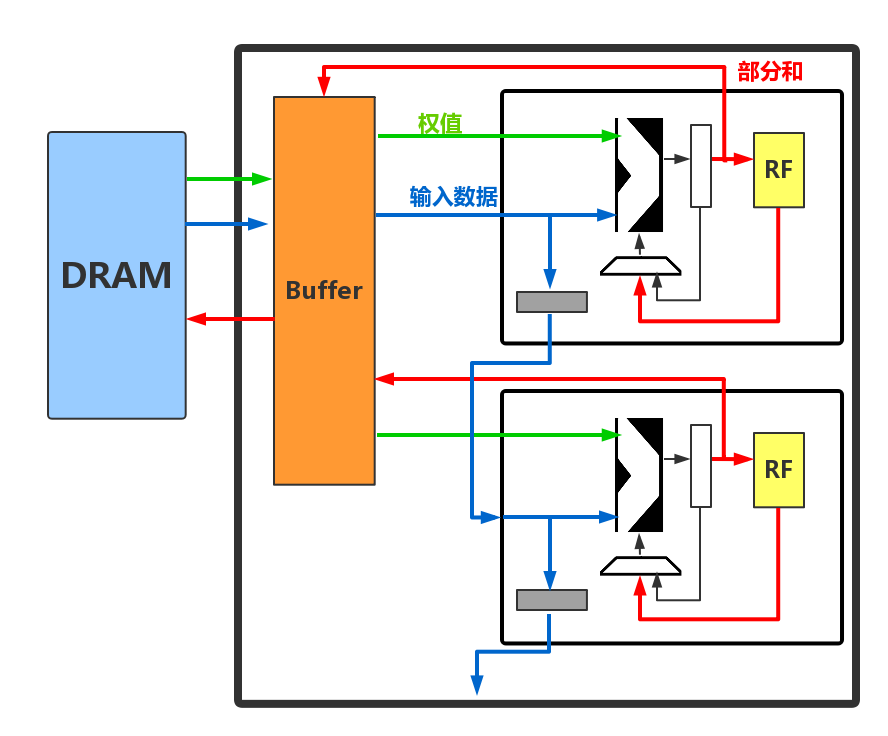


图.三种类型的数据流，绿色线表示权值，蓝色线表示输入数据，红色线表示部分和

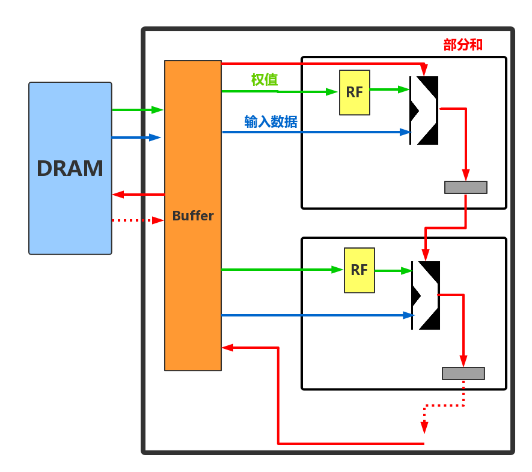
权值:在卷积层中，有个权值，每个权值从DRAM中读取后，用来计算输出数据的一个通道的所有值，权值复用次数为，ALU没有从其它PE中读取权值，也没有从RF中读取权值，故a=1,b=,c=0,d=0

输入数据：有个输入数据，每个输入数据从DRAM中读取到Buffer后，传入第一个PE，由于PE之间共享传递输入数据，每个数据会传递到其它个PE，ALU不会从RF中读取输入数据，故a=1,b=1,c=,d=0

部分和：有个输出数据，每个部分和在RF中读取次用于累加，依次返回buffer，DRAM,ALU没有从PE读取到数据， 故a=1,b=1,c=0,d=

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  | a | b | c | d |
| psums |  | 1 | 1 | 0 |  |
| weights |  | 1 |  | 0 | 0 |
| activations |  | 1 | 1 |  | 0 |

WS



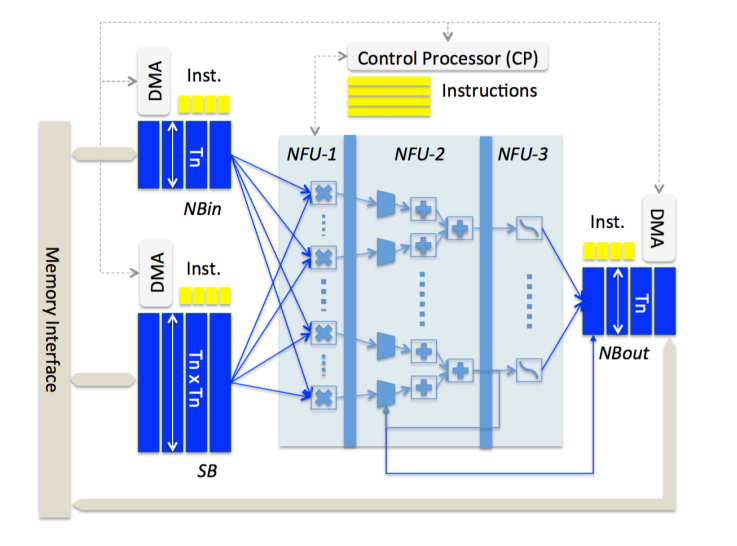
权值：个权值，从DRAM经Buffer写入RF，用于一层输出通道个数据的计算，故a=1,b=1,c=0,d=；

输入数据：个输入数据，从DRAM经Buffer，数据会被用次，写入ALU，故a=1,b=k2,c=0,d=0;

部分和:个部分和，由于Buffer容量的限制(有一层的输入有大量的psum\_channel尤其是当>50KB)，部分和会从Buffer读取到DRAM p次，从ALU读到Buffer次，从PE传递到ALU次。

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  | a | b | c | d |
| psums |  |  |  |  | 0 |
| weights |  | 1 | 1 | 0 |  |
| activations |  | 1 |  | 0 | 0 |

NLR:



以DianNao为例：采用全局Buffer，256个PE，分为16个组，每个组有16个PE，组内读取的是相同输入通道的相同的输入数据和不同权值，组与组之间读取的是不同通道的输入数据和权值。没有RF

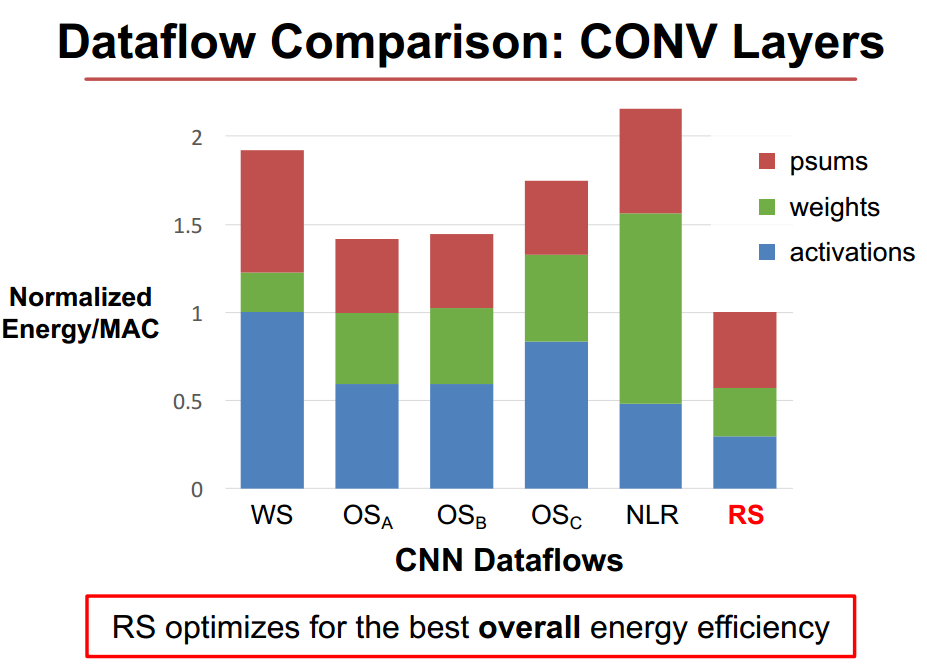
权值：个权值，从DRAM读入Buffer，每个权值会被次读取，PE之间不共享权值，故a=1,b=,c=0,d=0;

输入数据：个输入数据，从DRAM取到Buffer的数据，直接分发给乘法器，乘法器没有从其它PE获取，故a=1,b=1,c=0,d=0；

部分和：有个输出数据，每个输出数据是由需要个通道的卷积累加，g组PE可以计算g个通道的psums，结果存入buffer，重新给PE输入权值和上g个通道的psums，计算下g个通道的psums，计算所有通道的结果存入buffer，g组PE的psum会累加，故PE之间会传递g次，故a=1,b=,c=g, d=0;

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  | a | b | c | d |
| 部分和（psums） |  | 1 |  | g | 0 |
| 权值（weights） |  | 1 |  | 0 | 0 |
| 输入数据（activations） |  | 1 | 1 | 0 | 0 |

#### 实验测出能耗验证

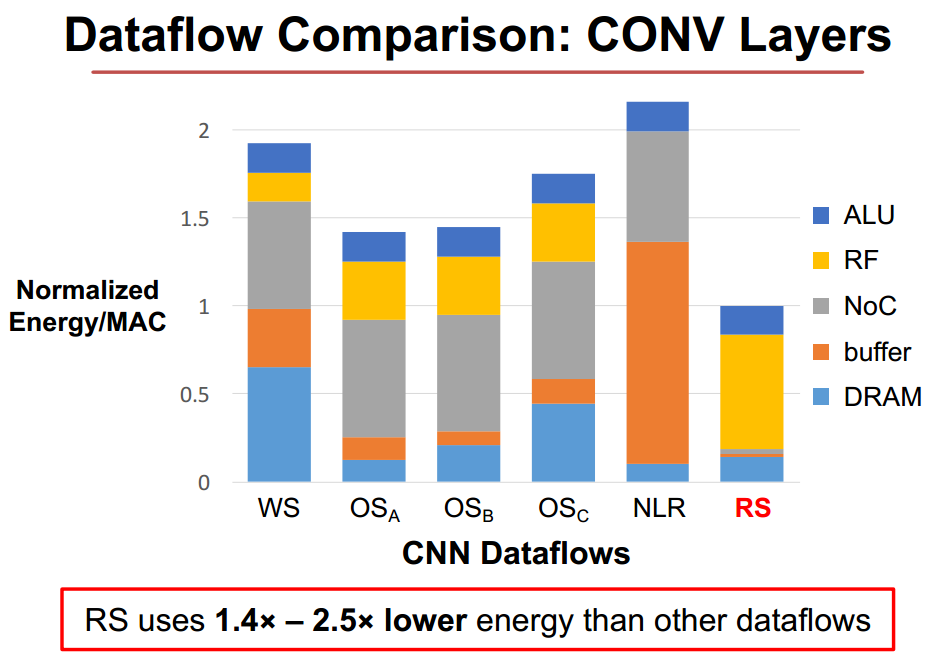


根据表格估算结果分析3种数据类型能耗

WS dataflow由于容量的限制，部分和会暂时存入DRAM，极大增加了部分和能耗，OS dataflow设计的出发点就是将部分和在RF内累加，因此部分和功耗最低，理论计算的部分和所占能耗与实验结果相符：；

WS dataflow由于使得权值直接存入RF，复用最大化，WS能耗最低，NLR dataflow由于计算每个输出数据都会用一次权值，因此极大增加了buffer的能耗，理论估算出的权值所占的能耗与实验结果相符：；

WS dataflow由于一个数据会从buffer取次用于卷积，增加了输入数据能耗，NLR dataflow由于没有PE之间数据交换共享，能耗最低，理论估算出的输入数据能耗与实验结果相符：;



根据表格估算结果分析5种存储结构能耗

ALU：ALU能耗相等，对于同一种神经网络结构（AlexNet），虽然数据流向不同，硬件实现的dataflow结构各异，但神经网络的层属性、层数和参数数量等超参数决定了计算过程，故ALU能耗相同:

RF：OS dataflow在RF中存入部分和并不断更新，因此能耗极大，WS dataflow中的RF只用于固定权值，能耗较小，NLR没有RF结构，故能耗为0，故,

buffer: NLR dataflow由于没有RF结构，所有的输入数据都从buffer读取，运算结果也存入buffer，因此buffer能耗极大，WS dataflow由于输入数据的多冷读取和部分和中间结果会存取buffer，因此能耗较大，故

DRAM：由于WS dataflow中buffer容量的限制，部分和会在DRAM存取，而DRAM读写一次的能耗比其它存储高2个数量级，能耗是极大的，OS dataflow与NLR dataflow的DRAM能耗基本持平，故

### 全连接层估算

类似卷积层分析过程，现只列出估算结果，通过实验测出的能耗图，验证估算结果的正确性

OS dataflow

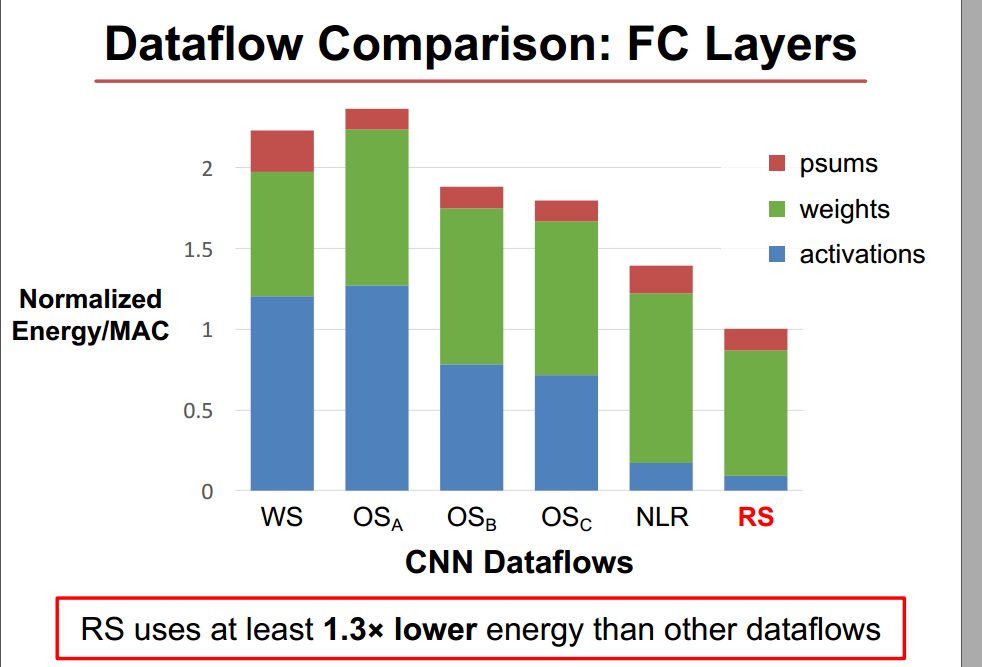
|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  | a | b | c | d |
| psums | Nout | 1 | 1 | 0 | nin |
| weights | Nin\*Nout | 1 | 1 | 0 | 0 |
| activations | Nin | 1 | nout | 0 | 0 |

WS dataflow

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  | a | b | c | d |
| psums | r^2\*nout | 1 | 1 | nin | 0 |
| weights | Nink^2Nout | 1 | 1 | 0 | 1 |
| activations | Nin\*r^2 | 1 | nout | 0 | 0 |

NLR dataflow

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  | a | b | c | d |
| psums | r^2\*nout | 1 | 1 | nin | 0 |
| weights | Nink^2Nout | 1 | 1 | 0 | 0 |
| activations | Nin\*r^2 | 1 | 1 | 1 | 0 |



卷积能耗占据了大部分的能耗

可以发现，相比计算能耗（ALU），存储访问能耗比占据了绝大部分的能耗，因此对存储访问能耗的估算能很大程度上反映真实能耗。

对于卷积层，OS是优于WS和NLR的，随着神经网络的发展，从Lenet、Alexnet、NiN、VGG、GoogLeNet和ResNet，卷积在神经网络的比重越来越占据绝对比重，OS dataflow低功耗的特性使其成为优于WS和NLR的选择。

### 注意点

虽然我们假设在不同dataflow同一个存储层次的访问能耗相同，但是实际上会因dataflow的具体实现方式有差异，比如大的全局buffer有更大的访问能耗。在阵列层次，与相邻的PE通信比更远的PE有更低的能耗，因为有小的线电容更简单的NoC设计。RF与buffer和PE类似。

虽然只比较了WS OS和NLR三种dataflow结构，其它dataflow结构比如RS dataflow结构，估算模型依然适用。

参考文献：

[1]efficient processing of deep neural networks – a tutorial and survey

[2]eyeriss

[3]neuFlow

[4]dnnweaver