

[原创] I3C Master 时钟暂停 & 总线条件

dianfengqishi

发表于 2017-8-11 09:22 | 只看该作者

打印

字体大小: T

倒序看帖

跳转到

1 #



金领一族



UID 1498282
帖子 24
精华 0
积分 1268
资产 1268 信元
发贴收入 260 信元
推广收入 0 信元
附件收入 648 信元
下载支出 196 信元
阅读权限 30
在线时间 48 小时
注册时间 2015-12-4
最后登录 2018-11-27

[原创] I3C Master 时钟暂停 & 总线条件

1.1.1.1

Master 时钟暂停

SDR模式下I3C Master可以在SCL低电平时将SCL暂停，但是必须是约定且短暂的条件下。

暂停可能在下列情况下必需：

1.

对于特定Slave相对时间必须严格控制的消息。时钟暂停可以提供Master精细调整时间的能力。

2.

当I3C Master需要在内部同步数据的时候。

注意，暂停会影响总线的性能。

1.1.1.2

总线条件

此说明定义上拉电阻，高电平保持器以及I3C总线三个独立的模式：总线自由，总线可用，总线空闲。

1.1.2.1

上拉和高电平保持器

I3C Master设备需要提供一个动态的上拉电阻，一旦总线进入Open-Drain模式时候，上拉电阻就要介入（一些时候弱上拉可以替代上拉电阻）。

可控的上拉电阻可以通过如下方式之一来实现：

1.

拉到VDD的一个电阻

2.

与电流源相接的电阻

3.

或者任何其他方式只要能达到如下两个要求：

●

在达到SDA上升速率要求下平衡消耗电流

●

但不能强过最小IOL

1.1.2.2

总线自由状态

总线自由状态被定义为STOP后START前的这段时间，并且满足如下持续时间

●

净I3C总线：至少是tCAS

●

混合总线：至少tBUF

1.1.2.3

总线有效状态

总线有效状态被定义为总线自由时，持续至少tAVAL的一段时间。Slave只能在总线有效时发起一个In-Band中断请求或是START请求。

1.1.2.4
总线空闲状态

I3C总线空闲状态的定义是为了保证总线在Hot-Join时的稳定。其定义为总线持续有效至少tIDEL时间，则总线到达空闲状态。

★
收藏

✉
分享

edwardk

 发表于 4 天前 14:13 | 只看该作者

2 #



金领一族



- UID 440352
- 帖子 1341
- 精华 0
- 积分 1752
- 资产 1752 信元
- 发贴收入 6780 信元
- 推广收入 0 信元
- 附件收入 0 信元
- 下载支出 6621 信元
- 阅读权限 30
- 在线时间 62 小时
- 注册时间 2009-6-12
- 最后登录 2018-12-3

学习中。。。。

TOP

返回列表